



Tema 4. Ejercicio

Arquitectura de los Computadores

Ejercicio

Suponed el siguiente fragmento de código:

```
Loop:  LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
      DADDI   R1, R1, #1 ; R1=R1+1
      SD      0(R2), R1  ; store R1 en dirección 0+R2
      DADDI   R2, R2, #4
      DSUB    R4, R3, R2 ; R4=R3-R2
      BNEZ    R4, Loop   ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- a) Lista todas las dependencias de datos del código anterior. Apunta el registro, instrucción fuente e instrucción destino, Por ejemplo si hay una dependencia para el registro R1 desde la instrucción LD a la instrucción DADDI apuntamos: R1 LD DADDI

Ejercicio 1

- a) Lista todas las dependencias de datos del código anterior. Apunta el registro, instrucción fuente e instrucción destino, Por ejemplo si hay una dependencia para el registro R1 desde la instrucción LD a la instrucción DADDI apuntamos: R1 LD DADDI

R1	LD	DADDI
R1	DADDI	SD
R2	LD	DADDI
R2	SD	DADDI
R2	DSUB	DADDI
R4	BNEZ	DSUB

Ejercicio 1

Suponed el siguiente fragmento de código:

```
Loop:   LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
        DADDI   R1, R1, #1 ; R1=R1+1
        SD      0(R2), R1  ; store R1 en dirección 0+R2
        DADDI   R2, R2, #4
        DSUB    R4, R3, R2  ; R4=R3-R2
        BNEZ    R4, Loop    ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- b) Muestra la temporización de la secuencia de instrucciones en un diagrama para un pipeline de 5 etapas como el estudiado que no tenga implementado el adelantamiento. Suponed que el salto se realiza deteniendo la segmentación. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el blucle en ejecutarse?

Ejercicio

- b) Muestra la temporización de la secuencia de instrucciones para un pipeline de 5 etapas como el estudiado que no tenga implementado el adelantamiento. Suponed que el salto se realiza deteniendo la segmentación. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el bucle en ejecutarse?

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
LD	R1, 0(R2)	F	D	X	M	W													
DADDI	R1, R1, #1		F	s	s	D	X	M	W										
SD	0(R2), R1					F	s	s	D	X	M	W							
DADDI	R2, R2, #4								F	D	X	M	W						
DSUB	R4, R3, R2									F	s	s	D	X	M	W			
BNEZ	R4, Loop												F	s	s	D	X	M	W
LD	R1, 0(R2)																	F	D

El valor inicial de R3 es R2 + 396. Cada iteración del bucle añade 4 a R2,
El número total de iteraciones es 99.

El número total de ciclos es $98 \times 16 + 18 = 1584$.

Segmentación

Ejercicio

Suponed el siguiente fragmento de código:

```
Loop:  LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
      DADDI   R1, R1, #1 ; R1=R1+1
      SD      0(R2), R1  ; store R1 en dirección 0+R2
      DADDI   R2, R2, #4
      DSUB    R4, R3, R2 ; R4=R3-R2
      BNEZ    R4, Loop   ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- c) Dibuja de nuevo el diagrama de temporización suponiendo que hay forwarding. Suponed que para los saltos se utiliza predecir el salto como no efectivo. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el blucle en ejecutarse?

Ejercicio

- c) Dibuja de nuevo el diagrama de temporización suponiendo que hay forwarding. Suponed que para los saltos se utiliza predecir el salto como no efectivo. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el blucle en ejecutarse?

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
LD R1, 0(R2)	F	D	X	M	W													
DADDI R1, R1, #1		F	D	s	X	M	W											
SD R1, 0(R2)			F	s	D	X	M	W										
DADDI R2, R2, #4					F	D	X	M	W									
DSUB R4, R3, R2						F	D	X	M	W								
BNEZ R4, Loop							F	s	D	X	M	W						
(incorrect instruction)									F	s	s	s	s					
LD R1, 0(R2)										F	D	X	M	W				

De nuevo hay 99 iteraciones.

El número total de ciclos es $9 \times 98 + 12 = 894$.

Ejercicio

Suponed el siguiente fragmento de código:

```
Loop:  LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
      DADDI   R1, R1, #1 ; R1=R1+1
      SD      0(R2), R1  ; store R1 en dirección 0+R2
      DADDI   R2, R2, #4
      DSUB    R4, R3, R2 ; R4=R3-R2
      BNEZ    R4, Loop   ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- d) Dibuja de nuevo el diagrama de temporización suponiendo que hay forwarding. Suponed que para los saltos se utiliza predecir el salto como efectivo. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el bucle en ejecutarse?

Ejercicio

- d) Dibuja de nuevo el diagrama de temporización suponiendo que hay forwarding. Suponed que para los saltos se utiliza predecir el salto como efectivo. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el bucle en ejecutarse?

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
LD	R1, 0(R2)	F	D	X	M	W													
DADDI	R1, R1, #1		F	D	s	X	M	W											
SD	R1, 0(R2)			F	s	D	X	M	W										
DADDI	R2, R2, #4					F	D	X	M	W									
DSUB	R4, R3, R2						F	D	X	M	W								
BNEZ	R4, Loop							F	s	D	X	M	W						
LD	R1, 0(R2)									F	D	X	M	W					

De nuevo hay 99 iteraciones.

El número total de ciclos es ahora: $8 \times 98 + 12 = 796$.

Ejercicio

Suponed el siguiente fragmento de código:

```
Loop:   LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
        DADDI   R1, R1, #1 ; R1=R1+1
        SD      0(R2), R1  ; store R1 en dirección 0+R2
        DADDI   R2, R2, #4
        DSUB    R4, R3, R2  ; R4=R3-R2
        BNEZ    R4, Loop    ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- e) Suponer ahora que se tiene un pipeline de 10 etapas en el que cada etapa del cauce de 5 etapas se divide en 2. Hay que tener en cuenta que los datos que se adelantan, son adelantados desde el final del par de etapas al comienzo del par de etapas donde se necesitan. Por ejemplo, los datos se adelantarían desde la salida de la segunda etapa EX a la entrada de la primera etapa EX, lo que causaría un retardo de un ciclo. Muestra de nuevo el diagrama de temporización para la secuencia de instrucciones suponiendo que implementa el forwarding y que se utiliza predecir el salto como efectivo. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el bucle en ejecutarse?

Ejercicio

- e) Suponer ahora que se tiene un pipeline de 10 etapas en el que cada etapa del cauce de 5 etapas se divide en 2. Hay que tener en cuenta que los datos que se adelantan, son adelantados desde el final del par de etapas al comienzo del par de etapas donde se necesitan. Por ejemplo, los datos se adelantarían desde la salida de la segunda etapa EX a la entrada de la primera etapa EX, lo que causaría un retardo de un ciclo. Muestra de nuevo el diagrama de temporización para la secuencia de instrucciones suponiendo que implementa el forwarding y que se utiliza predecir el salto como efectivo. Si todas las referencias a memoria tardan 1 ciclo de reloj, ¿Cuántos ciclos tardará el bucle en ejecutarse?

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
LD	R1, 0(R2)	F1	F2	D1	D2	X1	X2	M1	M2	W1	W2										
DADDI	R1, R1, #1		F1	F2	D1	D2	s	s	s	X1	X2	M1	M2	W1	W2						
SD	R1, 0(R2)			F1	F2	D1	s	s	s	D2	X1	X2	M1	M2	W1	W2					
DADDI	R2, R2, #4				F1	F2	s	s	s	D1	D2	X1	X2	M1	M2	W1	W2				
DSUB	R4, R3, R2					F1	s	s	s	F2	D1	D2	s	X1	X2	M1	M2	W1	W2		
BNEZ	R4, Loop									F1	F2	D1	s	D2	X1	X2	M1	M2	W1	W2	
LD	R1, 0(R2)										F1	F2	s	D1	D2	X1	X2	M1	M2	W1	W2

Segmentación

De nuevo 99 iterations

El número total de ciclos es: $10 \times 98 + 19 = 999$.

Ejercicio

Suponed el siguiente fragmento de código:

```
Loop:  LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
       DADDI   R1, R1, #1 ; R1=R1+1
       SD      0(R2), R1  ; store R1 en dirección 0+R2
       DADDI   R2, R2, #4
       DSUB    R4, R3, R2 ; R4=R3-R2
       BNEZ    R4, Loop   ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- f) Suponed que en el cauce de 5 etapas, la etapa más larga necesita 0.8ns y que el retardo de los registros de segmentación es de 0.1ns. ¿Cuál es la duración del ciclo de reloj para el pipeline de 5 etapas?. Si el cauce de 10 etapas divide cada etapa en la mitad, ¿Cuál es la duración del ciclo de reloj para el pipeline de 10 etapas?.

Ejercicio

- f) Suponed que en el cauce de 5 etapas, la etapa más larga necesita 0.8ns y que el retardo de los registros de segmentación es de 0.1ns. ¿Cuál es la duración del ciclo de reloj para el pipeline de 5 etapas?. Si el cauce de 10 etapas divide cada etapa en la mitad, ¿Cuál es la duración del ciclo de reloj para el pipeline de 10 etapas?.

0.9ns para el pipeline de 5 etapas y 0.5ns para el de 10 etapas.

Ejercicio

Suponed el siguiente fragmento de código:

```
Loop:   LD      R1, 0(R2)  ; load R1 de la dirección 0+R2
        DADDI   R1, R1, #1 ; R1=R1+1
        SD      0(R2), R1  ; store R1 en dirección 0+R2
        DADDI   R2, R2, #4
        DSUB    R4, R3, R2  ; R4=R3-R2
        BNEZ    R4, Loop    ; salta a loop si R4<>0
```

Asumid que el valor inicial de R3 es R2+396

- g) Determinad el CPI para el bucle en el cauce de 5 etapas y en el de 10 etapas . Aseguraros de contar sólo desde cuando la primera instrucción alcanza la etapa WB al final. No contar el comienzo de la primera instrucción. Utilizad el valor del ciclo de reloj calculado en el apartado (f) para obtener el tiempo medio de ejecución por instrucción para cada máquina.

Ejercicio

- g) Determinad el CPI para el bucle en el cauce de 5 etapas y en el de 10 etapas . Asegurados de contar sólo desde cuando la primera instrucción alcanza la etapa WB al final. No contar el comienzo de la primera instrucción. Utilizad el valor del ciclo de reloj calculado en el apartado (f) para obtener el tiempo medio de ejecución por instrucción para cada máquina.

CPI (pipeline 5 etapas): $796 / (99 \times 6) = 1.34$.

CPI (pipeline 10 etapas): $999 / (99 \times 6) = 1.68$.

Tiempo medio de ejec. por inst. (5 etapas): $1.34 \times 0.9 = 1.21$.

Tiempo medio de ejec. por inst. (10 etapas): $1.68 \times 0.5 = 0.84$.