

1. Sea el siguiente esquema de Cache y memoria organizado por un algoritmo MESI, realiza las siguientes operaciones. Verifica que el estado inicial sea correcto y en caso de error realiza la corrección que creas conveniente.

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	S	@1	2	I	@4	1	M	@2	3	E
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	E

Memoria Principal			
@1	1	@2	3
@3	0	@4	0
@5	-3	@6	-2

Operaciones:

rd2(@3), rd3(@4), wr1(@1,10), wr3(@6,-4), rd4(@2), rd2(@5), wr2(@4,2)

Solución:

Encontramos varios elementos que pueden estar incorrectamente, para comenzar en la cache C1, @1,1,S no puede ser S si está sola en memoria, deberá ser M o E, vamos a coger E ya que coincide con el valor de memoria

Encontramos en cache 1 @2,3,S, Observamos que en C4 tenemos otro @2 3 E,y que en memoria @2 tiene un valor 3 por lo que probablemente esté mal el valor de @2 en C4 tendría que ser S

El resto de los elementos parece que estén correctamente.

Ponemos en rojo los valores modificados y en verde los valores citados.

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	E	@1	2	I	@4	1	M	@2	3	S
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	E

Memoria Principal			
@1	1	@2	3
@3	0	@4	0
@5	-3	@6	-2

Rd2(@3): Fallo de Pagina, enviamos la señal de Flush al bus y actualizamos todos los @1 que existan en M, como no hay ninguno se escriben en cache, como los dos elementos de la cache 2 están en Invalido, guardamos el dato leído en el primer elemento. El leído se pone en Exclusivo pues es la única caché que tiene ese valor y está actualizado con memoria.

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	E	@3	0	E	@4	1	M	@2	3	S
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	E

Memoria Principal			
@1	1	@2	3
@3	0	@4	0
@5	-3	@6	-2

Rd3(@4): Leemos de la cache 3 el dato de @4, como está en modificado, lo actualizamos la memoria con el dato, pero no es un fallo de pagina.

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	E	@3	0	E	@4	1	E	@2	3	S
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	E

Memoria Principal			
@1	1	@2	3
@3	0	@4	1
@5	-3	@6	-2

Wr1(@1,10): Esto es un acierto de escritura, cambiamos el estado a modificado, le damos el nuevo valor. Como está en exclusivo no hace falta avisar a nadie para que se pase a Invalidado

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	10	M	@3	0	E	@4	1	E	@2	3	S
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	E

Memoria Principal			
@1	1	@2	3
@3	0	@4	1
@5	-3	@6	-2

Wr3(@6,-4): Fallo de pagina en la caché 3. Como ambos son exclusivos, quitamos el @4. E introducimos el @6 como modificado y enviamos una señal para invalidar todos los datos que estén en cache con el dato 6

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	10	M	@3	0	E	@6	-4	M	@2	3	S
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	I

Memoria Principal			
@1	1	@2	3
@3	0	@4	1
@5	-3	@6	-2

Rd4(@2),:Leemos el dato, es un acierto de página

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	S	@1	2	I	@6	-4	M	@2	3	E
@2	3	S	@5	-3	I	@5	-3	E	@6	-2	I

Memoria Principal			
@1	1	@2	3
@3	0	@4	1
@5	-3	@6	-2

Rd2(@5): Fallo de página, no está el dato, por lo que lo leeremos de memoria, enviamos una señal por si alguno tuviera que actualizar la memoria, pero como nadie la va a actualizar, entonces escribimos actualizamos la cache 2 con el @5 y la cache 3 el dato @5 pasa a shared (S)

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	S	@1	2	I	@6	-4	M	@2	3	E
@2	3	S	@5	-3	S	@5	-3	S	@6	-2	I

Memoria Principal			
@1	1	@2	3
@3	0	@4	1
@5	-3	@6	-2

Wr2(@4,2): Fallo de página en escritura porque no está el dato 4, lo que hacemos es cargarlo, en el compartido para no tener que actualizar.

C1			C2			C3			C4		
Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado	Dir	Dato	Estado
@1	1	S	@1	2	I	@6	-4	M	@2	3	E
@2	3	S	@5	-3	S	@4	2	M	@6	-2	I

Memoria Principal			
@1	1	@2	3
@3	0	@4	1
@5	-3	@6	-2