

Sobre los tipos de computadores.

c- En los ordenadores de sobremesa los parámetros que priman son el precio y el rendimiento.

Sobre la clasificación de Flynn

b- MMID: el computador ejecuta varias secuencias o flujos distintos de instrucciones.

Sobre el proceso de diseño de arquitecturas de los computadores. Establecer requerimientos funcionales y especificar.

c- diseñador no...

b. Para establecer los requerimientos funcionales de un computador hay que tener en cuenta, entre otras cuestiones, los requerimientos del sistema operativo (tamaño del espacio de direcciones, gestión de memoria, cambio de contexto, interrupciones, protección...)

Sobre los niveles de descripción de un computador.

a- Dentro de los niveles de abstracción del computador, el de lógica digital utiliza la lógica.

Sobre los niveles de descripción de un computador.

c. Dentro de los niveles de abstracción de un computador, el de lógica digital utiliza la lógica combinacional y secuencial para proporcionar ALUs, registros, memorias,... al nivel superior (Transferencias entre Registros RT)

Sobre el proceso de diseño de arquitecturas de computadores. Tendencias en tecnologías hardware.

a- Tecnología de circuitos integrados.

El Core i7 ejecuta el programa en 5 segundos, mientras que el Pentium II lo hace en 20 segundos ¿correcta?

c- El Core i7 es un 300% más rápido.

¿Qué niveles de la arquitectura de un computador determinan el número medio de ciclos por instrucción (CPI)?

Sobre el concepto de del rendimiento

a- El rendimiento del computador se asocia a la velocidad de computo para un programa dado.

¿De qué orden estamos hablando actualmente en los procesos de fabricación de los circuitos integrados...?

c- Nanometros

¿Qué factores NO influyen en el coste de producción de un computador?

b- El rendimiento del computador.

Sobre la evolución del rendimiento

a- El rendimiento de los computadores ha tenido un gran progreso en los últimos 65 años.

Sobre los niveles de descripción de un computador

a- Dentro de los niveles de abstracción de un computador, el de lógica digital utiliza la lógica combinacional y secuencial para proporcionar ALUs...

Sobre el proceso de diseño de arquitecturas de computadores. Decisiones de implementación

a- El diseñador debe elegir como implementar mejor una funcionalidad

Calcula el tiempo de CPU en NANOSEGUNDOS de un programa que ejecuta 822 instrucciones en el AMD Xeon sabiendo que la mezcla de instrucciones es: 20% cargas, 30% almacenamientos, 10% comparaciones, 40% saltos. Las cargas y almacenamientos tardan 4 ciclos de reloj mientras que las comparaciones y los saltos 2 y 4 ciclos respectivamente. Conocemos que la duración del ciclo de reloj es son 9ns

28112.40

Sobre los principios de diseño de computadores.

a. El principio de localidad de referencia establece la tendencia...

Sobre el proceso de diseño de arquitecturas de computadores. Tendencias software

a. Reorientación de las arquitecturas hacia el soporte de los compiladores

La ejecución del benchmark Drystone en un Core i7 es de 2.5 segundos, suponiendo una aceleración de 8.8 con respecto a la ejecución que tenía en el Pentium 4. ¿Cuánto tardaba el benchmark cuando se ejecutaba en el Pentium 4.

Respuesta: 0.28 s

El coste es un parámetro a tener muy en cuenta al diseñar un nuevo procesador o al modificar uno existente. ¿En qué campo de aplicación resulta crítico?

c. Procesadores embebidos

¿Qué niveles de la arquitectura de un computador determinan el número medio de ciclos por instrucción (CPI)?

c. Repertorio de instrucciones y Organización

¿Cuál de las siguientes listas de programas para evaluar el rendimiento estaría ordenada de mayor a menor según su fiabilidad?

b. Programas reales, Núcleos, Benchmarks reducidos, Benchmarks sintéticos

Google está trabajando en su nuevo Nexus y está considerando añadir una nueva GPU que permite ejecutar los cálculos gráficos 7.4 veces más rápido que en su Galaxy Nexus. Sin embargo es sólo utilizable el 75% del tiempo. ¿Cuál será la aceleración global lograda al incorporar la mejora?

Respuesta: 2.85

¿De qué orden estamos hablando actualmente en los procesos de fabricación de circuitos integrados para procesadores (tamaño del feature size)?

b. Nanómetros

Sobre el concepto del rendimiento

c. El rendimiento del computador se asocia a la velocidad de cómputo para un programa dado o a la capacidad de ejecutar un mayor número de transacciones por hora según el punto de vista del usuario o de un administrador de una colección de computadores respectivamente

Sin considerar el rendimiento del dado, y considerando un tamaño de dado de 18.2 mm x 10.0 mm ¿Cuál es el número máximo de dados que podemos extraer de una oblea de 285 mm de diámetro?

Respuesta: 303

Sobre la evolución del rendimiento

b. El rendimiento de los computadores ha tenido un gran progreso en los últimos 65 años gracias a los avances tecnológicos y en las innovaciones en el diseño del computador

¿Cuál de las siguientes afirmaciones es falsa?

El funcionamiento de la caché se basa en la transferencia de palabras individuales...

¿Qué afirmación es correcta?

Incrementar el tamaño de bloque hace disminuir la frecuencia de fallos

El tiempo de transferencia de la penalización de fallos disminuye con el tamaño del bloque.

¿Qué afirmación es verdadera?

Una memoria caché con correspondencia totalmente asociativa con p bloques podría denominarse memoria caché con correspondencia asociativa o conjuntos de 1 vía y p conjuntos.

¿En qué consiste el principio de localidad?

El principio de localidad se basa en 2 aspectos

Acerca del principio de localidad

Por el principio de localidad, los programas acceden a una porción relativamente...

Suponed que la dirección de memoria principal de 16 bits es 5B3Bh. Si el tamaño del bloque es de 16 palabras. ¿Cuál es el valor de la etiqueta en binario para una caché completamente asociativa?

La etiqueta es 010110110011

Sea una caché de correspondencia directa con direcciones de 32 bits, de los cuales 22 bits de la dirección se usan para la etiqueta y 6 bits para la línea. ¿Qué tamaño en palabras tiene la línea de caché?. ¿De que tamaño (en palabras) es la caché?

El tamaño de la línea es de 16 palabras y el tamaño de la caché es de 1K palabras.

Sabiendo que tenemos una memoria con un bus de direcciones y palabras de 16 bits, direccionable por palabra, una caché de 21KB, bloques de 4KB, y función de correspondencia directa ¿Qué etiqueta incluiría caché para la dirección de memoria 0110 1111 0001 0001?

La línea tendría la etiqueta 0110

El bloque iría a la línea 101 (5)

Sobre la función de correspondencia

En la función de correspondencia directa cada bloque de la memoria principal sólo puede aparecer en una línea de la caché

Sabiendo que tenemos una memoria con un bus de direcciones y palabras de 16 bits, direccionable por palabra, una caché de 32 KB, bloques de 4 KB, y función de correspondencia asociativa ¿qué etiqueta incluiría la cache para la dirección de memoria 0110 1111 0001 0001?

La línea tendría la etiqueta 0110.

Suponed que la dirección de la memoria principal de 16 bits es 76C9h. Si el tamaño del bloque es de 16 palabras. ¿Cuál es el valor de la etiqueta en binario para una caché asociativa con conjuntos con 64 conjuntos?

La etiqueta es 011101.

¿Cuáles de las siguientes afirmaciones son ciertas?

La mayor parte de la capacidad de la jerarquía de memoria se...

Las memorias cachés aprovechan la localidad temporal.

¿A qué tipo de correspondencia se refiere la expresión: línea = dirección de la estructura del bloque mod número de líneas?

Correspondencia directa.

¿A qué tipo de correspondencia se refiere la siguiente sentencia: "Cualquier combinación de bloques de la memoria principal puede estar en la caché en un determinado instante"?

Correspondencia completamente asociativa.

Suponed que la dirección de la memoria principal de 16 bits es 7729h. Si el tamaño del bloque es de 16 palabras. ¿Cuál es el valor de la etiqueta en binario para una caché con correspondencia directa con 128 bloques?

La etiqueta es 01110.

Teniendo en cuenta la definición del tiempo medio de acceso a memoria (TMA):

Un diseñador de computadores prefiere un tamaño de bloques mayor con la frecuencia de fallos lo menor posible.

Calcula el tiempo promedio de acceso a un sistema de memoria con las siguientes características: el tiempo de acierto al nivel superior es de 2ns, la tasa de aciertos para el programa es de 45% y finalmente la penalización del fallo medio es de 238ns.

$AMAT = \text{Tasa acierto} * \text{tiempo acierto} + (1 - \text{tasa fallos}) * \text{penalidad de fallo}$
 $2 + 0,55 * 386 = 214.3$

Dada una memoria caché con correspondencia asociativa por conjuntos con el contenido que indica la figura. Si el procesador lanza la dirección 100Fh, indica la respuesta correcta.

Se accedería al conjunto 0, habría fallo y se traería el bloque correspondiente de la memoria principal.

Dada una memoria caché con correspondencia directa con el contenido que indica la figura. Si el procesador lanza la dirección de memoria E803h, indicar la respuesta

Se accedería a la línea de la caché 80h y habría un acierto y mandaría la palabra al procesador.

Suponed que la dirección de la memoria principal de 16 bits es 5B3Bh. Si el tamaño del bloque es de 16 palabras. ¿Cuál es el valor de la etiqueta en binario para una caché completamente asociativa.?

La etiqueta es 0101.

En un determinado sistema de memoria, para un programad dado, se obtiene un porcentaje de aciertos en el nivel superior de 10%. ¿Cuál es la tasa de fallos? (expresarlo en % pero sólo de manera numérica)

$1 - 0.1 = 0.9 = 90\%$

Sobre los modos de direccionamiento

El direccionamiento inmediato y desplazamiento dominan la utilización de los modos de direccionamiento. Los modos de direccionamiento reducen el RI pero complican la implementación pudiendo incrementar el CPI medio.

Señalar la opción correcta sobre los modos de direccionamiento de una arquitectura de registros de propósito general.

Las otras dos opciones son correctas

Sobre el tipo y tamaño de operandos

Algunas arquitecturas soportan un formato denominado habitualmente decimal empaquetado (BCD). Se utilizan 4 bits para codificar los valores 0-9

En cuanto a los repertorios de instrucciones según el tipo de almacenamiento interno de la CPU. Indica la respuesta N000000000 correcta

Los registros tienen acceso más rápido que la memoria y son más fáciles de utilizar por los compiladores y de manera más efectiva, por eso siempre se han diseñado arquitecturas GPR

¿A qué figura corresponde un procesador con tipo de almacenamiento interno de la CPU con arquitectura de registros de propósito general R_R?

La marcada en el dibujo como c) [3 paquetitos arriba]

¿Qué modo de direccionamiento están utilizando los operandos señalados en negrita en cada una de las instrucciones siguientes?

Add \$1,\$2,\$3

Lw \$1, 4(\$3)

Directo a registro (o registro) para add y desplazamiento para lw.

Sobre las ventajas y desventajas de las arquitecturas GPR

Las arquitecturas R-R permiten una codificación simple con instrucciones de longitud fija.

Un cierto procesador GPR soporta modo de ejecución Registro-Memoria. Los operandos de memoria pueden tener modo de direccionamiento directo o absoluto a memoria e indirecto a memoria. Suponer que permite un formato para las instrucciones y suponer que los modos de direccionamiento son ortogonales respecto al código de operación

No es necesario especificar explícitamente en la instrucción los modos de direccionamiento ya que son ortogonales

Sobre las formas de especificar la condición de salto. Elige la respuesta correcta

Cuando está incluida la condición en el salto el trabajo que tiene que realizar la máquina para ejecutar la instrucción puede ser demasiado

Sobre la codificación de los modos de direccionamiento

La codificación híbrida

En cuanto a la manera de programar las máquinas, indica la respuesta correcta

La arquitectura a nivel lenguaje máquina es un objeto del compilador

En cuanto a las áreas de aplicación. ¿Cuál de las siguientes afirmaciones NO es correcta?

En los servidores el rendimiento de operaciones con tipos de datos enteros es mucho menos importante que el rendimiento para punto flotante o cadenas de caracteres

Sobre las formas de especificar el salto. Elige la respuesta correcta

Cuando está incluida la condición de salto, el trabajo que tiene que realizar la máquina para ejecutar la instrucción puede ser demasiado

Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada en cinco etapas: IF, ID, EX, MEM, WB:

L_1: sub \$s1, \$s2, \$s3

L_2: and \$s2, \$s3, \$s1

L_3: sw \$s2, 24(\$s1)

Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?

10 ciclos de reloj.

Sobre el diseño de la segmentación. Indica la respuesta correcta

Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. La etapa más lenta actúa...

Acerca de la técnica de adelantamiento. Indica la respuesta NO correcta

La técnica de adelantamiento consiste en adelantar datos desde los registros intermedios a las etapas que lo necesitan para evitar ciclos de detención

Para el procesador MIPS segmentado en 5 etapas con un delay slot en los saltos se ejecuta la siguiente secuencia de instrucciones,

**LW R1, 0 (R4)
LW R2, 400 (R4)
ADDI R3,R1,R2
SW R3, 0 (R4)
SUB R4, R4, #4
BNEZ R4, L1**

Suponer que NOOOO hay forwarding. En el ciclo de reloj 7, ¿en qué etapa de segmentación se encuentra la instrucción ADDI?

En la etapa EX.

En el siguiente código,

**ADD R1,R2,R10
AND R3,R1, R5
SUB R4,R1,R5
OR R1,R1,R10**

¿Dónde existe riesgo por dependencia de datos?

Existe riesgo por dependencia de datos, en la instrucción AND y SUB.

¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada?

Deteniendo la máquina hasta que se solucione el conflicto

¿Cuál será aproximadamente la ganancia de velocidad obtenida al segmentar un procesador de forma lineal y síncrona con 20 etapas si ejecuta un programa de 50 instrucciones comparada con la versión multiciclo donde las instrucciones tardan los mismos ciclos?

~25

Dado las siguientes secuencia de instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:

**sub \$s1, \$s2, \$s3
and \$s2, \$s3, \$s1
sw \$s4, 24(\$s1)**

Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿En cuántos ciclos de reloj de incrementa la ejecución de estas instrucciones?

En 4 ciclos

Sobre las arquitecturas VLIW y Superescalar. Indica la respuesta correcta

En los procesadores superescalares, el compilador es el encargado de descubrir el paralelismo que permita aprovechar las instrucciones que se van captando de memoria

Sobre el modo de direccionamiento literal o inmediato. Indica la respuesta correcta.

Los inmediatos pequeños son los más utilizados...

Sobre los tipos de operaciones del repertorio

El direccionamiento inmediato y desplazamiento dominan la utilización de los modos de direccionamiento. Los modos de direccionamiento reducen el RI....

Indica las ventajas de las arquitecturas que utilizan operandos Memoria-Memoria

El código es más compacto

¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada?

Deteniendo la máquina hasta que se solucione el conflicto

Sobre los riesgos de segmentación

Los riesgos estructurales requieren una reorganización de las unidades funcionales de la máquina multiciclo en la que está basada

Sobre los riesgos de control. Indica la respuesta NO correcta

Predecir el salto como efectivo...

¿Qué problemas surgen al segmentar una máquina MIPS partiendo de la original multiciclo?

Nos encontramos con un riesgo estructural en el banco de registros con las operaciones de carga y almacenamiento

Sobre el concepto de segmentación. Indica la respuesta NO correcta

La segmentación es una de las claves que permite aumentar el rendimiento en los computadores pero que no afecta a la productividad