



FUNDAMENTOS DA COMPUTAÇÃO

PROF. JOSENALDE OLIVEIRA

josenalde@eaj.ufrn.br

ANÁLISE E DESENVOLVIMENTO DE SISTEMAS - UFRN

- Memórias (baseadas em semicondutores)

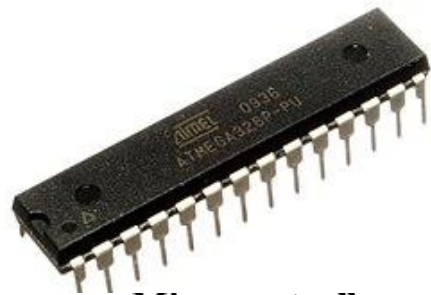
- Matriz com células idênticas
- Somente leitura (Read Only Memory – ROM)
 - Secundária ou auxiliar
 - Não voláteis – longa duração dos dados
 - Armazena programas de check-up, de partida, tabelas com informações do sistema para uso pelo processador
 - Sistemas invariáveis e de função única
- Flash-ROM: é um tipo de memória EEPROM, mas com um tempo para apagar o conteúdo menor, usando uma tensão menor. Na EEPROM pode-se apagar apenas um endereço. Na Flash-ROM todo o conteúdo obrigatoriamente apagado.

- Características

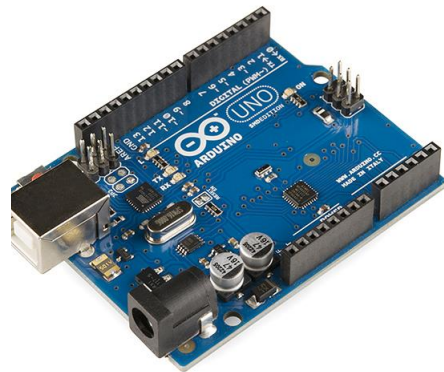
- Persistência de dados
- Segurança (maior dificuldade de alteração)

- Tipos

- Mask-ROM: gravado pelo fabricante e não pode ser alterado
- PROM (Programmable): pode ser programada usando equipamento especial – grava-se apenas uma vez e depois pode-se ler; usada para softwares embutidos (firmware), que não devem ser alterados
- EPROM: pode ser apagada e regravada com luz UV em frequência x e tempo y
 - EEPROM: pode ser apagada por impulsos elétricos comandados por software, sem remover o chip – como é ROM, pode manter por anos ou não ser apagado o conteúdo.



Microcontroller



ATmega328

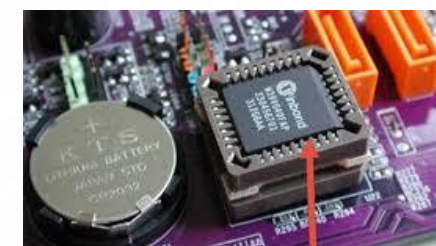
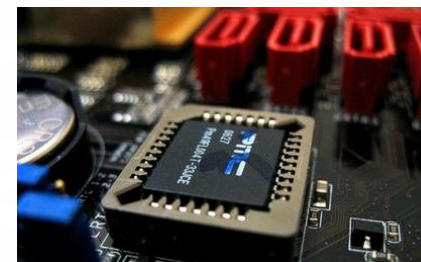
Microcontroller	ATmega328
Clock Speed	16MHz
Operating Voltage	5V
Maximum supply Voltage (not recommended)	20V
Supply Voltage (recommended)	7-12V
Analog Input Pins	6
Digital Input/Output Pins	14
DC Current per Input/Output Pin	40mA
DC Current in 3.3V Pin	50mA
SRAM	2KB
EEPROM	1KB
Flash Memory	32KB of which 0.5KB used by boot loader



EPROM



EEPROM



BIOS Chip

FLASH-ROM

Blink | Arduino 1.8.9

Arquivo Editar Sketch Ferramentas Ajuda

✓ ↩ 📄 ⬆ ⬇

🔍

Blink

```
// the setup function runs once when you press reset or power the board
void setup() {
  // initialize digital pin LED_BUILTIN as an output.
  pinMode(LED_BUILTIN, OUTPUT);
}

// the loop function runs over and over again forever
void loop() {
  digitalWrite(LED_BUILTIN, HIGH);   // turn the LED on (HIGH is the voltage level)
  delay(1000);                       // wait for a second
  digitalWrite(LED_BUILTIN, LOW);    // turn the LED off by making the voltage LOW
  delay(1000);                       // wait for a second
}
```

Problema ao carregar para a placa. Veja <http://www.arduino.cc/en/Guide/Troubleshooting#upload> para sugestões. Copiar mensagens de erro

0 sketch usa 930 bytes (2%) de espaço de armazenamento para programas. O máximo são 32256 bytes.
Variáveis globais usam 9 bytes (0%) de memória dinâmica, deixando 2039 bytes para variáveis locais. O máximo são 2048 bytes.
avrdude: ser_open(): can't open device "/dev/ttyACM0": Permission denied
Problema ao carregar para a placa. Veja <http://www.arduino.cc/en/Guide/Troubleshooting#upload> para sugestões.

13

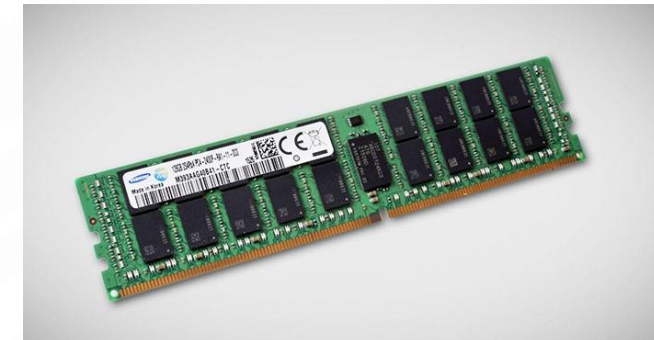
Arduino/Genuino Uno em /dev/ttyACM0

ADS-UFRN: FUNDAMENTOS DA COMPUTAÇÃO, PROF. JOSENALDE OLIVEIRA

4

• Memórias de leitura e escrita – Random Access Memory (RAM)

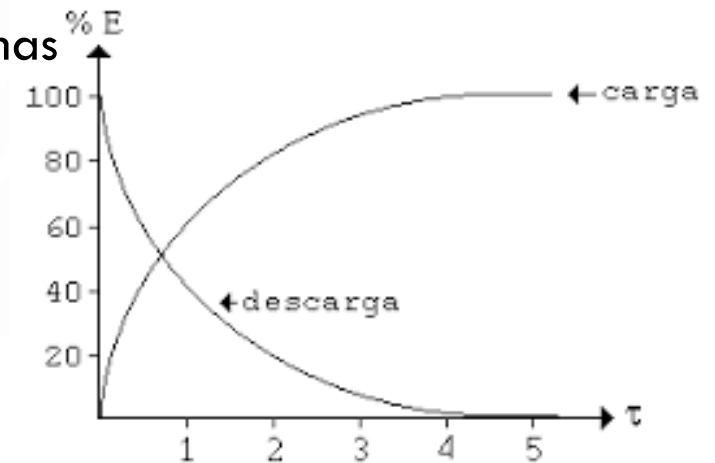
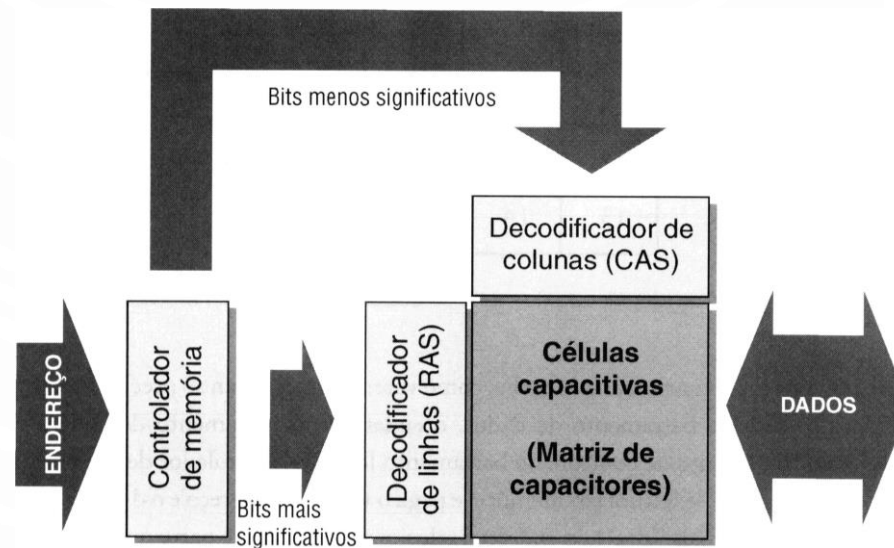
- Acesso aleatório nos endereços de memória (não sequencial) – ROM também é aleatório!!
 - Volátil (perde conteúdo ao desenergizar)
 - Memória principal ou de sistema (sinônimo)
 - Armazena dados e programas (“mesa de trabalho”) da CPU – von Neumann e equipe / Turing
 - Memória organizada em endereços, onde em cada endereço guarda-se x bits (palavra da memória)
-
- Estática (SRAM) x Dinâmica (DRAM)
 - SRAM: bit representado com 4 a 6 transistores (ou técnica digital flip-flop), não precisando de ciclo de *refresh* e aumenta a velocidade, mas são mais caras.
 - Normalmente usadas para **cache de memória**
 - Técnicas: Asynchronous SRAM, synchronous burst SRAM
Pipelined burst SRAM, custom SRAM



• Memórias dinâmica DRAM

- Cada bit representado por um transistor e um capacitor. Como o capacitor por natureza sofre descarga com o passar do tempo, perderia o dado, então, existem circuitos especiais para atualizar os dados milhares de vezes por segundo (refresh) – restituir a carga das células
- Mais lentas que as SRAM
- Podem ser síncronas-SDRAM (sync com o clock do sistema) ou assíncronas
- Como internamente a memória é uma matriz, com células é necessário referenciar linha (**Row Address Select-RAS**) e coluna (**Column Address Select-CAS**)

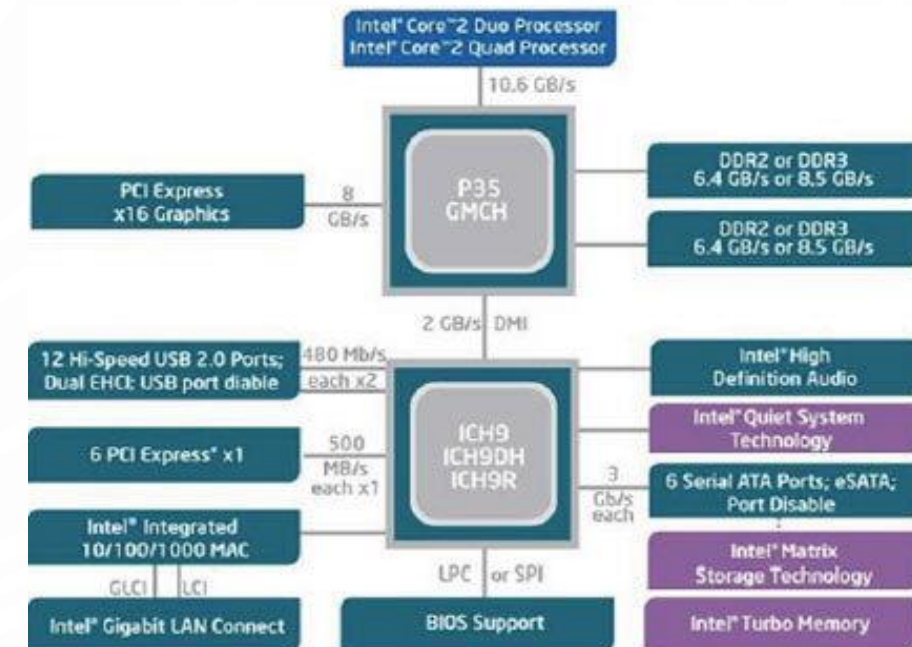
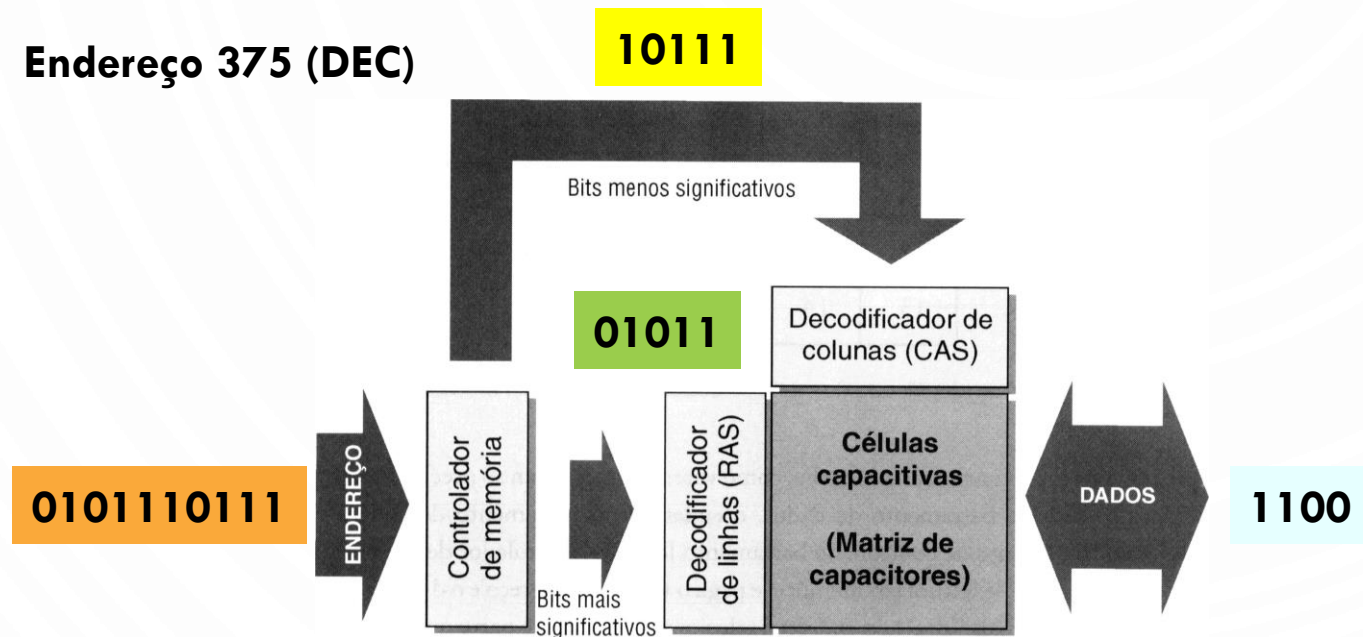
- O tempo que leva desde o Início do acesso até o dado estar disponível é o **TEMPO DE ACESSO** (ns)



- Memórias dinâmica DRAM
- Controlador de memória (chipset – ponte norte (northbridge))
 - Imagine chip hipotético 1k x 4 (ou seja, 1024 células com 4 bits, cada)
 - São necessários 10 bits (2^{10}) para gerar os endereços
 - Para o endereço, separa os 10 bits em MSB (5)-linha e LSB (5)-coluna



Endereço 375 (DEC)



- Memórias dinâmica DRAM

- Acesso em modo burst

- Vários ciclos de clock para indicar linha e depois vários para coluna (de 4 a 7 ciclos)
- Este tempo é overhead
- Bursting: linha e coluna apenas no primeiro acesso, e nos próximos três, apenas colunas, pois os dados são armazenados consecutivamente
- Se o primeiro acesso é 4-7, os demais 1 a 3 ciclos, portanto, mais rápido
- Notação x-y-y-y. Exemplo: 5-2-2-2 (11 para todo o ciclo), no normal, seria 5-5-5-5, 20 ciclos. O primeiro número é chamado **latência**
- Uma memória apresenta temporização 6-1-1-1 (modo burst). Sem modo burst quantos ciclos são necessários para acessar?

- Memórias dinâmica DRAM

- Tecnologias de memória

- SDRAM – burst de até 2-1-1-1 em barramento de 100 MHz, com tempo de acesso de 45ns
 - PC-66, PC-100 (com 64 bits = 8 bytes, dá $100 \text{ MHz} \times 8 = 800 \text{ MB/s}$ de taxa de transmissão)
 - PC-133 (133 MHz e 1064 MB/s)...

DDR – transfere duas vezes (double data rate) a cada ciclo de clock

DDR-533 (266MHz, 4,266 GB/s), DDR-400 (PC3200)

DDR2 – frequência do barramento 2x mais rápido que frequência das células de memória. Logo, em cada ciclo, transfere 04 dados, logo, o dobro da ddr

DDR2-800 (200 MHz x 4, PC26400) etc.

DDR3 – prefetch buffer – 8 bits por ciclo de clock

DDR3-1600 (200 MHz x 8 (clock de memória, PC3 12800))

POWERED BY DDR MEMORY™	TEMPO DE CICLO NANOSEGUNDO (ns)	FREQ. RELÓGIO BUFFERS E/S (MHZ)	TAXA DE TRANSF. DE DADOS (MT/s)	LARGURA DE BANDA C. SIMPLES (MB/s)	TENSÃO DE ALIMENTAÇÃO (V)
DDR4-1600	1.25	800	1600	12800	1.2
DDR4-1866	1.072	933	1866	14928	1.2
DDR4-2133	0.938	1067	2133	17064	1.2
DDR4-2400	0.833	1200	2400	19200	1.2
DDR4-2666	0.750	1333	2666	21328	1.2
DDR4-3200	0.625	1600	3200	25600	1.35
DDR4-3733	0.536	1867	3733	29864	1.35
DDR4-4266	0.469	2133	4266	34128	1.4

Quanto maior a frequência, maior a latência (CL)

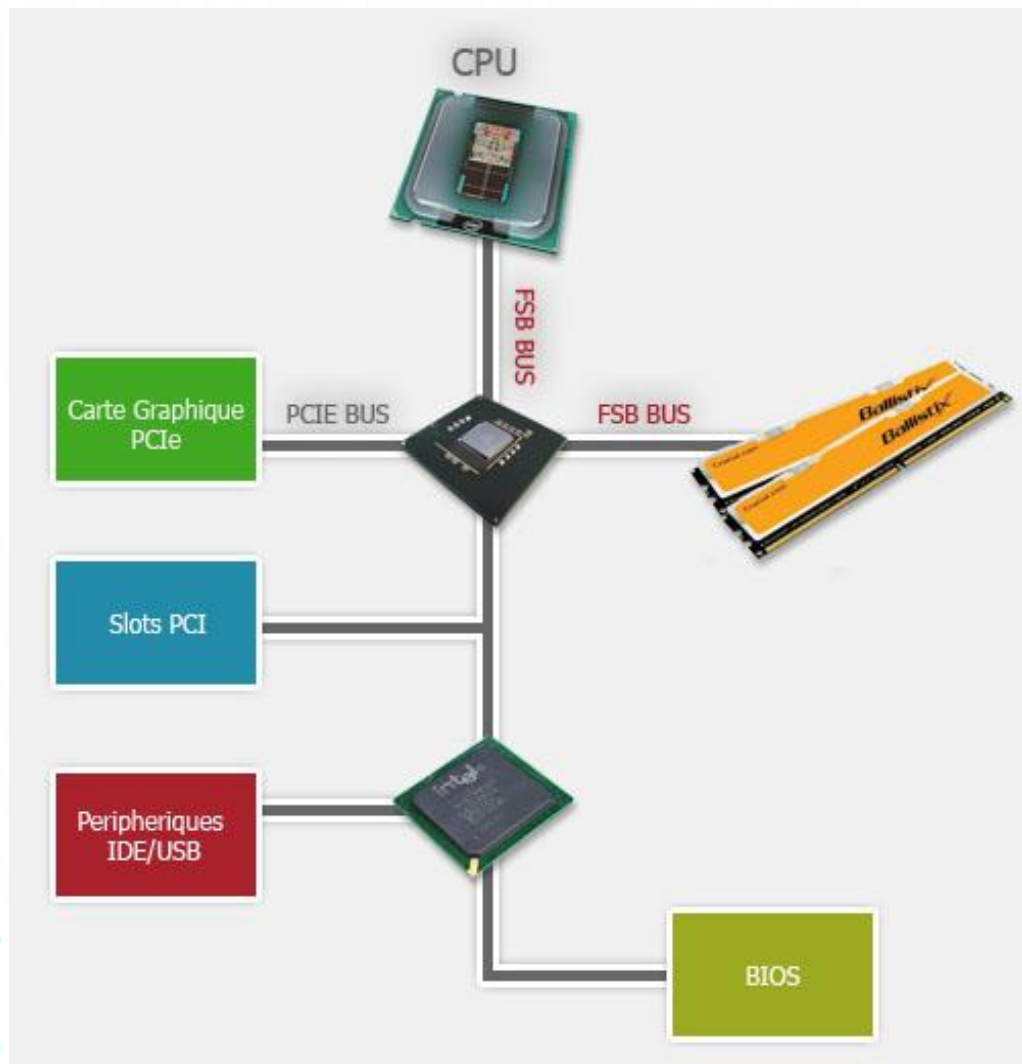
• Memória VIRTUAL


- Os programas não são carregados completamente para a memória principal, apenas partes essenciais, e outras partes podem estar em disco. Quando o sistema necessita acessar outras partes, ou requer mais RAM, acessa o disco (mais lento) numa operação de SWAP (arquivo de troca)
- Quanto mais SWAP o SO fizer, mais afeta na velocidade do sistema

• Detecção e correção de erros em memória

- Retomamos aqui a PARIDADE (utilizado em memórias)
- E o método ECC, com algoritmos Reed-Solomon, Hamming, Golay e outros
- Detecta e corrige erros, mas usa mais de um bit para cada oito bits de dados. Para o normal hoje que é barramento de dados de 64 bits, tanto a paridade quanto o ECC precisam de 8 bits adicionais, logo o ECC é mais indicado.

- Barramento FRONTAL (sistema) e multiplicadores



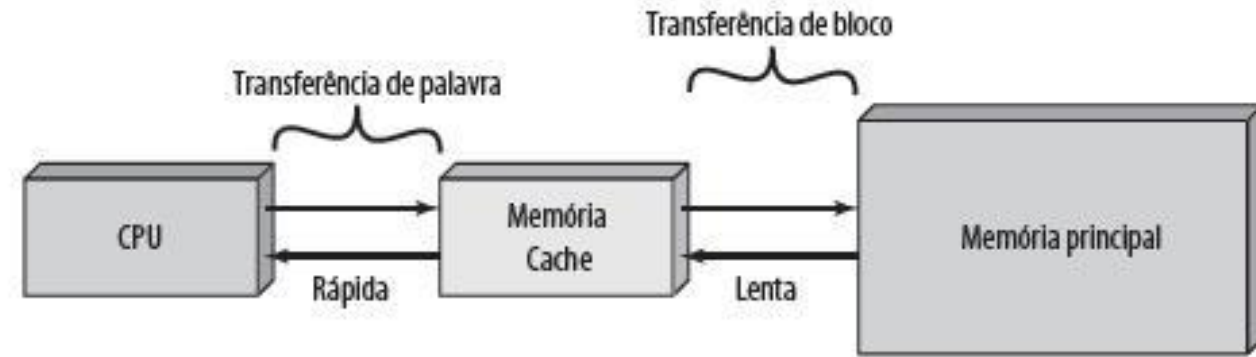
Processor					
Name	Intel Pentium 4 630				
Code Name	Prescott	Brand ID			
Package	Socket 775 LGA				
Technology	90 nm	Core VID	1.404 V		
Specification	Intel(R) Pentium(R) 4 CPU 3.00GHz				
Family	F	Model	4	Stepping	3
Ext. Family	F	Ext. Model	4	Revision	N0
Instructions	MMX, SSE, SSE2, SSE3, EM64T				
Clocks (Core #0)					
Core Speed	2992.7 MHz				
Multiplier	x 15.0				
Bus Speed	199.5 MHz				
Cache					
L1 Data	16 KBytes				
L1 Trace	12 Kuops				
Level 2	2048 KBytes				

↓

Frequência do CPU
Multiplicador
Valor em MHz do FSB

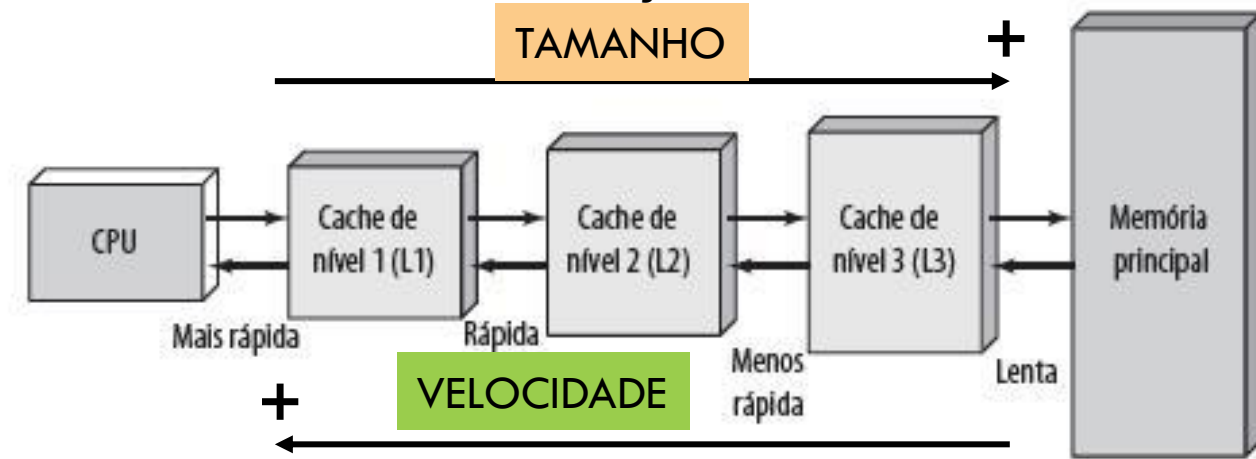
- Memória CACHE – princípio da posição de referência

- SRAM (maior velocidade, menor tamanho – bytes)
- Informações recentemente acessadas estão “mais próximas” ao processador E
- Provavelmente serão acessadas nos próximos instantes
- Se uma instrução foi lida, a partir da memória provavelmente irá ler a instrução na posição seguinte da memória (como fazer PC++ . contador de programa, lembra?)
- Diminui tempo de acesso, pois dados e instruções podem ser acessados pela CPU diretamente
- A taxa de acerto deste método é 80%, podendo chegar a 99%



(a) Cache única

Cache de dados e instruções – de kB à MB



(b) Organização de cache em três níveis

• Especificação de processador

Características:

- Marca: Intel i9 (9. geração)
- Modelo: BX80684I99900KS

Especificações:

Performance:

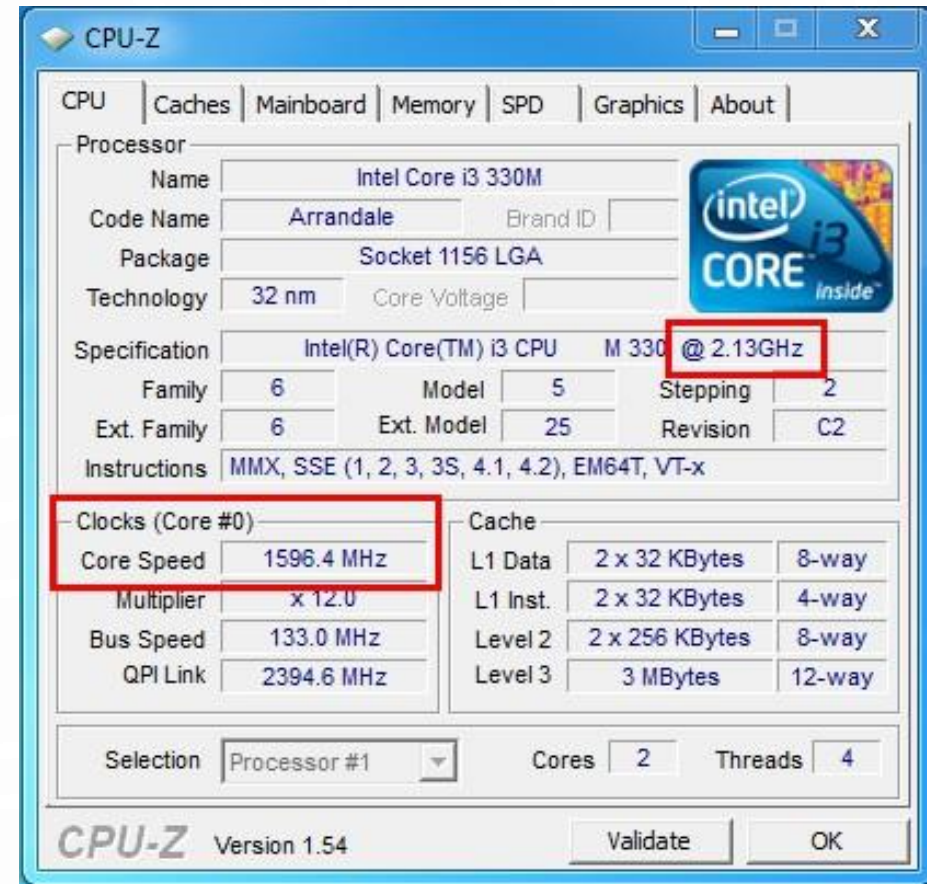
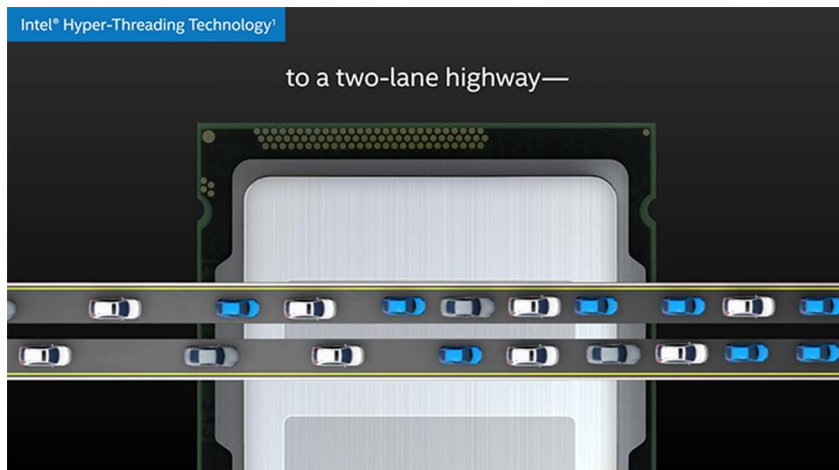
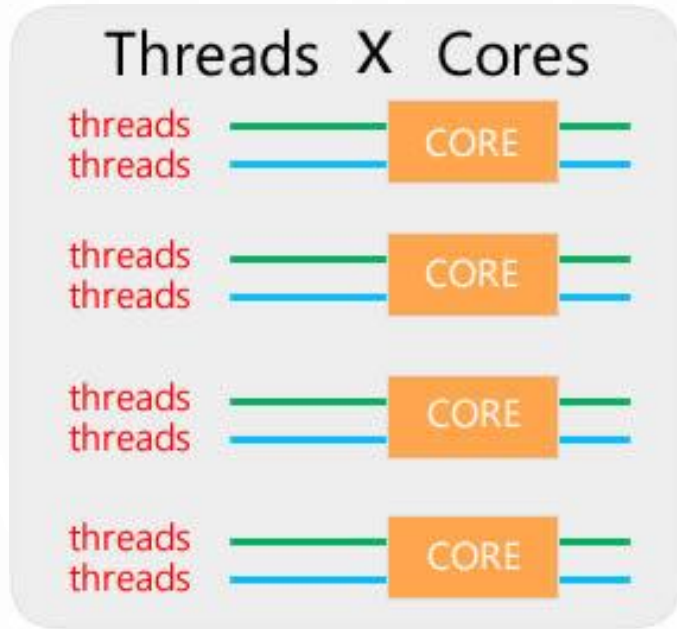
- Núcleos: 8
- Threads: 16
- Frequência baseada: 4.00 GHz (interna, chaveamento dos transistores)
- Frequência turbo: 5.00 GHz
- Intel Smart Cache: 16 MB (cache de último nível compartilhada pelos 8 núcleos)
- Velocidade do barramento: 8 GT/s (transferências) (FSB x transferências por segundo)
- TDP: 127 W

Memória:

- Tamanho máximo de memória (dependendo do tipo de memória): 128 GB
- Tipos: DDR4-2666 (2666 MHz x 8 bytes = 21328 MB = 21,3 GB aprox..)
- Número máximo de canais: 2
- Largura máxima de banda: 41,6 GB/s (pois é DUAL CHANNEL)



• Especificação de processador



- Execução simultânea de sequências diferentes de instruções
 - Cada núcleo é uma linha de execução, mas a aplicação precisa ser programada para explorar isto (multi-thread, hyper-thread INTEL)
 - Cada núcleo processando 2 threads (fluxos paralelos de código)
- DICA: programação paralela **C++: <thread>, Open MPI**