Sistemas Embarcados

PROF. JOSENALDE OLIVEIRA

TADS UFRN

josenalde@eaj.ufrn.br https://github.com/josenalde/embeddedsystems

Modelagem de processos sequenciais: GRAFCET

 Método gráfico para projetos de sistemas automatizados sequenciais (sugestão de vídeo aula: <u>GRAFCET - Parte I (Em Português) – YouTube</u>)

Embora existam CLPs que permitam programar diretamente em GRAFCET (EN 60848), é mais conhecido como ferramenta de projeto, e o LADDER como uma linguagem de programação (portanto existem métodos de conversão GRAFCET-

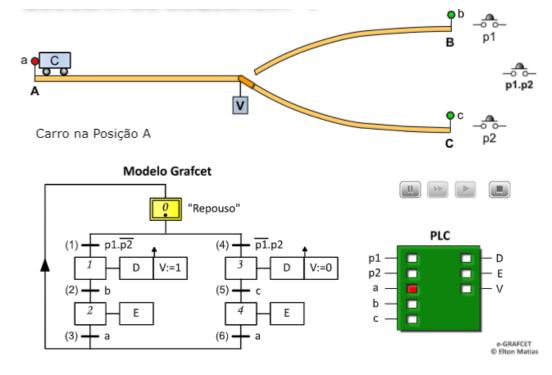
LADDER)

- Em computação, seria equivalente à análise do sistema, documentar solução

"GRAphe Fonctionnel de Commande Etapes/Transitions."

Ideia: A partir de etapas/condições iniciais, ocorre transição de etapas, onde em cada etapa uma ou mais ações são efetuadas. As transições possuem regras de disparo (lógica, temporização etc.)

Numa etapa pode-se ter um vetor de saídas (com seus estados 0, 1)

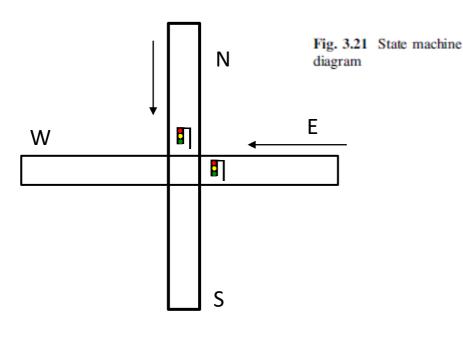


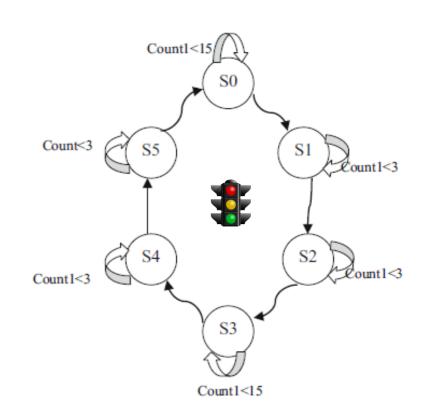
Relembrando...

- Máquina de estado
- Tabela de transições de estado

Table 3.2 Six states of TLC controller

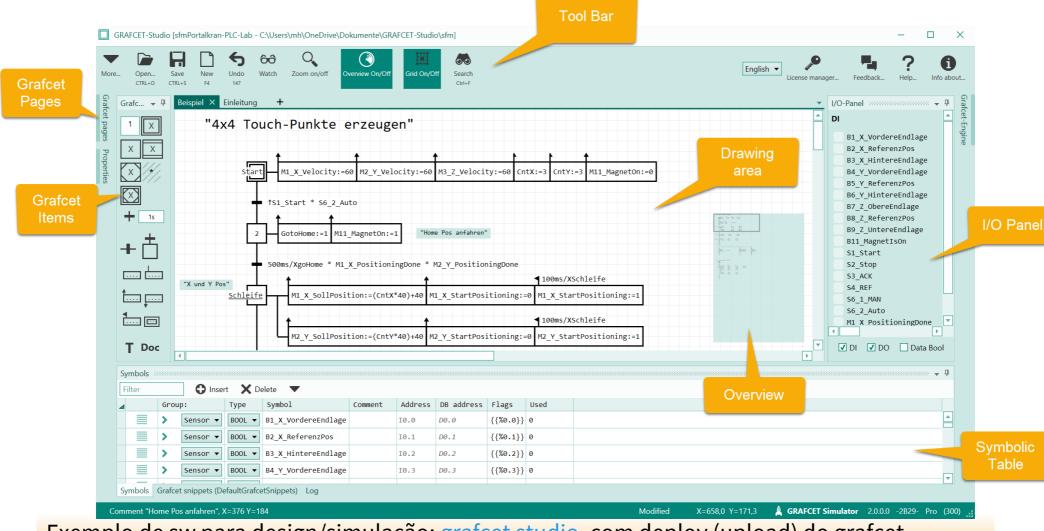
State	North-South LEDs	East-West LEDs	Delay in seconds
0	Green	Red	<mark>15</mark>
1	Yellow	Red	<mark>3</mark>
2	Red	Red	<mark>3</mark>
3	Red	Green	<mark>15</mark>
4	Red	Yellow	3
5	Red	Red	<mark>3</mark>





https://github.com/josenalde/embeddedsystems/blob/master/src/traffic_light.vhd

Modelagem de processos sequenciais: GRAFCET

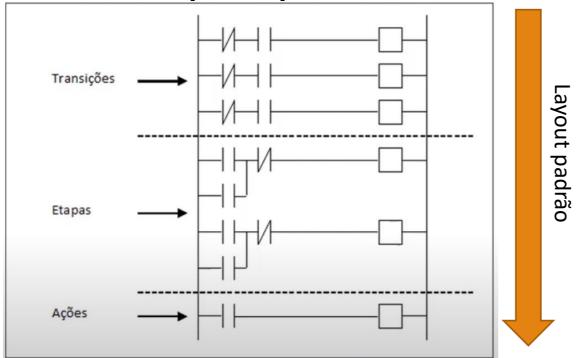


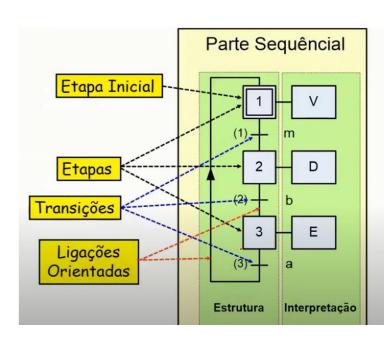
Exemplo de sw para design/simulação: <u>grafcet studio</u>, com deploy (upload) do grafcet **diretamente** para CLPs compatíveis (s7-300/400, 1200/1500, codesys v3, raspberry, Arduino Due); Existem outros projetos, inclusive OPEN, com CLPs em Raspberry, Arduino, ESP8266:

Conheça o OpenPLC - O primeiro CLP de Código Aberto Padronizado (embarcados.com.br)



- Para CLP baseado em FPGA, não temos conhecimento de ferramentas de geração automática de conversão grafcet – blocos lógicos, ou grafcet-ladder com blocos lógicos, sendo uma oportunidade de desenvolvimento!
- 1) Na estrutura do grafcet temos três elementos básicos: **transições, etapas** e as **ações**
- No Ladder também teremos três partes distintas, nesta ORDEM: transições, depois sequenciamento das etapas e por último a execução das ações





Exemplo 1: egrafcet.utad.pt/Home/Exemplos Ex1

Considere um carro que se pode movimentar entre as posições A e B.



A presença do carro em A é representada pela variável Booleana a=1 e em B é representada por b=1. O carro é comandado por um botão m (m=1 quando pressionado).

Inicialmente o carro está na posição A (repouso). As saídas do sistema de controlo são D e E (D=1, o carro desloca-se para a direita; E=1, o carro desloca-se para a esquerda).

Com a utilização de Grafcets vão ser implementados os controladores lógicos que correspondem às seguintes situações:

Sensibilidades/ Entradas	Variável
Botão de acionamento	M (10)
Fim de curso A	A (I1)
Fim de curso B	B (I2)

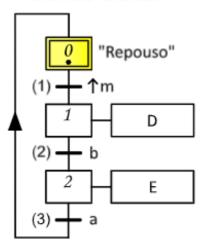
Saídas	Variável
Carro vai para a direta	D (Q0)
Carro vai para a esquerda	E (Q1)

Memorização (variáveis internas) das etapas e transições

Transição	Variável
E0 – E1 (1)	M10
E1 - E2 (2)	M11
E2 - E0 (3)	M12

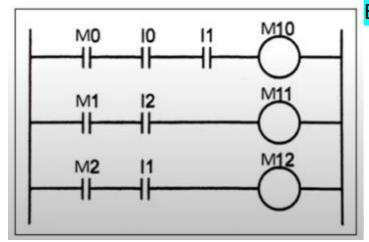
Etapa	Variável
0	MO
1	M1
2	M2

Modelo Grafcet



Exemplo 1: egrafcet.utad.pt/Home/Exemplos Ex1

Transições: etapa acima ATIVA e receptividade VERDADEIRA



Etapa acima da transição

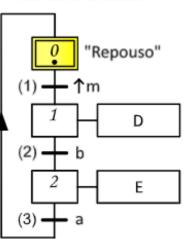
M10 = M0 AND (IO AND I1)

Receptividade (condição)

M11 = M1 AND 12

M12 = M2 AND I1

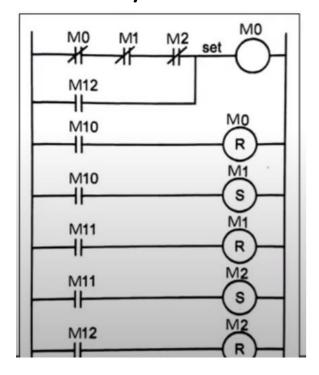
Modelo Grafcet



Exemplo 1: egrafcet.utad.pt/Home/Exemplos Ex1

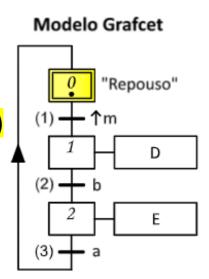
Etapas (estados): a etapa pode necessitar ficar ativa por mais tempo que a transição que a ativa, normalmente pulsante. Logo existem soluções com SET/RESET e com SELO

LÓGICA SET/RESET



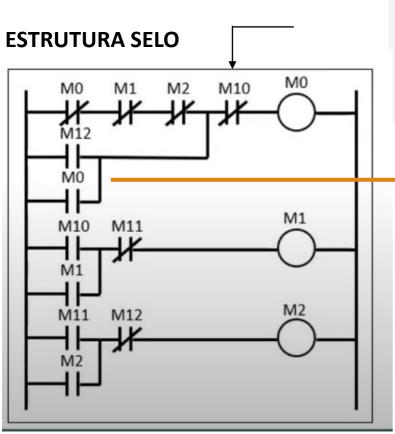
Qual transição ativa etapa 0 (M0)? = M12 (2->0) Outra condição INICIAL é não haver etapas ativas, para então SETAR M0 como INICIAL, logo, faz-se a conjunção NOT(M0) AND NOT(M1) AND NOT(M2)

Transição que faz chegar em Etapa e Transição que faz sair da Etapa



Exemplo 1: egrafcet.utad.pt/Home/Exemplos Ex1

Etapas (estados): a etapa pode necessitar ficar ativa por mais tempo que a transição que a ativa, normalmente pulsante. Logo existem soluções com SET/RESET **e com SELO**



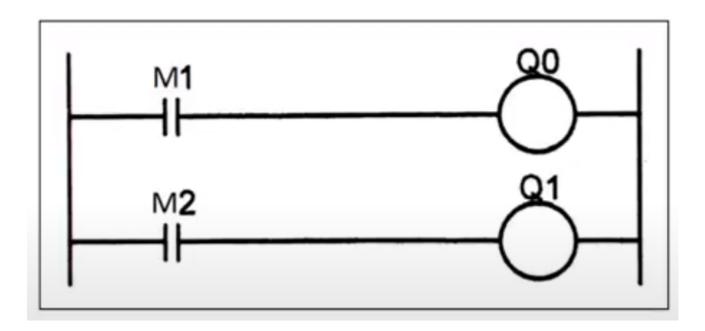
Este AND com a transição 0->1 NF, indica que se a transição ocorrer (M10=1, logo NOT(M10)=0), M0 = 0, como se fosse um botão de STOP. Este padrão repete-se para as outras etapas, sempre com a transição de saída da etapa em NF

Selo mantém memória (etapa) ativa = 1

Esquema geral: memoriaEtapa =
= (transicaoChegada OR memoriaEtapa) AND
NOT (transicaoSaida)

Exemplo 1: egrafcet.utad.pt/Home/Exemplos Ex1

Saídas: as saídas equivalentes às respectivas etapas, quando ativas, são disparadas

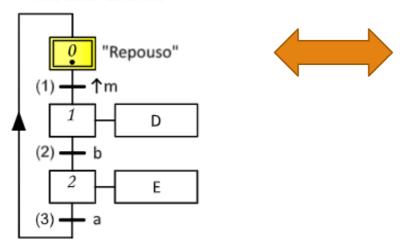


Exercício 1: montagem deste diagrama Ladder no ClicO2. Ver exemplo2.cli em <u>embeddedsystems/ladderdiagrams at master · josenalde/embeddedsystems (github.com)</u>

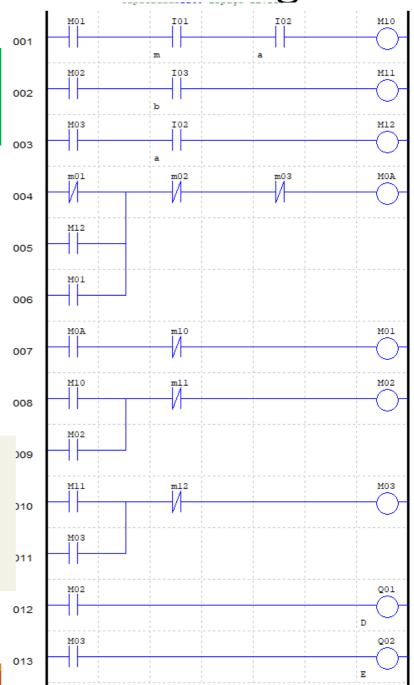
Exemplo 1: egrafcet.utad.pt/Home/Exemplos Ex1

Exercício 1: montagem deste diagrama Ladder no Clic02. Ver exemplo2.cli em <u>embeddedsystems/ladderdiagrams at master · josenalde/embeddedsystems (github.com)</u>

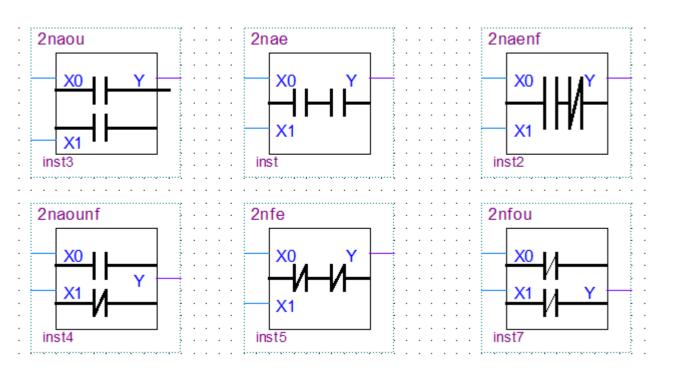
Modelo Grafcet



Para escrever esta solução em FPGA, precisamos de blocos lógicos (macrofunções) que representem os relés NA, NF e respectivas combinações AND e OR. Nossa referência propõe os seguintes blocos, mas podemos criar tantos quanto precisarmos



Bloco (.bsf – block symbol files, com respectivos .bdf (block diagram files) Quartus



Para escrever esta solução em FPGA, precisamos de blocos lógicos (macrofunções) que representem os relés NA, NF e respectivas combinações AND e OR. Nossa referência propõe os seguintes blocos, mas podemos criar tantos quanto Precisarmos. Uma opção é colocar tais arquivos .bdf e .bsf numa pasta com nome sugestivo, como lib ou include, e referenciar na criação do projeto

12

Projeto carro1

