

Diagrama Esquemático

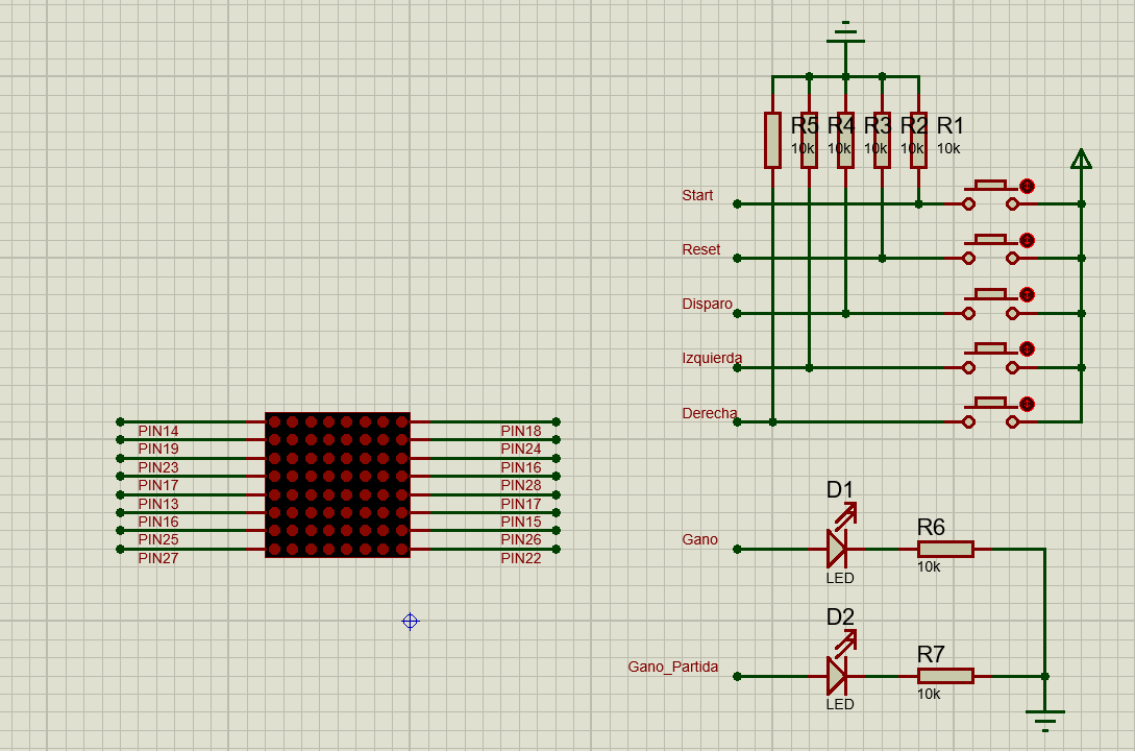


Ilustración 1: Diagrama Esquemático, realizado en Proteus.

Pin Planner

<i>PIN</i>	<i>GPIO</i>	<i>PIN</i>	<i>NOMBRE_SEÑAL</i>
3	O_IN1	B8	START
4	01	C3	RESET
39	32	D12	IZQUIERDA
6	2	A3	DERECHA
7	4	B3	DISPARO
8	5	B4	WIN_PARTIDA
9	6	A4	WIN_GAME

<i>PIN</i>	<i>GPIO</i>	<i>PIN_PLANNER</i>	<i>NAME</i>	<i>COL</i>
13	8	A5	13	0
15	10	B6	3	1
17	12	B7	4	2
19	14	A7	10	3
21	16	C8	6	4
23	18	E7	11	5
25	20	E8	15	6
27	22	F9	16	7

<i>PIN</i>	<i>GPIO</i>	<i>PIN_PLANNER</i>	<i>NAME</i>	<i>FILA</i>
14	9	D5	9	0
16	11	A6	14	1
18	13	D6	8	2
20	15	C6	12	3
22	17	E6	1	4
24	19	D8	7	5
26	21	F8	2	6
28	23	E9	5	7

Los pines en mención son los de la FPGA DE0 NANO.