

---

# Procesador con pipeline de cinco etapas

JOSE PABLO APÚ, B10407

MARCO TORRES, B16592

CHUAN WU, B27371

Estructuras de Computadores Digitales II

Escuela de Ingeniería Eléctrica

Universidad de Costa Rica

---

## Resumen

*En este documento se describe detalladamente el diseño, la implementación de un procesador con pipeline de cinco etapas.*

## I. INTRODUCCIÓN

### I. Desarrollo del proyecto

Se pretende describir un microprocesador con pipeline de cinco etapas. Las características principales son:

1. No tendrá direccionamiento indirecto.
2. Tendrá dos registros de uso general, llamados A y B.
3. No se harán operaciones de A con Memoria, ni de B con Memoria, únicamente entre A, B y constantes.
4. La memoria de datos estará separada de la de instrucciones.
5. Cada posición de la memoria de datos guardará un byte.
6. Cada posición de la memoria de instrucciones guardará dos bytes.
7. La memoria de datos tendrá 1024 posiciones (10 bits para indexarla).
8. La memoria de instrucciones tendrá 1024 posiciones (10 bits para indexarla).
9. No habrá subrutinas.
10. No se implementará atención a interrupciones.
11. No se implementará una pila.
12. Se supondrán únicamente números sin signo, por lo que no habrá bandera de rebase.

## II. Plan de pruebas

Con la tabla de instrucciones, que se pueden observar en el cuadro 1, se piensa contruir programas pequeños, pero característicos, esto para observar el comportamiento del microprocesador.

## II. DISEÑO

El que tenga un pipeline, permite estar ejecutando una instrucción, y que en ese momento pueda recibir otra instrucción. Sabemos que las instrucciones por lo general, necesitan de 2 a 3 ciclos de reloj. La idea es que al ejecutarse el segundo ciclo de reloj, el procesador pueda recibir la siguiente instrucción, sin que la primera instrucción finalice. Para lograr esto hay que tener mucho cuidado con el cableado de los módulos.

### I. Unidad de control

El microprocesador tiene una unidad de control, que en este caso se llama decodificador. Este permite administrar las entradas que recibe la alu, los registros y además maneja los saltos del microprocesador.

#### I.1. Estados

#### I.2. Entradas

#### I.3. Salidas

#### I.4. Definición de la máquina

### II. Multiplexores

Sistema de control			
selM1	selM2	ln1	ln2
0	0	wA	imdt
0	1	wA	wB
1	0	imdt	imdt
1	1	imdt	wB

### III. Acumulador

Sistema de control	
selX	wX
00	wX
01	inmdt
10	alu
11	mem



Salida según la instrucción						
Codificación	Mnemónico	selA	selB	selM1	selM2	wrEnable
000 000	LDA	11	00	X	X	0
000 001	LDB	00	11	X	X	0
000 010	LDCA	01	00	X	X	0
000 011	LDCB	00	01	X	X	0
000 100	STA	00	00	0	X	1
000 101	STB	00	00	X	0	1
000 110	ADDA	10	00	0	1	0
000 111	ADDB	00	10	0	1	0
001 000	ADDCA	10	00	0	0	0
001 001	ADDCB	00	10	1	1	0
001 010	SUBA	10	00	0	1	0
001 011	SUBB	00	10	0	1	0
001 100	SUBCA	10	00	0	0	0
001 101	SUBCB	00	10	1	1	0
001 110	ANDA	10	00	0	1	0
001 111	ANDB	00	10	0	1	0
010 000	ANDCA	10	00	0	0	0
010 001	ANDCB	00	10	1	1	0
010 010	ORA	10	00	0	1	0
010 011	ORB	00	10	0	1	0
010 100	ORCA	10	00	0	0	0
010 101	ORCB	00	10	1	1	0
010 110	ASLA	10	00	X	X	0
010 111	ASRA	10	00	X	X	0
011 000	JMP	00	00	X	X	0
011 001	BAEQ	00	00	X	X	0
011 010	BANE	00	00	X	X	0
011 011	BACS	00	00	X	X	0
011 100	BACC	00	00	X	X	0
011 101	BAMI	00	00	X	X	0
011 110	BAPL	00	00	X	X	0
011 111	BBEQ	00	00	X	X	0
100 000	BBNE	00	00	X	X	0
100 001	BBCS	00	00	X	X	0
100 010	BBCC	00	00	X	X	0
100 011	BBMI	00	00	X	X	0
100 100	BBPL	00	00	X	X	0
100 101	NOP	00	00	X	X	0

Cuadro 1: Salidas de control, del decodificador

#### IV. VERIFICACIÓN Y PLAN DE PRUEBAS

Así como se menciona en la introducción para validar el diseño se ejecuto el plan de pruebas. A continuación se listan cada una de las pruebas que se realizaron una vez que se comprobó que cada elemento funcionaba individualmente.

##### I. Operaciones aritméticas y de carga de constantes

Para esta prueba se propuso la creación de un programa que tomara dos números constantes, los restara y luego sumara otro. A continuación se muestra el código en lenguaje ensamblador.

#Programa 1:

```

NOP
LDCA 9A                #Se carga un $9A al acumulador A
NOP
NOP
LDCB 2C                #Se carga un $2C al acumulador B
NOP
NOP
SUBA                   #(A) ← (A) − (B)
NOP
NOP
ADDCA 14               #(A) ← (A) + ($14)
NOP
NOP
###

```

En la figura 2 se muestra el resultado de correr este programa el tiempo suficiente para que todas las instrucciones pasen por las etapas.

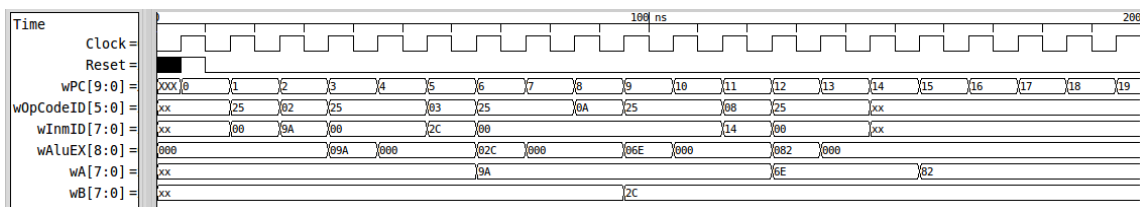


Figura 2: Señales de control y datos durante la ejecución de programa 1.

Vale la pena prestar atención a la línea **wOpCodeID** pues esta dice cuál instrucción se acaba de decodificar, también es importante ver a línea **wAluEX** pues esta muestra la salida de la **ALU**, en este caso los valores inmediatos que se van almacenar, finalmente al detallar las líneas **wA** y **wB** se puede ver el resultado de las instrucciones que se están ejecutando. Adicionalmente aunque no se muestren las demás señales de control se verificó que fueran las correctas, por lo cual podemos comprobar el resultado de la operación 1.

$$(\$9A - \$2C) + \$12 = \$14 \quad (1)$$

## II. Acceso a memoria (lectura y escritura)

Para probar el funcionamiento de las instrucciones de acceso a memoria basto con guardar el contenido del acumulador en una posición de memoria y luego cargarlo desde la memoria a otro acumulador. A continuación se muestra el código en lenguaje ensamblador.

#Programa 2:

```

NOP
LDCA 9A          #Se carga un $9A al acumulador A
NOP
NOP
STA 100          #Se guarda el contenido de A
                  #en la posición $100 de la memoria
NOP
NOP
LDB 100          #Se carga al acumulador B el
NOP              #contenido de la posición $100
NOP
###

```

En la figura 3 se muestran las señales al ejecutar este programa.

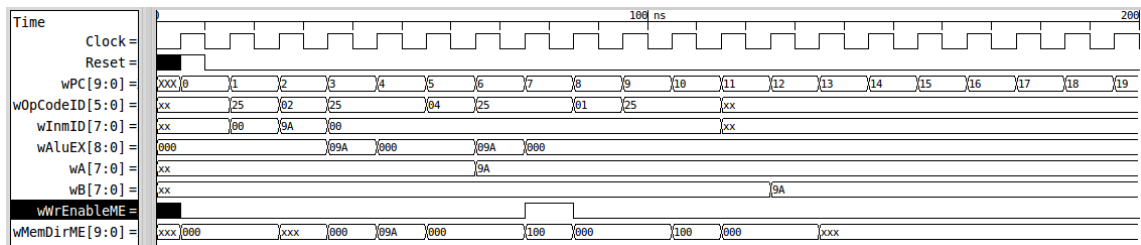


Figura 3: Señales de control y datos durante la ejecución de programa 2.

En este caso también es importante detallar las líneas **wA**, **wB**, **wAluEX** y **wOpCode**, pero por el objetivo de la prueba se centró el análisis en las líneas **wWrEnableME** y **wMemDirME**. Para todos los casos la memoria siempre está cargando en la salida el contenido de la posición de memoria que indica **wMemDirME** pero solo escribe lo que está su entrada cuando la línea **wWrEnable** está en alto. Finalmente se puede comprobar que las instrucciones se ejecutaron bien observando la línea **wB** al final de la ejecución.





$$\$9A(AND)\$F0 = \$90 \quad (2)$$

$$(\$90) >> 4 = \$09 \quad (3)$$

#### IV. Control de flujo | Saltos incondicionales

Para los saltos incondicionales solo se tuvo que interrumpir la linea del contador de programa y que siguiera en otro lado, por eso se hizo un programa que cargara un numero al acumulador A y mas adelante lo alterara pero antes de eso se coloco un salto incondicional de modo que si el salto funcionaba el dato no seria alterado. Acontinuacion se muestra el código en lenguaje ensamblador.

#Programa 4:

```

NOP
LDCA 05                #Se carga al acumulador A un $05
NOP
NOP
JMP J1 :               #Se salta a la posicion indicada por J1
NOP
NOP
LDCA FF                #Se carga al acumulador A un $FF
NOP                    #(este codigo no se ejecuta)
NOP
: J1 :                 #Etiqueta de Salto 1
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP

```

###

En la figura 5 se muestran las señales al ejecutar este programa.

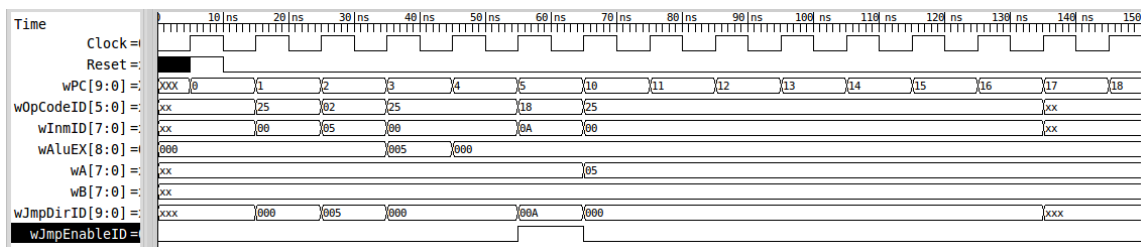


Figura 5: Señales de control y datos durante la ejecucion de programa 4.

Para esta prueba es de mucha importancia observar las lineas **wPC**, **wJmpEnableID** y **wJmpDirID** porque si bien la linea de direccion de salto siempre muestra algun valor solo se salta a este cuando el habilitador esta arriba. Se puede ver facilmente que la instruccion funciona bien al observar el contador de programa en **wPC**.

## V. Control de flujo | Saltos condicionales

Para los saltos condicionales se hizo un programa que cargara un numero en el acumulador A y otro en el acumulador B. Luego desplazaria hacia la izquierda el numero en A tantas veces como induque el numero en B. Acontinuacion se muestra el código en lenguaje ensamblador.

```
#Programa 5:
NOP
LDCA 01          #Se carga un 1 en el acumulador A
NOP
NOP
LDCB 3           #Se carga un 3 en el acumulador B
: J2 :           #Etiqueta de Salto 2
NOP
NOP
ASLA             #Se desplaza hacia la izquierda el numero en A
NOP
NOP
SUBCB 1          #Se decrementa el numero en B
NOP
NOP
NOP
BBNE J2 :        #Si el numero en B no es cero se
NOP              #salta a la etiqueta
NO
###
```

Para verificar el funcionamiento de este programa se deben observar las lineas **wPC**, **wA**, **wB** y **wBranchEnableID** y facilmente se puede observar el resultado que se muestra en la linea wA para verificar el resultado 4.

$$(\$01) \gg 3 = \$08 \quad (4)$$

EN otra prueba.. CHUAN AQUÍ VA UNA SUYA

## V. CONCLUSIONES Y RECOMENDACIONES

- A pesar de que no se explotó al máximo el "pipeline" se logró diseñar e implementar un procesador completamente funcional que ejecutara programas y almacenara los resultados.
- Como en el diseño solo se implementó con las señales de control y datos básicas el procesador no puede evitar o reducir "hazards" de ningún tipo, esto por falta de tiempo para implementar esta funcionalidad. A pesar de esto aquí se comenta como se planeó ampliar el diseño para soportar esta funcionalidad.
- Al ejecutar una instrucción de salto, ya sea condicional o incondicional el contador de programa se incrementa pues aun no se ha decodificado la instrucción, esto causa que se lea la siguiente instrucción después de la de salto. Para solucionar esto se planeó implementar un módulo que controlara el contenido de los registros de "pipe", de este modo cuando se leyera la siguiente instrucción el módulo reiniciaría el registro de "pipe"/ID para convertir la instrucción leída en un NOP.
- También por la forma en la que se diseñó la etapa WB, si se ejecuta una instrucción que lea el acumulador A luego de una que lo escriba el valor leído será un valor viejo. Para prevenir este problema se debe crear un módulo que controle los registros de "pipe" de modo que pueda detener algunas etapas para empezar a introducir burbujas en las etapas que tienen el problema.
- Finalmente vale la pena agregar que aunque puede llegar a ser muy complejo diseñar un procesador, en general si se modulariza de la forma correcta y se verifica cada parte por separado la mayor parte del diseño se vuelve fácil de diseñar.