
Procesador con pipeline de cinco etapas

JOSE PABLO APÚ, B10407
MARCO TORRES, B16592
CHUAN WU, B27371

Estructuras de Computadores Digitales II
Escuela de Ingeniería Eléctrica
Universidad de Costa Rica

Resumen

En este documento se describe detalladamente el diseño, la implementación de un procesador con pipeline de cinco etapas.

I. INTRODUCCIÓN

- I. Desarrollo del proyecto
- II. Plan de pruebas

II. DISEÑO

- I. Unidad de control
 - I.1. Estados
 - I.2. Entradas
 - I.3. Salidas

I.4. Definición de la máquina

II. Multiplexores

Sistema de control			
selM1	selM2	ln1	ln2
0	0	wA	imdt
0	1	wA	wB
1	0	imdt	imdt
1	1	imdt	wB

III. Acumulador

Sistema de control	
selX	wX
00	wX
01	inmdt
10	alu
11	mem

IV. Decodificador

- **Entradas:**

instr

- **Salidas:**

selA, selB, selM1, selM2, inm, memDir, branchDir, jmpDir, jmpTaken, wrEnable, opCode

- **Asignaciones:**

inm = instr[0:7]

memDir = jmpDir = instr[0:9]

branchDir = instr[0:5]

opCode = instr[10:15]

V. Memoria de datos

VI. Memoria de instrucciones

III. IMPLEMENTACIÓN

IV. VERIFICACIÓN Y PLAN DE PRUEBAS

Salida según la instrucción						
Codificación	Mnemónico	selA	selB	selM1	selM2	wrEnable
000 000	LDA	11	00	X	X	0
000 001	LDB	00	11	X	X	0
000 010	LDCA	01	00	X	X	0
000 011	LDCB	00	01	X	X	0
000 100	STA	00	00	0	X	1
000 101	STB	00	00	X	0	1
000 110	ADDA	10	00	0	1	0
000 111	ADDB	00	10	0	1	0
001 000	ADDCA	10	00	0	0	0
001 001	ADDCB	00	10	1	1	0
001 010	SUBA	10	00	0	1	0
001 011	SUBB	00	10	0	1	0
001 100	SUBCA	10	00	0	0	0
001 101	SUBCB	00	10	1	1	0
001 110	ANDA	10	00	0	1	0
001 111	ANDB	00	10	0	1	0
010 000	ANDCA	10	00	0	0	0
010 001	ANDCB	00	10	1	1	0
010 010	ORA	10	00	0	1	0
010 011	ORB	00	10	0	1	0
010 100	ORCA	10	00	0	0	0
010 101	ORCB	00	10	1	1	0
010 110	ASLA	10	00	X	X	0
010 111	ASRA	10	00	X	X	0
011 000	JMP	00	00	X	X	0
011 001	BAEQ	00	00	X	X	0
011 010	BANE	00	00	X	X	0
011 011	BACS	00	00	X	X	0
011 100	BACC	00	00	X	X	0
011 101	BAMI	00	00	X	X	0
011 110	BAPL	00	00	X	X	0
011 111	BBEQ	00	00	X	X	0
100 000	BBNE	00	00	X	X	0
100 001	BBCS	00	00	X	X	0
100 010	BBCC	00	00	X	X	0
100 011	BBMI	00	00	X	X	0
100 100	BBPL	00	00	X	X	0
100 101	NOP	00	00	X	X	0