

Bitacora de reuniones del proyecto de microprocesadores y microcontroladores

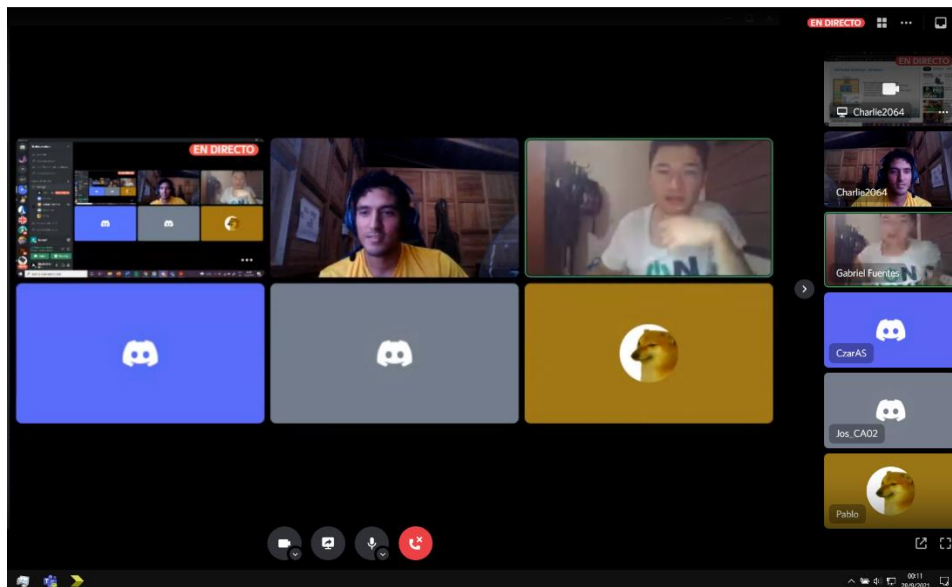
Índice

1. Reunión I (27-28 de septiembre, 2021)	2
2. Reunión II (29 de septiembre, 2021)	3
3. Reunión III (06 de octubre, 2021)	4
4. Reunión IV (21 de octubre, 2021).....	5
5. Reunión V (22 de octubre, 2021).....	6
6. Reunión V (25 de octubre, 2021).....	7
7. Reunión VI (01 de noviembre, 2021)	8
8. Reunión VII (16 de noviembre, 2021)	8
9. Reunión VIII (18 de noviembre, 2021)	9

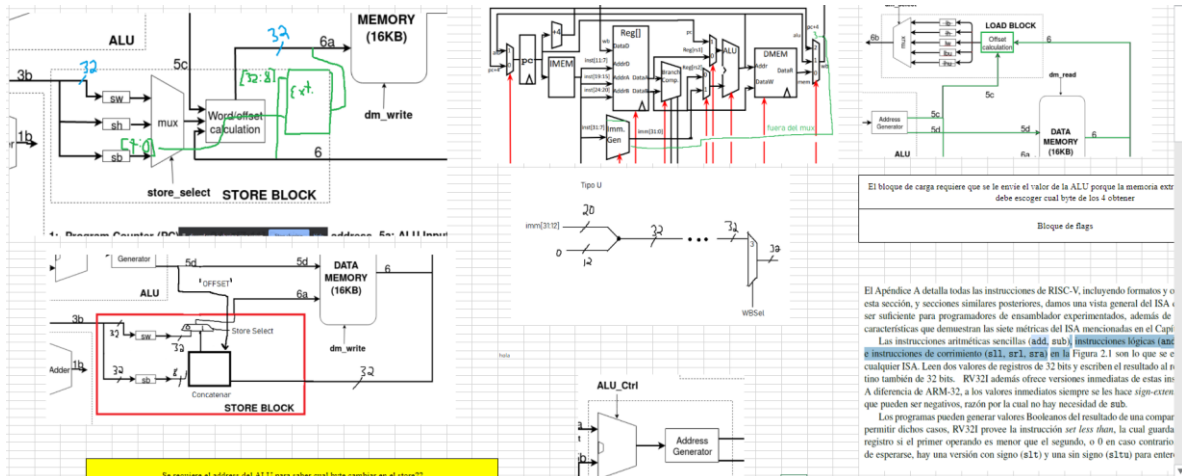
1. Reunión I (27-28 de septiembre, 2021)

El objetivo de la reunión fue identificar las instrucciones del set RISC-V32I que se deben soportar en la arquitectura del proyecto (compilando los códigos C para RISC-V). Además, se plantearon ideas sobre el diseño de circuitos para soportar las instrucciones tipo R, J e I. También se realizaron tablas resumen para tener en claro la arquitectura de RISC-V32I y facilitar la revisión de futuras pruebas.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez.



Durante la sesión se plantearon bocetos en base a recortes sobre los diagramas, de manera que se tuviese una base para poder trabajar en la solución propuesta para la microarquitectura, además se realizó una tabla con las instrucciones principales y sus decodificaciones y partes, de esta manera se facilita el análisis.

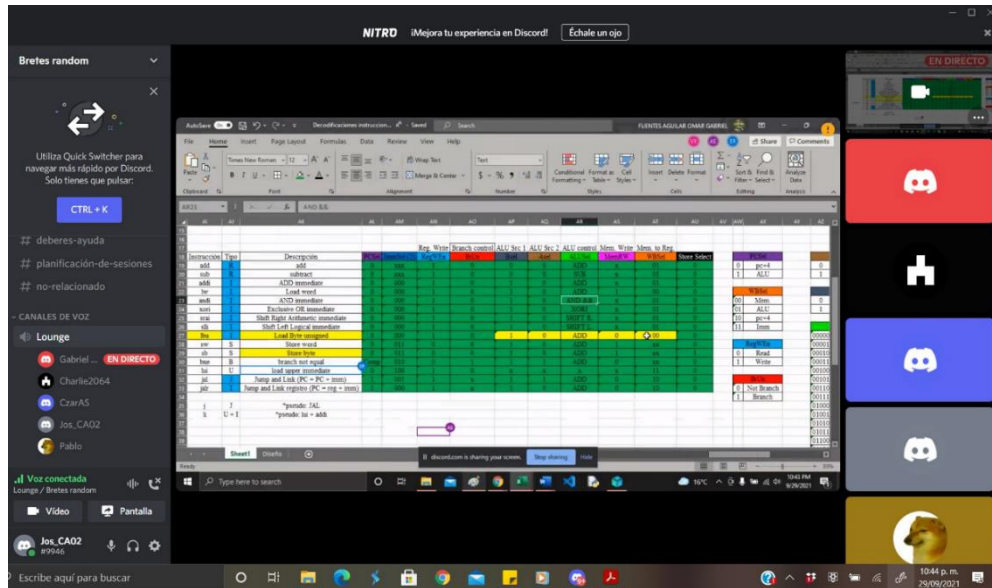


A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	AA	AB	AC	AD	AE	AF	AG	AH			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Tipo	Nombre			
funct7											rs2				rs1				funct3				rd				opcode				R	Registro-Registro				
imm[11:0]											rs2				rs1				funct3				rd				opcode				I	Registro-Inmediato				
imm[11:5]											rs2				rs1				funct3				imm[4:0]				opcode				S	Almacenamiento				
imm[12]				imm[10:5]							rs2				rs1				funct3				imm[4:1]				imm[11]				opcode				B	Branches condicionales
imm[31:12]																							rd				opcode				U	Inmediatos largos				
imm[20]				imm[10:1]							imm[11]				imm[19:12]								rd				opcode				J	Saltos sin condición				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Tipo				
funct7											rs2				rs1				funct3				rd				0110011				R					
imm[11:0]															rs1				funct3				rd				0010011				I	addi				
imm[11:5]											rs2				rs1				funct3				imm[4:0]				0000011					lw				
imm[12]				imm[10:5]							rs2				rs1				funct3				imm[4:1]				imm[11]					1100111				jalr
imm[31:12]																							rd				1110011				U					
imm[20]				imm[10:1]							imm[11]				imm[19:12]								rd				0101111									
																							1100011				B									
																							0110111													
																							0010111													
																							1101111				J									

2. Reunión II (29 de septiembre, 2021)

El objetivo de la sesión fue completar la tabla de verdad con las entradas y salidas correspondientes, además de empezar a desarrollar el circuito analizando las instrucciones necesarias y sus requisitos.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez.



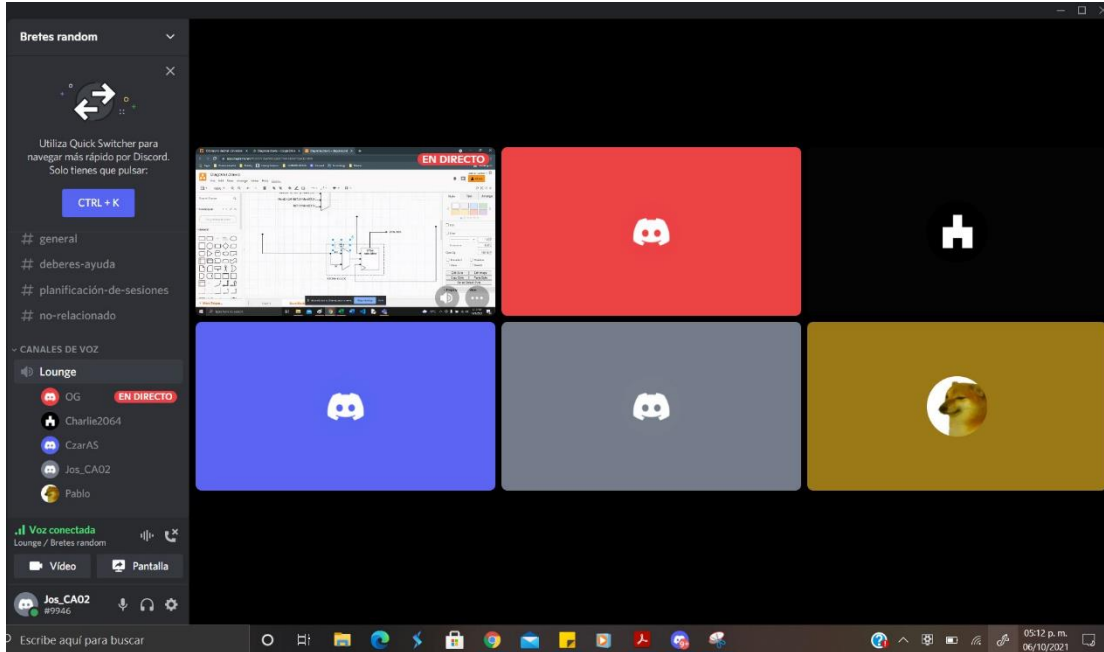
Al completar la tabla quedó de la siguiente forma, esa tabla se usó para la unidad de control, la cual contiene todas las instrucciones y sus señales correspondientes.

						In	1	2	3	4	5	6	7	8	9	10	
									Reg Write	ALU Src 1	ALU Src 2	ALUS control	Mem Write	Mem to Reg			
Instrucción	Tipo	Descripción	Opcode -11	func3	func7	BrRes	PCSet	ImmSel (2)	RegWEn	Bsel	ALUSrc 1	ALUSrc 2	ALUSel	MemW	WBSEL	Store Select	Load Select
add	R	add	01100	000	0000000	x	0	xx	1	0	0	011	0	01	0	0	
sub	R	subtract	01100	000	0100000	x	0	xx	1	0	0	010	0	01	0	0	
addi	I	ADD immediate	00100	000	-	x	0	00	1	1	0	011	0	01	0	0	
andi	I	AND immediate	00100	111	-	x	0	00	1	1	0	000	0	01	0	0	
xori	I	Exclusive OR immediate	00100	100	-	x	0	00	1	1	0	001	0	01	0	0	
srai	I	Shift Right Arithmetic immediate	00100	101	-	x	0	00	1	1	0	101	0	01	0	0	
slli	I	Shift Left Logical immediate	00100	001	-	x	0	00	1	1	0	100	0	01	0	0	
lw	I	Load word	00000	010	-	x	0	00	1	1	0	011	0*	00	0	0	
lbu	I	Load Byte unsigned	00000	100	-	x	0	00	1	1	0	011	0	00	0	1	
jalr	I	Jump and Link registro (PC = reg + imm)	11001	000	-	x	1	00	1	1	0	011	0	10	0	0	
sw	S	Store word	01000	010	-	x	0	11	0	1	0	011	1	xx	0	0	
sb	S	Store byte	01000	000	-	x	0	11	0	1	0	011	1	xx	1	0	
bne	B	branch not equal	11000	001	-	1/0	1 taken / 0 not-taken	10	0	1	1	011	0	xx	0	0	
lui	U	load upper immediate	01101	-	-	x	0	xx	1	0	x	x	0	11	0	0	
jal	J	Jump and Link (PC = PC + imm)	11011	-	-	x	1	01	1	1	1	011	0	10	0	0	
j	J	Jump				-											
li	I	Load immediate															
ret	I	Return															
mv	R	Move															
j	J	*pseudo: JAL															
li	U+I	*pseudo: lui + addi															

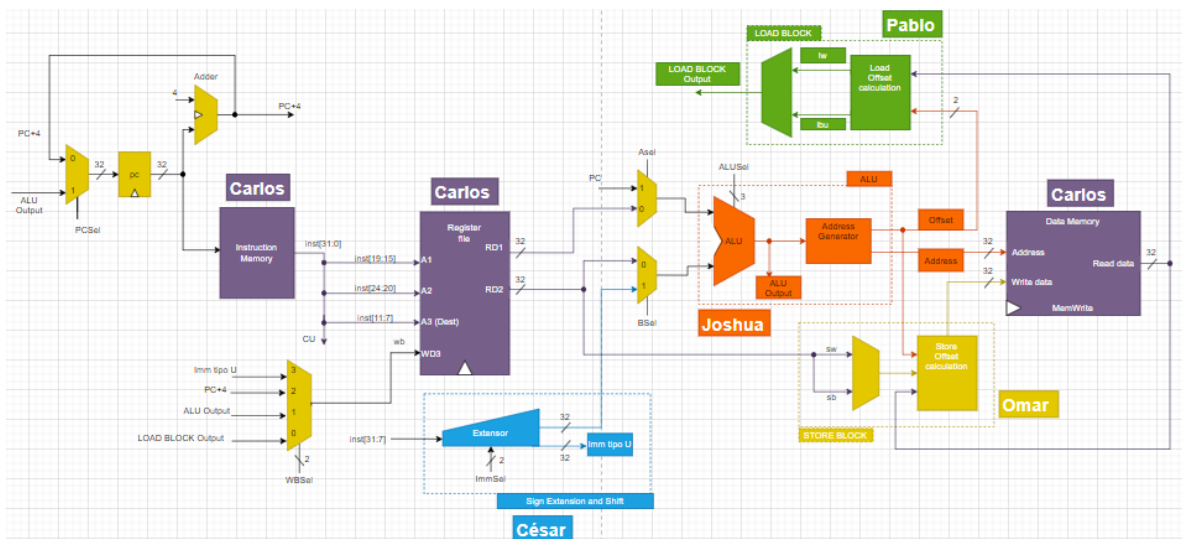
3. Reunión III (06 de octubre, 2021)

El objetivo de la reunión fue completar el diagrama del circuito y terminar de desarrollarlo, además de asignar las partes a preparar por cada uno.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez.



Durante la sesión se logró obtener un primer diagrama para repartir las secciones a programar en verilog, se aprecia la distribución asignada de los bloques, esto se ira trabajando durante los siguientes días para obtener todos los módulos y luego unirlos.



4. Reunión IV (21 de octubre, 2021)

El objetivo de la reunión fue presentar los avances de cada uno en la implementación en Verilog, se discutieron algunas cuestiones de diseño y se inició el testeo de los módulos.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez.

Durante la sesión observamos los avances logrados, ya se han conseguido la mayoría de los módulos asignados en la sesión pasada, además de los ya creados se han verificado y ejecutados en el simulador.

5. Reunión V (22 de octubre, 2021)

En esta reunión se continuó con el testeo de los módulos y se procedió a interconectar los módulos para observar el funcionamiento de todo el sistema o al menos de su mayoría y observar que secciones faltan.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez.

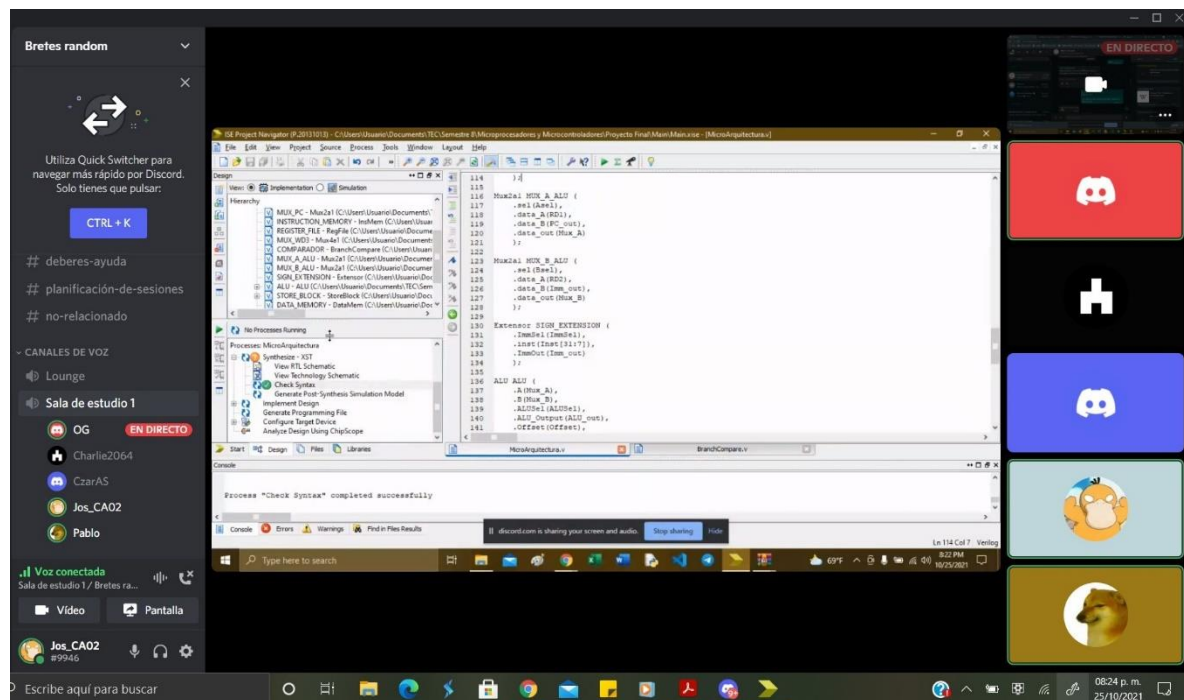
The screenshot shows a Zoom meeting interface with four participants: 3. Joshua Corvera, 3. Omar Gabriel Fuentes, 3. José Vásquez, and 3. César Argüello. The main window displays a Microsoft Excel spreadsheet titled "Decodificaciones instrucciones". The spreadsheet contains a table with columns for instruction types (addi, lui, andi, ori, slli, lli, jalr, sw, sb, bne, beq, jal, j, and, or, mov) and their corresponding binary representations. The table is organized into rows and columns, with some cells highlighted in green. The Excel interface includes the ribbon (File, Home, Insert, Draw, Page Layout, Formulas, Data, Review, View, Automate, Help) and the status bar at the bottom shows "Calculation Mode: Automatic" and "Workbook Statistics".

Tras los testeos de todos los módulos unidos se probaron partes del código y se verifico que se ejecutaran correctamente, pese a presencia de unos fallos al unir los módulos, no surgió ningún problema mayor, falta por crear el dump y hacer unas correcciones.

6. Reunión V (25 de octubre, 2021)

En esta reunión se implemento la unidad de control la cual estaba inconclusa en las sesiones pasadas, además de implementar la GPIO, y testear aún más la microarquitectura generada.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez

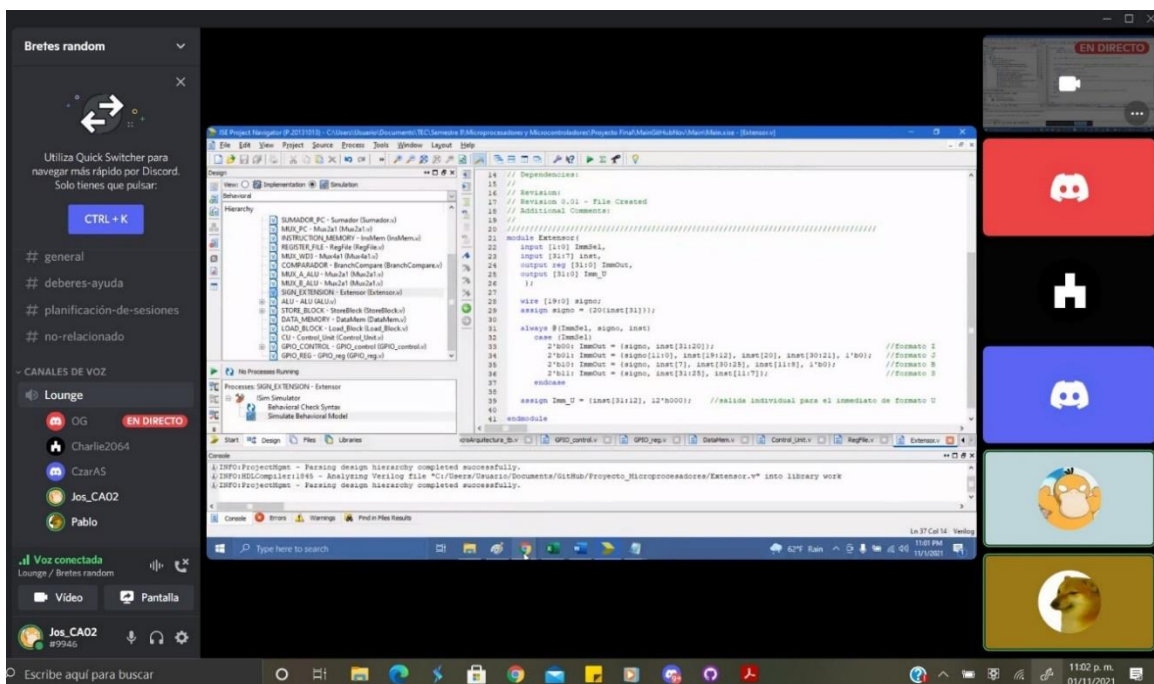


Durante esta reunión se continuaron corrigiendo los problemas que surgían además de implementar la GPIO y la unidad de control, con esto se pudo verificar un conjunto mayor de líneas de código del cada ejercicio, aún no se ha probado un ejercicio completo.

7. Reunión VI (01 de noviembre, 2021)

En esta reunión el objetivo era ir generando el test bench de la microarquitectura para preparar todo para ejecutar correctamente los 5 códigos. Además, se realizaron unas modificaciones en el funcionamiento del desplazamiento a la derecha de la ALU.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez

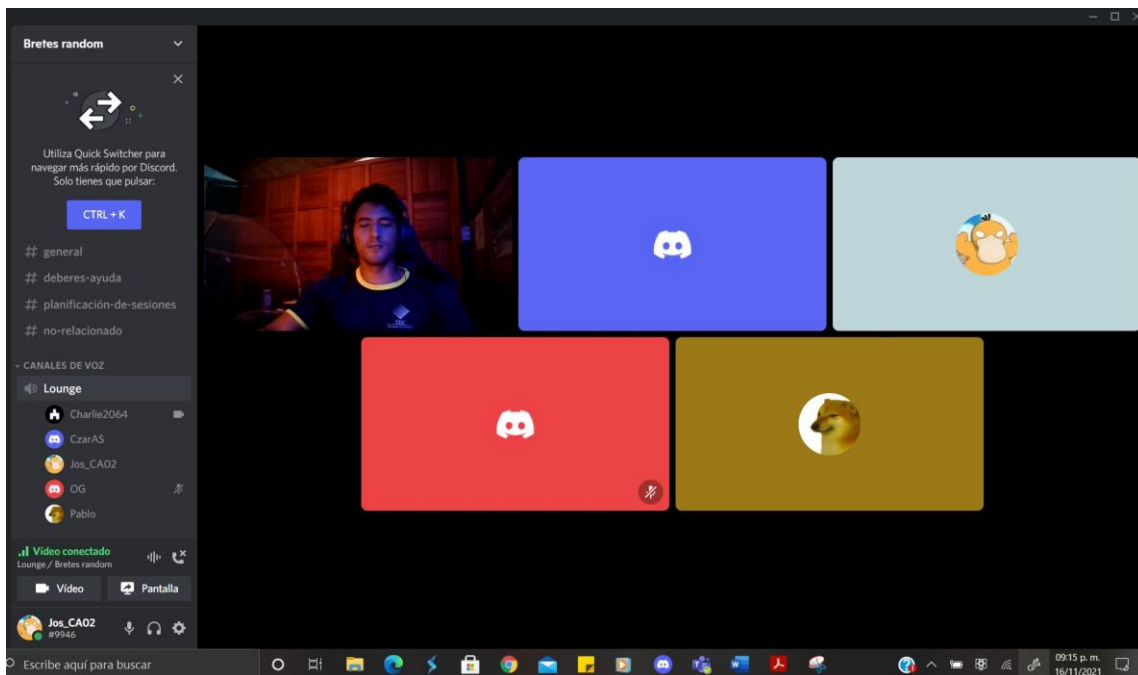


Durante la sesión se encontraron problemas al ejecutar instrucciones de store, esto surgió porque no se tienen direcciones de memoria negativas, queda pendiente consultarle al profesor al respecto. El resto de las instrucciones funcionan correctamente. Finalmente se implementó el dump el cual dio problemas que se deben corregir, ya que no imprime ningún valor en el txt.

8. Reunión VII (16 de noviembre, 2021)

Se finalizó de montar el testbench y se hicieron las modificaciones pertinentes para evitar los problemas de memoria y con el dump.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez



Tras consultar con el profe se decidió colocar una instrucción extra al inicio para cambiar el valor de sp y tener direcciones positivas, por otro lado, se corrigió el falló en el dump, y se testearon todos los códigos proporcionados. Además, días atrás se acordó empezar con la elaboración del informe, donde ya se lleva avanzado.

9. Reunión VIII (18 de noviembre, 2021)

Se verificó que todo estuviese completo y documentado, además de finalizar la redacción del informe con todo el desarrollo de como se llevo a cabo el diagrama de solución.

Todos los integrantes del grupo estuvieron presentes, en detalle fueron: Gabriel Fuentes, Joshua Corvera, Carlos Elizondo, César Argüello y José Pablo Vásquez

