

PROBLEMAS DEL TEMA 2. Unidades Funcionales de un Computador

ENUNCIADOS inspirados en el LIBRO “CONCEPTOS DE INFORMÁTICA” (Schaum) [PRI06]

1. (S1.17) Suponiendo que en un lenguaje máquina todas las instrucciones dispusieran de un código de operación (CO) fuesen de 16 bits ¿Cuántas instrucciones distintas se podrían formar con dicho lenguaje?
2. (S4.1) Un procesador dispone de los siguientes elementos: registro de dirección de memoria (AR) de 16 bits, registro de memoria (DR) de 8 bits, contador de programa (PC), registro de instrucción (IR), registros de uso general (R0, R7) y un registro temporal RT para las operaciones con la ALU. Indicar:
 - a. Número de hilos (bits) de los buses de datos y de direcciones.
 - b. Tamaño en bytes de la memoria principal.
 - c. Tamaño en bits del registro PC.
3. (S4.22) Un procesador dispone, entre otros, de los siguientes elementos: registro de dirección (AR) de 32 bits, registro de datos (DR) de 16 bits y contador de programa (PC). Indicar:
 - a. Número de bits del bus de datos
 - b. Número de bits del bus de direcciones.
 - c. Tamaño máximo posible de la memoria principal (en MB o GB)
 - d. Tamaño en bits del registro PC
4. (S4.23) Suponga que un procesador llamado CODE-2 dispusiese de una instrucción *memorizar*, ST *r1*, que almacena en la posición *rD* de memoria el contenido del registro *r1*. La instrucción tiene de código (en hexadecimal) 1100. Suponiendo que ésta instrucción se encuentra en la posición A777 de la memoria, que en *rD* se encuentra el valor 5ACD y *r1* contiene FFFF, realice una tabla donde se indiquen las distintas microoperaciones que deben generarse durante la ejecución de la instrucción, los valores que tienen en cada momento los registros *PC*, *AR*, *DR* e *IR*, y los cambios producidos en la memoria.

Fase	Microoperación	Contenidos de los registros					
		PC	IR	AR	DR	rD	r1
Valores iniciales							
Captación de instrucción							
Ejecución de instrucción							

5. (S7.1) Considere un procesador llamado CODE-2 (2 Bytes por dato) que funciona a una frecuencia de 1 GHz. Suponiendo que las transferencias en los buses no ralentizan el funcionamiento de CODE-2 (es decir, en un ciclo de reloj se hace una transferencia de información), hacer una estimación del ancho de banda (MB/s) en los buses externos de dirección y de datos.
6. (S7.7) Un acelerador de gráficos AGP 4x, de 32 bits, funciona a una frecuencia de 66 MHz y su ancho de banda (velocidad de transferencia) es de 1055916032 B/s, ¿Cuántos Bytes se transfieren por ciclo? ¿Cuántas transferencias se realizan por ciclo?
7. (S7.9) Sabiendo que en la especificación del bus estándar ISA se determina que las transferencias son de 16 bits de datos, que se necesitan 3 ciclos para realizar cada una de ellas y la frecuencia de reloj es de 8 MHz ¿Qué velocidad de transferencia se obtiene?
8. En el CS1 los datos son de 8 bits, las direcciones son de 6 bits. Tiene un Repertorio de Instrucciones de 4 instrucciones (STOP, ADD, SUB, STA). La fase de captación siempre consume 2 ciclos de reloj. La fase de ejecución consume STOP (1 ciclo), ADD y SUB (3 ciclos) y STA (2 ciclos).

Si la frecuencia de reloj del CS1 es de 50 MHz y se ejecuta un programa benchmark que contiene 24 instrucciones ADD, 26 instrucciones SUB, 10 instrucciones STA y una instrucción STOP. Indicar:

- a) Número de ciclos de reloj totales consumidos por el programa.
- b) Tiempo de ejecución del programa de benchmark.
- c) Prestaciones del CS1 en MIPS (Millions Instructions Per Second).
- d) Tamaño de memoria máximo direccionable en Bytes.