1- با کدام یک از گزینه‌های زیر نمی‌توان کد را به صورت Concurrent نوشت؟

Operators (الف

When (ب

Generate (ج

Process **(د**

2- کدام یک از صفت‌های زیر برای سیگنال‌ها بکار نمی‌رود؟

EVENT (الف

STABLE (ب

ACTIVE (ج

LENGTH **(د**

3- کدام گزینه در رابطه با برخورد 2 پایه از نوع داده‌ای STD\_LOGIC نادرست است؟

- \* any -> X (الف

forcing \* weak -> forcing (ب

any \* Z -> any (ج

L \* H -> X **(د**

4- عبارت PSM چیست؟

یک سوییچ قابل برنامه‌ریزی همه‌سویه (الف

ماتریس سوییچ‌های قابل برنامه‌ریزی همه‌سویه **(ب**

یک سوییچ سخت افزاری انتخاب کننده (ج

ماتریس سوییچ‌های سخت افزاری انتخاب کننده (د

5- کدام نوع سازماندهی بلوک‌های منطقی FPGA در شکل زیر نشان داده شده است؟

ساختار سطری (الف

آرایه متقارن **(ب**

انبوه دروازه‌ها (ج

ساختار متقاطع (د

6- پایه‌ای ترین نوع داده در VHDL کدام گزینه است؟

BIT **(الف**

BOOLEAN (ب

INTEGER (ج

REAL (د

7- صفت s'stable چه چیزی را برمی‌گرداند؟

returns true when an event occurs on s (الف

returns true if no event has occurred on s **(ب**

returns true if s='1' (ج

هیچکدام (د

8- مدار High Active چه مداریست؟

مداری که خروجی را با 1 نشان بدهد **(الف**

مداری که خروجی را با 0 نشان بدهد (ب

مداری که با ولتاژهای بالا کار کند (ج

هیچکدام (د

9- عبارت مقابل از چه نوع داده‌‌ای است؟  
SUBTYPE natural IS INTEGER RANGE 0 TO INTEGER'HIGH;

NATURAL (الف

INTEGER **(ب**

BIT (ج

BIT\_VECTOR (د

10- کدام یک از صفت‌های زیر برای Enumerated ها بکار نمی‌رود؟

VAL (الف

POS (ب

LEFTOF (ج

RANGE **(د**

11- کدام یک از گزینه‌های زیر Entity را تعریف می‌کند؟

پین‌ها یا پورت‌های ورودی و خروجی‌ مشخص یک مدار است **(الف**

یک موجودیت در کد است (ب

یک کتابخانه در VHDL است (ج

هیچ‌کدام (د

12- کدام سطح، بالاترین سطح انتزاع است؟

سیستم **(الف**

منطقی (ب

ریز معماری (ج

معماری (د

13- کدام یک از گزینه‌های زیر جز دیتا تایپ‌های std.standard نیست؟

BIT (الف

INTEGER (ب

REAL (ج

STD\_LOGIC **(د**

14- کدام یک از عبارت‌های زیر در مورد VHDL درست است؟

زبان توصیف سخت افزار است **(الف**

زبان توصیف نرم افزار است (ب

نوعی مدار الکتریکی است (ج

نحوه ساخت مدار و قطعات الکتریکی است (د

15- با تعریف ورودی و خروجی به صورت ـــــــــــــــــــ مقیاس پذیری طراحی افزایش و امکان نوشتن کد Generic نیز فراهم می‌شود.

اسکالر (الف

برداری **(ب**

تک بیتی (ج

n بیتی (د

16- نحوه دسترسی به مقدار آرایه a از نوع 1Dx1D به چه صورت است؟

a[x,y] (الف

a[x][y] (ب

a(x,y) (ج

a(x)(y) **(د**

17- در مورد یک PAL، اگر یک پین I/O در هیچ یک از جملات ضربی ورودی استفاده نشده باشد، کدام عبارت صحیح است؟

پین I/O صرفا ورودی خواهد بود (الف

یک بازخورد داریم (ب

پین I/O صرفا خروجی خواهد بود **(ج**

پین I/O بر اساس شرایط، ورودی - خروجی خواهد بود (د

18- عبارت کامل VHDL کدام یک از گزینه‌های زیر است؟

Very High-Speed Integrated Circuit Hardware Description Language **(الف**

Vast Hybrid-Spec Description Language (ب

Very High-Speed Integrated Hardware Description Language (ج

Very High-Speed Circuit Description Language (د

19- کدام یک از گزینه‌های زیر جز واحدهای اصلی کد VHDL نیست؟

Library (الف

Entity (ب

Architecture (ج

Pattern **(د**

20- اسم دیگر تک بیتی چیست؟

اسکالر **(الف**

برداری (ب

وان بیت (ج

هیچکدام (د

21- کدام یک از گزینه‌های زیر طول آرایه d را برمی‌گرداند؟

d'range (الف

d'max (ب

d'length **(ج**

d'high (د

22- سینتکس کدام گزینه در رابطه با مقدار دهیه اولیه ( initialization ) درست است؟

:= **(الف**

<= (ب

: (ج

= (د

23- کدام یک از گزینه‌های زیر نحوه صحیح ایجاد حلقه for نیست؟

for i in range 0 to 7 loop... (الف

for i in x'range loop... (ب

for i in range x'low to x'high loop... (ج

for i in range 0 x'length - 1 loop **(د**

24- معادل ریاضیاتی شیفت به راست چیست؟

ضرب (الف

تقسیم **(ب**

جمع (ج

منها (د

25- شکل زیر کدام نوع سوئیچ را نشان می‌دهد؟

نقطه تقاطع مبتنی بر SRAM (الف

نقطه شکست مبتنی بر SRAM **(ب**

نقطه تقاطع مبتنی بر فیوز (ج

نقطه شکست مبتنی بر فیوز (د

26- کدام از دیتا تایپ‌های زیر Synthesizable نیست؟

INTEGER (الف

BOOLEAN (ب

NATURAL (ج

REAL **(د**

27- صفت d'POS(val) چه چیزی را برمی‌گرداند؟

انیدکس val در آرایه d **(الف**

مقدار val در موقعیت pos (ب

مقدار در سمت چپ val (ج

هیچکدام (د

28- کدام یک از گزینه‌های زیر در رابطه با آرایه‌ها، Synthesizable نیست؟

1D (الف

1Dx1D (ب

2D (ج

3D **(د**

29- معادل ریاضیاتی شیفت به چپ چیست؟

ضرب **(الف**

تقسیم (ب

جمع (ج

منها (د

30- نحوه دسترسی به مقدار آرایه d از نوع 2D به چه صورت است؟

d[x,y] (الف

d[x][y] (ب

d(x,y) **(ج**

d[x][y] (د

31- صفت d'VAL(pos) چه چیزی را برمی‌گرداند؟

مقدار داده در موقعیت pos **(الف**

مقدار pos در موقعیت تعریف شده d (ب

ایندکس مقدار d (ج

هیچکدام (د

32- وقتی رشته "00" از سمت راست به رشته "010" کانکت میکنیم انگار چه عملی را انجام دادیم؟

در دو به توان دو ضرب کردیم **(الف**

در دو ضرب کردیم (ب

بر دو به توان دو تقسیم کردیم (ج

بر دو تقسیم کردیم (د

33- انکدر مداری ـــــــــــــ است که ورودی ـــــــــــــــــــــــــــ را گرفته و معادل آنرا بصورت ـــــــــــــــــــــــــــ‌ برمی‌گرداند.

ترکیبی - دو به توان n بیتی OHC - ا n بیتی BC **(الف**

ترتیبی - دو به توان n بیتی OHC - ا n بیتی BC (ب

ترکیبی - دو به توان n بیتی BC - ا n بیتی OHC (ج

ترتیبی - دو به توان n بیتی BC - ا n بیتی OHC (د

34- همیشه در signed پرارزش ترین بیت کدام است؟

بیت سمت راست (الف

بیت سمت چپ (ب

بیت علامت **(ج**

بیت وسط (د

35- متغیر x چه نوع داده‌ای است؟  
x <= "1101101";

BIT\_VECTOR **(الف**

BIT (ب

STD\_LOGIC (ج

STRING (د

36- کدام گزینه در رابطه با عبارت زیر درست است؟  
SIGNAL y: STD\_LOGIC\_VECTOR (3 DOWNTO 0) := "0001"

4-bit vector, leftmost MSB, initialized with "0001" **(الف**

4-bit vector, rightmost MSB, initialized with "0001" (ب

4-bit vector, leftmost MSB, initialized with "1000" (ج

4-bit vector, rightmost MSB, initialized with "1000" (د

37- علامت "=>" چه عملیاتی در VHDL است؟

انتساب **(الف**

مقایسه (ب

ضرب خارجی (ج

هیچکدام (د

38- معادل هگز عدد باینری 00111110 کدام گزینه است؟

3E **(الف**

2E (ب

3F (ج

3C (د

39- تفاوت منطق ترکیبی ( Combinational ) با منطق ترتیبی ( Sequential ) در چیست؟

در منطق ترتیبی وضعیت قبلی سیستم ذخیره می‌شود اما در منطق ترکیبی این اتفاق رخ نمی‌دهد **(الف**

در منطق ترکیبی وضعیت قبلی سیستم ذخیره می‌شود اما در منطق ترتیبی این اتفاق رخ نمی‌دهد (ب

تفاوتی ندارند (ج

منطق ترکیبی feedback loop دارد اما منطق ترتیبی ندارد. (د

40- یک داده‌ی 4 بیتی، چند نوع حالت دارد؟

4 (الف

8 (ب

16 **(ج**

32 (د

41- در توازن فرد مدار Parity Checker و Parity Generator از چه تابعی استفاده می‌شود؟

تابع فرد - xor (الف

تابع فرد - xnor (ب

تابع زوج - xor (ج

تابع زوج - xnor **(د**

42- بازه‌ی عددی سیگنال 4 بیتی از نوع signed در کدام گزینه درست آمده است؟

-8 تا 8 (الف

-8 تا 7 **(ب**

-7 تا 8 (ج

-7 تا 7 (د

43- کدام یک از گزینه‌های زیر Synthesizable نیست؟

std\_logic\_signed (الف

integer (ب

real **(ج**

std\_logic\_vector (د

44- کدام یک از گزینه‌های زیر جز تعاریف کتابخانه ( Library ) نیست؟

کالکشنی از قطعه کدهای مورد استفاده (الف

شامل پکیج‌هایی برای توابع، روش‌ها و کامپوننت ها است (ب

برای استفاده و به اشتراک گذاری کدها برای طراحی‌های بعدی استفاده می‌شود (ج

برای مرتب کردن کدها استفاده می‌شود **(د**

45- کدام گزینه، مقایسه درستی بین FPGA و CPLD را نشان می‌دهد؟

تعداد بلوک‌ها، فلیپ فلاپ‌ها و گیت‌های FPGA بیشتر است **(الف**

مدار CPLD برای طراحی مدارات پیچیده‌تر به کار می‌رود ( نسبت به FPGA ) (ب

مدار CPLD مبتنی بر RAM است و با هر بار روشن شدن باید دوباره برنامه‌ریزی شود (ج

مدار FPGA دارای تاخیر انتشار کمتری است ( نسبت به CPLD ) (د

46- عدد 37 در مبنای هگز کدام گزینه است؟

25 **(الف**

22 (ب

23 (ج

28 (د

47- کدام گزینه جلمه زیر را به طور صحیح کامل می‌کند؟  
یک \_\_(1)\_\_ از تعداد زیادی \_\_(2)\_\_ تشکیل شده است و مولدهای تابع منطقی مهم‌ترین عناصر برنامه‌ریزی \_\_(3)\_\_ها هستند.

1) CLB - 2) FGA - 3) CLB (الف

1) FPGA - 2) CLB - 3) CLB **(ب**

1) CLB - 2) PGA - 3) CLB (ج

1) FPGA - 2) CLB - 3) FPGA (د

48- خاصیت کد همروند نسبت به کد ترتیبی در چیست؟

در کد همروند ترتیب اجرا اهمیتی ندارند و کد به صورت موازی اجرا می‌شود **(الف**

در کد همروند می‌توان کد را بصورت ترتیبی نوشت ولی در ترتیبی نمی‌توان کد را بصورت همروند نوشت (ب

در کد همروند همواره از Procedure ها استفاده می‌شود (ج

هیچکدام (د

49- صفت s'event چه چیزی را برمی‌گرداند؟

returns true when an event occurs on s **(الف**

returns true if no event has occurred on s (ب

returns true if s='1' (ج

هیچکدام (د

50- تفاوت ASIC و FPGA در چیست؟

تفاوتی ندارند (الف

ASIC فقط برای کارهای تخصصی و FPGA فقط برای کارهای عمومی استفاده می‌شود (ب

FPGA برخلاف ASIC قابل ویرایش است **(ج**

ASIC برخلاف FPGA قابل ویرایش است (د

51- کدام گزینه، جزو مدارات برنامه‌پذیر نیست؟

ROM **(الف**

PLD (ب

PROM (ج

FPGA (د

52- پروسس ( Process ) با پروسیجر ( Procedures ) چه فرقی دارد؟

پروسیجر می‌تواند خروجی نداشته باشد **(الف**

پروسس کد را همروند و پروسیجر کد را ترتیبی اجرا می‌کند (ب

پروسس کد را ترتیبی و پروسیجر کد را همروند اجرا می‌کند (ج

پروسس می‌تواند خروجی نداشته باشدد (د

53- کدام یک از گزینه‌های زیر Architecture در VHDL را تعریف می‌کند؟

توصیف نحوه رفتار مدار است (الف

توصیف نحوه ساختار مدار است (ب

توصیف توابع مدار است (ج

توصیف رفتار و توابع در مدار است **(د**

54- تابع تبدیل conv\_signed چند پارامتر ورودی دارد؟

1 (الف

2 **(ب**

3 (ج

4 (د

55- علامت انتساب "=:" برای کدام یک از گزینه‌ها نیست؟

VARIABLE (الف

CONSTANT (ب

GENERIC (ج

SIGNAL **(د**

56- با توجه به تعاریف زیر، کدام گزینه LEGAL است؟  
-  
SIGNAL a: BIT;  
SIGNAL b: BIT\_VECTOR(7 DOWNTO 0);  
SIGNAL c: STD\_LOGIC;

a <= c; (الف

b(2) <= a; **(ب**

a <= b; (ج

b <= a; (د

57- کدام یک از عبارت‌های زیر در مورد FPGA درست نیست؟

قابل ویرایش است (الف

هزینه ساخت پایینی دارد (ب

تولید فقط در تعداد بالا ممکن است **(ج**

به طبیعت آسیب می‌رساند (د

58- در نوع داده‌ای signed و unsigned کدام عملیات‌ها انجام پذیر هستند؟

محاسباتی **(الف**

منطقی (ب

محاسباتی و منطقی (ج

هیچکدام (د

59- کدام یک از گزینه‌های زیر، برای درست تعریف کردن متغیر، از محدوده‌ی بیت‌ها ( X DOWNTO Y ) استفاده می‌شود؟

BIT (الف

INTEGER (ب

BOOLEAN (ج

SIGNED **(د**

60- عیب اصلی FPGA در مقابل MPGA کدام گزینه است؟

قابلیت برنامه‌ریزی مجدد (الف

سرعت و چگالی منطقی کمتر **(ب**

انعطاف‌پذیری کمتر (ج

نداشتن قابلیت برنامه‌ریزی توسط کاربر (د

61- دیکدر مداری ــــــــــــــــــ است که ورودی ــــــــــــــــــــــــ را گرفته و معادل آنرا بصورت ــــــــــــــــــــــــــــــــــ برمی‌گرداند.

ترکیبی - n بیتی BC - دو به توان n بیتی OHC **(الف**

ترتیبی - n بیتی ‌BC - دو به توان n بیتی OHC (ب

ترکیبی - n بیتی OHC - دو به توان n بیتی BC (ج

ترتیبی - n بیتی OHC - دو به توان n بیتی BC (د

62- کدام یک از گزینه‌های زیر از واحدهای پایه در VHDL است؟

Library (الف

Entity (ب

Architecture (ج

همه موارد **(د**

63- برای تعریف subtype از چه نوع keyword در VHDL استفاده می‌شود؟

SUBTYPE **(الف**

TYPE (ب

SIGNAL (ج

ENTITY (د

64- در کدام یک از کتابخانه‌های زیر، میتوان عمل محاسباتی و منطقی را همزمان انجام داد؟

ieee.std\_logic\_1164 (الف

ieee.std\_logic\_arith (ب

std.standard (ج

ieee.std\_logic\_signed **(د**

65- در اینجا underscore به چه معناست؟  
x2 <= "0001\_1111";

برای راحتی خواندن بیت‌ها **(الف**

برای جدا سازی بیت‌های کم ارزش از پر ارزش (ب

برای خالی نگهداشتن ایندکس وکتور (ج

هیچ کدام (د

66- کدام یک از گزینه‌های زیر از نوع داده‌ای اسکالر نیست؟

BIT (الف

STD\_ULOGIC (ب

BOOLEAN (ج

INTEGER **(د**

67- در کدام یک از کتابخانه‌های زیر، تعداد توابع تبدیل بیشتر است؟

std.standard (الف

ieee.std\_logic\_1164 (ب

ieee.std\_logic\_arith (ج

ieee.std\_logic\_signed **(د**

68- مدار Low Active چه مداریست؟

مداری که خروجی را با 0 نشان دهد **(الف**

مداری که خروجی را با 1 نشان دهد (ب

مداری که با ولتاژهای پایین کار کند (ج

هیچکدام (د

69- کدام عبارت درباره PAL و PLA صحیح است؟

در PLA هر دو طبقه AND و OR و در PAL فقط طبقه AND قابل برنامه‌ریزی است **(الف**

در PLA فقط طبقه AND و در PAL هر دو طبقه AND و OR قابل برنامه‌ریزی است (ب

در PLA فقط طبقه AND و در PAL فقط طبقه OR قابل برنامه‌ریزی است (ج

در PLA فقط طبقه OR و در PAL هر دو طبقه AND و OR قابل برنامه‌ریزی است (د

70- کدام گزینه جمله زیر را به طور صحیح کامل می‌کند؟  
منطق آرایه‌ای قابل برنامه‌ریزی ترتیبی ( Sequential PAL\_PAL16R8 ) \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ .

خروجی تثبیت شده ندارد (الف

وقتی خروجی‌ها غیرفعال هستند، فلیپ فلاپ‌های داخلی نمی‌توانند تغییر وضعیت دهند (ب

خروجی فلیپ فلاپ‌ها نمی‌توانند بدون عبور از بافرهای سه حالته وارد آرایه‌های AND-OR شوند (ج

یک سری D فلیپ فلاپ دارد که بین طبقه OR و هشت خروجی قرار گرفته است **(د**

71- چند واحد اصلی برای طراحی کد VHDL وجود دارد؟

3 **(الف**

2 (ب

5 (ج

1 (د

72- عبارت مقابل از چه نوع داده‌ای و چند بیت دارد؟  
SIGNAL x: STD\_LOGIC;

اسکالر و 1 بیت **(الف**

اسکالر و 8 بیت (ب

برداری و 1 بیت (ج

برداری و 8 بیت (د

73- کدام گزینه، از انواع FPGA بر اساس آرایش بلوکی منطقی برنامه‌پذیر نیست؟

ساختار مبتنی بر جدول جستجو ( LUT ) **(الف**

آرایه متقارن (ب

ساختار سطری (ج

آرایش PLD سلسله مراتبی (د

74- خروجی exe چه زمانی در طراحی با ‌VHDL بدست می‌آید؟

بعد از کامپایل توسط نرم افزار (الف

پس از انتقال به FPGA (ب

هیچ‌کدام **(ج**

هنگام کد نویسی (د

75- با چه بلوک‌هایی می‌تواند کد ترتیبی در VHDL نوشت؟

Process (الف

Function (ب

Procedure (ج

همه موارد **(د**

76- دیتا تایپ BIT و STD\_LOGIC هرکدام به ترتیب چند حالت را در خود دارند؟

2 و 8 **(الف**

8 و 2 (ب

1 و 4 (ج

4 و 1 (د

77- کدام یک از گزینه‌های زیر، نحوه صحیح ساخت نوع داده Enumerated است؟

TYPE my\_logic IS ('0', '1', 'Z'); **(الف**

TYPE my\_logic ('0', '1', 'Z'); (ب

TYPE natural IS RANGE 0 TO +2147483647; (ج

TYPE color := (red, green, blue, white); (د

78- علامت نامساوی در VHDL چیست؟

/= **(الف**

\= (ب

!= (ج

x= (د

79- در توازن زوج مدار Parity Checker و Parity Generator از چه تابعی استفاده می‌شود؟

تابع فرد - xor **(الف**

تابع فرد - xnor (ب

تابع زوج - xor (ج

تابع زوج - xnor (د

80- وقتی مقدار عددی در سیگنال مهم باشد، \_\_\_ بیت را سمت \_\_\_ می‌گذاریم.

پرارزش‌ترین - چپ **(الف**

پرارزش‌ترین - راست (ب

کم‌ارزش‌ترین - چپ (ج

کم‌ارزش‌ترین - راست (د

81- در VHDL، نوع داده‌ای INTEGER از \_\_\_\_ و BIT از \_\_\_\_ است.

برداری - برداری (الف

اسکالر - اسکالر (ب

برداری - اسکالر **(ج**

اسکالر - برداری (د

82- کدام یک از گزینه‌های زیر از موارد توصیف زبان سخت افزار است؟

Assembly (الف

Verilog (ب

VHDL (ج

Verilog and VHDL **(د**

83- در طرح‌های متوسط و پیچیده، بهترین روش برای ساخت نمونه اولیه کدام است؟

استفاده از روش تمام سفارشی (الف

استفاده از روش نیمه سفارشی (ب

استفاده از مدارات برنامه‌پذیر **(ج**

استفاده از قطعات استاندارد (د

84- برای خلاصه کردن کدهای قسمت Architecture از چه دستوری استفاده می‌شود؟

if (الف

else (ب

when (ج

when, else **(د**

85- کدامیک از گزینه‌های زیر، از مزایای استفاده از مدارات برنامه‌پذیر است؟

هزینه ساخت و نگهداری کمتر (الف

سهولت تست مدار (ب

استفاده مجدد از کتابخانه‌ها (ج

همه موارد **(د**

86- کدام یک از گزینه‌های زیر، بلوک دیاگرام مدار است؟

Entity **(الف**

PORT (ب

BTI (ج

Architecture (د

87- در نمودار Y، کدام گزینه جزو حوزه‌های طراحی نیست؟

رفتاری (الف

فیزیکی (ب

ساختاری (ج

فناوری **(د**

88- در برخورد 2 سیم STD\_LOGIC به هم، کدام گزینه درست است؟

X \* any -> X **(الف**

- \* weak -> X (ب

0 \* 1 -> W (ج

L \*H -> X (د

89- عبارت syntehsizable به چه معناست؟

توانایی ارسال داده در سیم **(الف**

هماهنگی تعداد ورودی‌ها با خروجی‌ها (ب

یکی بودن نوع داده‌ها در ورودی و خروجی (ج

قابلیت فشرده سازی داده (د

90- طراحی با VHDL در کدام سطح از موارد زیر قرار دارد؟

Gate and Architecture **(الف**

System Level (ب

Device Level (ج

Software Level (د

91- با توجه به تعاریف زیر، کدام گزینه ILLEGAL است؟  
-  
SUBTYPE my\_logic IS STD\_LOGIC RANGE '0' TO '1';  
SIGNAL a: BIT;  
SIGNAL b: STD\_LOGIC;  
SIGNAL c: my\_logic;

b <= a; **(الف**

b <= c; (ب

c <= b; (ج

هیچ کدام (د

92- کدام یک از گزینه‌های زیر جز صفت دیتا تایپ d نیست؟

d'length (الف

d'low (ب

d'high (ج

d'mid **(د**

93- علامت نامساوی در VHDL چیست؟

/= **(الف**

\= (ب

!= (ج

x= (د