1- با کدام یک از گزینه‌های زیر نمی‌توان کد را به صورت Concurrent نوشت؟

الف) Operators

ب) When

ج) Generate

**BOLD -> د)** Process

2- کدام یک از صفت‌های زیر برای سیگنال‌ها بکار نمی‌رود؟

الف) EVENT

ب) STABLE

ج) ACTIVE

**BOLD -> د)** LENGTH

3- کدام گزینه در رابطه با برخورد 2 پایه از نوع داده‌ای STD\_LOGIC نادرست است؟

الف) - \* any -> X

ب) forcing \* weak -> forcing

ج) any \* Z -> any

**BOLD -> د)** L \* H -> X

4- عبارت PSM چیست؟

الف) یک سوییچ قابل برنامه‌ریزی همه‌سویه

**BOLD -> ب)** ماتریس سوییچ‌های قابل برنامه‌ریزی همه‌سویه

ج) یک سوییچ سخت افزاری انتخاب کننده

د) ماتریس سوییچ‌های سخت افزاری انتخاب کننده

5- کدام نوع سازماندهی بلوک‌های منطقی FPGA در شکل زیر نشان داده شده است؟

الف) ساختار سطری

**BOLD -> ب)** آرایه متقارن

ج) انبوه دروازه‌ها

د) ساختار متقاطع

6- پایه‌ای ترین نوع داده در VHDL کدام گزینه است؟

**BOLD -> الف)** BIT

ب) BOOLEAN

ج) INTEGER

د) REAL

7- صفت s'stable چه چیزی را برمی‌گرداند؟

الف) returns true when an event occurs on s

**BOLD -> ب)** returns true if no event has occurred on s

ج) returns true if s='1'

د) هیچکدام

8- مدار High Active چه مداریست؟

**BOLD -> الف)** مداری که خروجی را با 1 نشان بدهد

ب) مداری که خروجی را با 0 نشان بدهد

ج) مداری که با ولتاژهای بالا کار کند

د) هیچکدام

9- عبارت مقابل از چه نوع داده‌‌ای است؟  
SUBTYPE natural IS INTEGER RANGE 0 TO INTEGER'HIGH;

الف) NATURAL

**BOLD -> ب)** INTEGER

ج) BIT

د) BIT\_VECTOR

10- کدام یک از صفت‌های زیر برای Enumerated ها بکار نمی‌رود؟

الف) VAL

ب) POS

ج) LEFTOF

**BOLD -> د)** RANGE

11- کدام یک از گزینه‌های زیر Entity را تعریف می‌کند؟

**BOLD -> الف)** پین‌ها یا پورت‌های ورودی و خروجی‌ مشخص یک مدار است

ب) یک موجودیت در کد است

ج) یک کتابخانه در VHDL است

د) هیچ‌کدام

12- کدام سطح، بالاترین سطح انتزاع است؟

**BOLD -> الف)** سیستم

ب) منطقی

ج) ریز معماری

د) معماری

13- کدام یک از گزینه‌های زیر جز دیتا تایپ‌های std.standard نیست؟

الف) BIT

ب) INTEGER

ج) REAL

**BOLD -> د)** STD\_LOGIC

14- کدام یک از عبارت‌های زیر در مورد VHDL درست است؟

**BOLD -> الف)** زبان توصیف سخت افزار است

ب) زبان توصیف نرم افزار است

ج) نوعی مدار الکتریکی است

د) نحوه ساخت مدار و قطعات الکتریکی است

15- با تعریف ورودی و خروجی به صورت ـــــــــــــــــــ مقیاس پذیری طراحی افزایش و امکان نوشتن کد Generic نیز فراهم می‌شود.

الف) اسکالر

**BOLD -> ب)** برداری

ج) تک بیتی

د) n بیتی

16- نحوه دسترسی به مقدار آرایه a از نوع 1Dx1D به چه صورت است؟

الف) a[x,y]

ب) a[x][y]

ج) a(x,y)

**BOLD -> د)** a(x)(y)

17- در مورد یک PAL، اگر یک پین I/O در هیچ یک از جملات ضربی ورودی استفاده نشده باشد، کدام عبارت صحیح است؟

الف) پین I/O صرفا ورودی خواهد بود

ب) یک بازخورد داریم

**BOLD -> ج)** پین I/O صرفا خروجی خواهد بود

د) پین I/O بر اساس شرایط، ورودی - خروجی خواهد بود

18- عبارت کامل VHDL کدام یک از گزینه‌های زیر است؟

**BOLD -> الف)** Very High-Speed Integrated Circuit Hardware Description Language

ب) Vast Hybrid-Spec Description Language

ج) Very High-Speed Integrated Hardware Description Language

د) Very High-Speed Circuit Description Language

19- کدام یک از گزینه‌های زیر جز واحدهای اصلی کد VHDL نیست؟

الف) Library

ب) Entity

ج) Architecture

**BOLD -> د)** Pattern

20- اسم دیگر تک بیتی چیست؟

**BOLD -> الف)** اسکالر

ب) برداری

ج) وان بیت

د) هیچکدام

21- کدام یک از گزینه‌های زیر طول آرایه d را برمی‌گرداند؟

الف) d'range

ب) d'max

**BOLD -> ج)** d'length

د) d'high

22- سینتکس کدام گزینه در رابطه با مقدار دهیه اولیه ( initialization ) درست است؟

**BOLD -> الف)** :=

ب) <=

ج) :

د) =

23- کدام یک از گزینه‌های زیر نحوه صحیح ایجاد حلقه for نیست؟

الف) for i in range 0 to 7 loop...

ب) for i in x'range loop...

ج) for i in range x'low to x'high loop...

**BOLD -> د)** for i in range 0 x'length - 1 loop

24- معادل ریاضیاتی شیفت به راست چیست؟

الف) ضرب

**BOLD -> ب)** تقسیم

ج) جمع

د) منها

25- شکل زیر کدام نوع سوئیچ را نشان می‌دهد؟

الف) نقطه تقاطع مبتنی بر SRAM

**BOLD -> ب)** نقطه شکست مبتنی بر SRAM

ج) نقطه تقاطع مبتنی بر فیوز

د) نقطه شکست مبتنی بر فیوز

26- کدام از دیتا تایپ‌های زیر Synthesizable نیست؟

الف) INTEGER

ب) BOOLEAN

ج) NATURAL

**BOLD -> د)** REAL

27- صفت d'POS(val) چه چیزی را برمی‌گرداند؟

**BOLD -> الف)** انیدکس val در آرایه d

ب) مقدار val در موقعیت pos

ج) مقدار در سمت چپ val

د) هیچکدام

28- کدام یک از گزینه‌های زیر در رابطه با آرایه‌ها، Synthesizable نیست؟

الف) 1D

ب) 1Dx1D

ج) 2D

**BOLD -> د)** 3D

29- معادل ریاضیاتی شیفت به چپ چیست؟

**BOLD -> الف)** ضرب

ب) تقسیم

ج) جمع

د) منها

30- نحوه دسترسی به مقدار آرایه d از نوع 2D به چه صورت است؟

الف) d[x,y]

ب) d[x][y]

**BOLD -> ج)** d(x,y)

د) d[x][y]

31- صفت d'VAL(pos) چه چیزی را برمی‌گرداند؟

**BOLD -> الف)** مقدار داده در موقعیت pos

ب) مقدار pos در موقعیت تعریف شده d

ج) ایندکس مقدار d

د) هیچکدام

32- وقتی رشته "00" از سمت راست به رشته "010" کانکت میکنیم انگار چه عملی را انجام دادیم؟

**BOLD -> الف)** در دو به توان دو ضرب کردیم

ب) در دو ضرب کردیم

ج) بر دو به توان دو تقسیم کردیم

د) بر دو تقسیم کردیم

33- انکدر مداری ـــــــــــــ است که ورودی ـــــــــــــــــــــــــــ را گرفته و معادل آنرا بصورت ـــــــــــــــــــــــــــ‌ برمی‌گرداند.

**BOLD -> الف)** ترکیبی - دو به توان n بیتی OHC - ا n بیتی BC

ب) ترتیبی - دو به توان n بیتی OHC - ا n بیتی BC

ج) ترکیبی - دو به توان n بیتی BC - ا n بیتی OHC

د) ترتیبی - دو به توان n بیتی BC - ا n بیتی OHC

34- همیشه در signed پرارزش ترین بیت کدام است؟

الف) بیت سمت راست

ب) بیت سمت چپ

**BOLD -> ج)** بیت علامت

د) بیت وسط

35- متغیر x چه نوع داده‌ای است؟  
x <= "1101101";

**BOLD -> الف)** BIT\_VECTOR

ب) BIT

ج) STD\_LOGIC

د) STRING

36- کدام گزینه در رابطه با عبارت زیر درست است؟  
SIGNAL y: STD\_LOGIC\_VECTOR (3 DOWNTO 0) := "0001"

**BOLD -> الف)** 4-bit vector, leftmost MSB, initialized with "0001"

ب) 4-bit vector, rightmost MSB, initialized with "0001"

ج) 4-bit vector, leftmost MSB, initialized with "1000"

د) 4-bit vector, rightmost MSB, initialized with "1000"

37- علامت "=>" چه عملیاتی در VHDL است؟

**BOLD -> الف)** انتساب

ب) مقایسه

ج) ضرب خارجی

د) هیچکدام

38- معادل هگز عدد باینری 00111110 کدام گزینه است؟

**BOLD -> الف)** 3E

ب) 2E

ج) 3F

د) 3C

39- تفاوت منطق ترکیبی ( Combinational ) با منطق ترتیبی ( Sequential ) در چیست؟

**BOLD -> الف)** در منطق ترتیبی وضعیت قبلی سیستم ذخیره می‌شود اما در منطق ترکیبی این اتفاق رخ نمی‌دهد

ب) در منطق ترکیبی وضعیت قبلی سیستم ذخیره می‌شود اما در منطق ترتیبی این اتفاق رخ نمی‌دهد

ج) تفاوتی ندارند

د) منطق ترکیبی feedback loop دارد اما منطق ترتیبی ندارد.

40- یک داده‌ی 4 بیتی، چند نوع حالت دارد؟

الف) 4

ب) 8

**BOLD -> ج)** 16

د) 32

41- در توازن فرد مدار Parity Checker و Parity Generator از چه تابعی استفاده می‌شود؟

الف) تابع فرد - xor

ب) تابع فرد - xnor

ج) تابع زوج - xor

**BOLD -> د)** تابع زوج - xnor

42- بازه‌ی عددی سیگنال 4 بیتی از نوع signed در کدام گزینه درست آمده است؟

الف) -8 تا 8

**BOLD -> ب)** -8 تا 7

ج) -7 تا 8

د) -7 تا 7

43- کدام یک از گزینه‌های زیر Synthesizable نیست؟

الف) std\_logic\_signed

ب) integer

**BOLD -> ج)** real

د) std\_logic\_vector

44- کدام یک از گزینه‌های زیر جز تعاریف کتابخانه ( Library ) نیست؟

الف) کالکشنی از قطعه کدهای مورد استفاده

ب) شامل پکیج‌هایی برای توابع، روش‌ها و کامپوننت ها است

ج) برای استفاده و به اشتراک گذاری کدها برای طراحی‌های بعدی استفاده می‌شود

**BOLD -> د)** برای مرتب کردن کدها استفاده می‌شود

45- کدام گزینه، مقایسه درستی بین FPGA و CPLD را نشان می‌دهد؟

**BOLD -> الف)** تعداد بلوک‌ها، فلیپ فلاپ‌ها و گیت‌های FPGA بیشتر است

ب) مدار CPLD برای طراحی مدارات پیچیده‌تر به کار می‌رود ( نسبت به FPGA )

ج) مدار CPLD مبتنی بر RAM است و با هر بار روشن شدن باید دوباره برنامه‌ریزی شود

د) مدار FPGA دارای تاخیر انتشار کمتری است ( نسبت به CPLD )

46- عدد 37 در مبنای هگز کدام گزینه است؟

**BOLD -> الف)** 25

ب) 22

ج) 23

د) 28

47- کدام گزینه جلمه زیر را به طور صحیح کامل می‌کند؟  
یک \_\_(1)\_\_ از تعداد زیادی \_\_(2)\_\_ تشکیل شده است و مولدهای تابع منطقی مهم‌ترین عناصر برنامه‌ریزی \_\_(3)\_\_ها هستند.

الف) 1) CLB - 2) FGA - 3) CLB

**BOLD -> ب)** 1) FPGA - 2) CLB - 3) CLB

ج) 1) CLB - 2) PGA - 3) CLB

د) 1) FPGA - 2) CLB - 3) FPGA

48- خاصیت کد همروند نسبت به کد ترتیبی در چیست؟

**BOLD -> الف)** در کد همروند ترتیب اجرا اهمیتی ندارند و کد به صورت موازی اجرا می‌شود

ب) در کد همروند می‌توان کد را بصورت ترتیبی نوشت ولی در ترتیبی نمی‌توان کد را بصورت همروند نوشت

ج) در کد همروند همواره از Procedure ها استفاده می‌شود

د) هیچکدام

49- صفت s'event چه چیزی را برمی‌گرداند؟

**BOLD -> الف)** returns true when an event occurs on s

ب) returns true if no event has occurred on s

ج) returns true if s='1'

د) هیچکدام

50- تفاوت ASIC و FPGA در چیست؟

الف) تفاوتی ندارند

ب) ASIC فقط برای کارهای تخصصی و FPGA فقط برای کارهای عمومی استفاده می‌شود

**BOLD -> ج)** FPGA برخلاف ASIC قابل ویرایش است

د) ASIC برخلاف FPGA قابل ویرایش است

51- کدام گزینه، جزو مدارات برنامه‌پذیر نیست؟

**BOLD -> الف)** ROM

ب) PLD

ج) PROM

د) FPGA

52- پروسس ( Process ) با پروسیجر ( Procedures ) چه فرقی دارد؟

**BOLD -> الف)** پروسیجر می‌تواند خروجی نداشته باشد

ب) پروسس کد را همروند و پروسیجر کد را ترتیبی اجرا می‌کند

ج) پروسس کد را ترتیبی و پروسیجر کد را همروند اجرا می‌کند

د) پروسس می‌تواند خروجی نداشته باشدد

53- کدام یک از گزینه‌های زیر Architecture در VHDL را تعریف می‌کند؟

الف) توصیف نحوه رفتار مدار است

ب) توصیف نحوه ساختار مدار است

ج) توصیف توابع مدار است

**BOLD -> د)** توصیف رفتار و توابع در مدار است

54- تابع تبدیل conv\_signed چند پارامتر ورودی دارد؟

الف) 1

**BOLD -> ب)** 2

ج) 3

د) 4

55- علامت انتساب "=:" برای کدام یک از گزینه‌ها نیست؟

الف) VARIABLE

ب) CONSTANT

ج) GENERIC

**BOLD -> د)** SIGNAL

56- با توجه به تعاریف زیر، کدام گزینه LEGAL است؟  
-  
SIGNAL a: BIT;  
SIGNAL b: BIT\_VECTOR(7 DOWNTO 0);  
SIGNAL c: STD\_LOGIC;

الف) a <= c;

**BOLD -> ب)** b(2) <= a;

ج) a <= b;

د) b <= a;

57- کدام یک از عبارت‌های زیر در مورد FPGA درست نیست؟

الف) قابل ویرایش است

ب) هزینه ساخت پایینی دارد

**BOLD -> ج)** تولید فقط در تعداد بالا ممکن است

د) به طبیعت آسیب می‌رساند

58- در نوع داده‌ای signed و unsigned کدام عملیات‌ها انجام پذیر هستند؟

**BOLD -> الف)** محاسباتی

ب) منطقی

ج) محاسباتی و منطقی

د) هیچکدام

59- کدام یک از گزینه‌های زیر، برای درست تعریف کردن متغیر، از محدوده‌ی بیت‌ها ( X DOWNTO Y ) استفاده می‌شود؟

الف) BIT

ب) INTEGER

ج) BOOLEAN

**BOLD -> د)** SIGNED

60- عیب اصلی FPGA در مقابل MPGA کدام گزینه است؟

الف) قابلیت برنامه‌ریزی مجدد

**BOLD -> ب)** سرعت و چگالی منطقی کمتر

ج) انعطاف‌پذیری کمتر

د) نداشتن قابلیت برنامه‌ریزی توسط کاربر

61- دیکدر مداری ــــــــــــــــــ است که ورودی ــــــــــــــــــــــــ را گرفته و معادل آنرا بصورت ــــــــــــــــــــــــــــــــــ برمی‌گرداند.

**BOLD -> الف)** ترکیبی - n بیتی BC - دو به توان n بیتی OHC

ب) ترتیبی - n بیتی ‌BC - دو به توان n بیتی OHC

ج) ترکیبی - n بیتی OHC - دو به توان n بیتی BC

د) ترتیبی - n بیتی OHC - دو به توان n بیتی BC

62- کدام یک از گزینه‌های زیر از واحدهای پایه در VHDL است؟

الف) Library

ب) Entity

ج) Architecture

**BOLD -> د)** همه موارد

63- برای تعریف subtype از چه نوع keyword در VHDL استفاده می‌شود؟

**BOLD -> الف)** SUBTYPE

ب) TYPE

ج) SIGNAL

د) ENTITY

64- در کدام یک از کتابخانه‌های زیر، میتوان عمل محاسباتی و منطقی را همزمان انجام داد؟

الف) ieee.std\_logic\_1164

ب) ieee.std\_logic\_arith

ج) std.standard

**BOLD -> د)** ieee.std\_logic\_signed

65- در اینجا underscore به چه معناست؟  
x2 <= "0001\_1111";

**BOLD -> الف)** برای راحتی خواندن بیت‌ها

ب) برای جدا سازی بیت‌های کم ارزش از پر ارزش

ج) برای خالی نگهداشتن ایندکس وکتور

د) هیچ کدام

66- کدام یک از گزینه‌های زیر از نوع داده‌ای اسکالر نیست؟

الف) BIT

ب) STD\_ULOGIC

ج) BOOLEAN

**BOLD -> د)** INTEGER

67- در کدام یک از کتابخانه‌های زیر، تعداد توابع تبدیل بیشتر است؟

الف) std.standard

ب) ieee.std\_logic\_1164

ج) ieee.std\_logic\_arith

**BOLD -> د)** ieee.std\_logic\_signed

68- مدار Low Active چه مداریست؟

**BOLD -> الف)** مداری که خروجی را با 0 نشان دهد

ب) مداری که خروجی را با 1 نشان دهد

ج) مداری که با ولتاژهای پایین کار کند

د) هیچکدام

69- کدام عبارت درباره PAL و PLA صحیح است؟

**BOLD -> الف)** در PLA هر دو طبقه AND و OR و در PAL فقط طبقه AND قابل برنامه‌ریزی است

ب) در PLA فقط طبقه AND و در PAL هر دو طبقه AND و OR قابل برنامه‌ریزی است

ج) در PLA فقط طبقه AND و در PAL فقط طبقه OR قابل برنامه‌ریزی است

د) در PLA فقط طبقه OR و در PAL هر دو طبقه AND و OR قابل برنامه‌ریزی است

70- کدام گزینه جمله زیر را به طور صحیح کامل می‌کند؟  
منطق آرایه‌ای قابل برنامه‌ریزی ترتیبی ( Sequential PAL\_PAL16R8 ) \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ .

الف) خروجی تثبیت شده ندارد

ب) وقتی خروجی‌ها غیرفعال هستند، فلیپ فلاپ‌های داخلی نمی‌توانند تغییر وضعیت دهند

ج) خروجی فلیپ فلاپ‌ها نمی‌توانند بدون عبور از بافرهای سه حالته وارد آرایه‌های AND-OR شوند

**BOLD -> د)** یک سری D فلیپ فلاپ دارد که بین طبقه OR و هشت خروجی قرار گرفته است

71- چند واحد اصلی برای طراحی کد VHDL وجود دارد؟

**BOLD -> الف)** 3

ب) 2

ج) 5

د) 1

72- عبارت مقابل از چه نوع داده‌ای و چند بیت دارد؟  
SIGNAL x: STD\_LOGIC;

**BOLD -> الف)** اسکالر و 1 بیت

ب) اسکالر و 8 بیت

ج) برداری و 1 بیت

د) برداری و 8 بیت

73- کدام گزینه، از انواع FPGA بر اساس آرایش بلوکی منطقی برنامه‌پذیر نیست؟

**BOLD -> الف)** ساختار مبتنی بر جدول جستجو ( LUT )

ب) آرایه متقارن

ج) ساختار سطری

د) آرایش PLD سلسله مراتبی

74- خروجی exe چه زمانی در طراحی با ‌VHDL بدست می‌آید؟

الف) بعد از کامپایل توسط نرم افزار

ب) پس از انتقال به FPGA

**BOLD -> ج)** هیچ‌کدام

د) هنگام کد نویسی

75- با چه بلوک‌هایی می‌تواند کد ترتیبی در VHDL نوشت؟

الف) Process

ب) Function

ج) Procedure

**BOLD -> د)** همه موارد

76- دیتا تایپ BIT و STD\_LOGIC هرکدام به ترتیب چند حالت را در خود دارند؟

**BOLD -> الف)** 2 و 8

ب) 8 و 2

ج) 1 و 4

د) 4 و 1

77- کدام یک از گزینه‌های زیر، نحوه صحیح ساخت نوع داده Enumerated است؟

**BOLD -> الف)** TYPE my\_logic IS ('0', '1', 'Z');

ب) TYPE my\_logic ('0', '1', 'Z');

ج) TYPE natural IS RANGE 0 TO +2147483647;

د) TYPE color := (red, green, blue, white);

78- علامت نامساوی در VHDL چیست؟

**BOLD -> الف)** /=

ب) \=

ج) !=

د) x=

79- در توازن زوج مدار Parity Checker و Parity Generator از چه تابعی استفاده می‌شود؟

**BOLD -> الف)** تابع فرد - xor

ب) تابع فرد - xnor

ج) تابع زوج - xor

د) تابع زوج - xnor

80- وقتی مقدار عددی در سیگنال مهم باشد، \_\_\_ بیت را سمت \_\_\_ می‌گذاریم.

**BOLD -> الف)** پرارزش‌ترین - چپ

ب) پرارزش‌ترین - راست

ج) کم‌ارزش‌ترین - چپ

د) کم‌ارزش‌ترین - راست

81- در VHDL، نوع داده‌ای INTEGER از \_\_\_\_ و BIT از \_\_\_\_ است.

الف) برداری - برداری

ب) اسکالر - اسکالر

**BOLD -> ج)** برداری - اسکالر

د) اسکالر - برداری

82- کدام یک از گزینه‌های زیر از موارد توصیف زبان سخت افزار است؟

الف) Assembly

ب) Verilog

ج) VHDL

**BOLD -> د)** Verilog and VHDL

83- در طرح‌های متوسط و پیچیده، بهترین روش برای ساخت نمونه اولیه کدام است؟

الف) استفاده از روش تمام سفارشی

ب) استفاده از روش نیمه سفارشی

**BOLD -> ج)** استفاده از مدارات برنامه‌پذیر

د) استفاده از قطعات استاندارد

84- برای خلاصه کردن کدهای قسمت Architecture از چه دستوری استفاده می‌شود؟

الف) if

ب) else

ج) when

**BOLD -> د)** when, else

85- کدامیک از گزینه‌های زیر، از مزایای استفاده از مدارات برنامه‌پذیر است؟

الف) هزینه ساخت و نگهداری کمتر

ب) سهولت تست مدار

ج) استفاده مجدد از کتابخانه‌ها

**BOLD -> د)** همه موارد

86- کدام یک از گزینه‌های زیر، بلوک دیاگرام مدار است؟

**BOLD -> الف)** Entity

ب) PORT

ج) BTI

د) Architecture

87- در نمودار Y، کدام گزینه جزو حوزه‌های طراحی نیست؟

الف) رفتاری

ب) فیزیکی

ج) ساختاری

**BOLD -> د)** فناوری

88- در برخورد 2 سیم STD\_LOGIC به هم، کدام گزینه درست است؟

**BOLD -> الف)** X \* any -> X

ب) - \* weak -> X

ج) 0 \* 1 -> W

د) L \*H -> X

89- عبارت syntehsizable به چه معناست؟

**BOLD -> الف)** توانایی ارسال داده در سیم

ب) هماهنگی تعداد ورودی‌ها با خروجی‌ها

ج) یکی بودن نوع داده‌ها در ورودی و خروجی

د) قابلیت فشرده سازی داده

90- طراحی با VHDL در کدام سطح از موارد زیر قرار دارد؟

**BOLD -> الف)** Gate and Architecture

ب) System Level

ج) Device Level

د) Software Level

91- با توجه به تعاریف زیر، کدام گزینه ILLEGAL است؟  
-  
SUBTYPE my\_logic IS STD\_LOGIC RANGE '0' TO '1';  
SIGNAL a: BIT;  
SIGNAL b: STD\_LOGIC;  
SIGNAL c: my\_logic;

**BOLD -> الف)** b <= a;

ب) b <= c;

ج) c <= b;

د) هیچ کدام

92- کدام یک از گزینه‌های زیر جز صفت دیتا تایپ d نیست؟

الف) d'length

ب) d'low

ج) d'high

**BOLD -> د)** d'mid

93- علامت نامساوی در VHDL چیست؟

**BOLD -> الف)** /=

ب) \=

ج) !=

د) x=