

Sveučilište u Zagrebu  
Fakultet elektrotehnike i računarstva

## **Digitalna logika**

### **Laboratorijske vježbe korištenjem sklopovskih pomagala**

#### **Upute za 6. laboratorijsku vježbu**

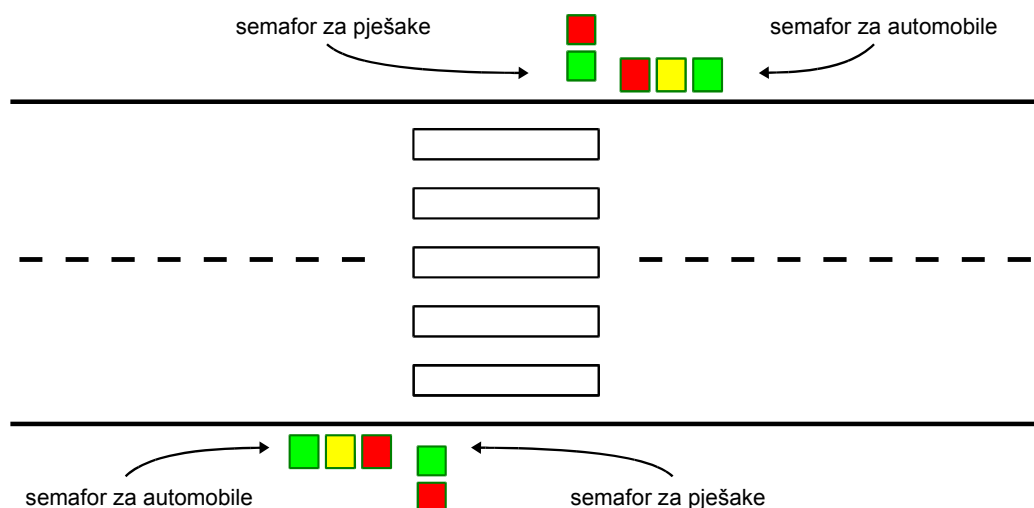
Marko Zec

Prosinac 2018.

# 1 Automat za upravljanje semaforom

## 1.1 Problem: pokvareni semafor

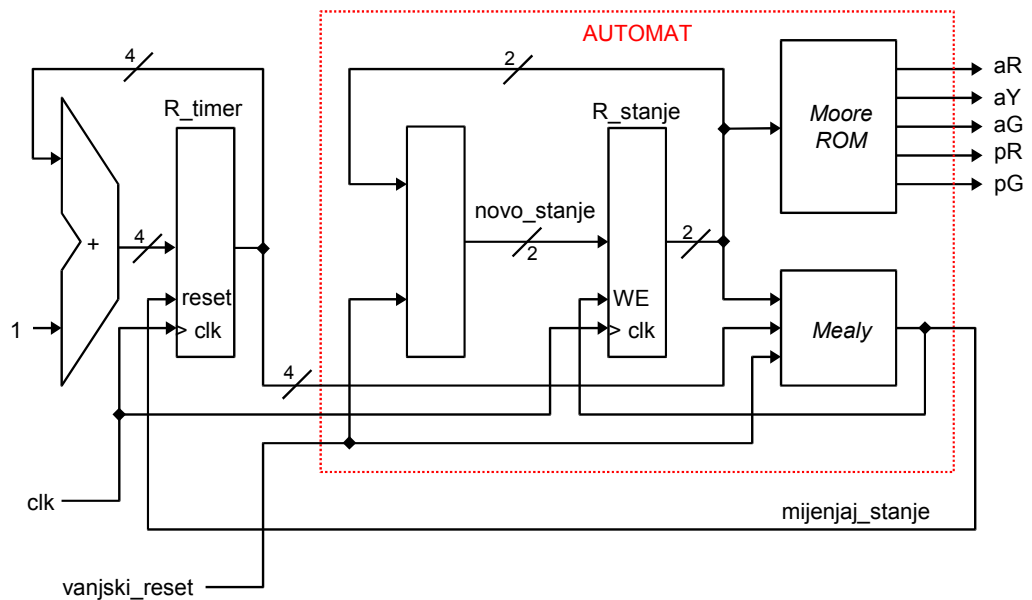
Vaš je zadatak već postojeći, nefunkcionalni prototip upravljačkog modula jednostavnog semafora uz što manje preinaka osposobiti za rad u skladu s funkcijskim specifikacijama.



Slika 1: jednostavni semafor za automobile i pješake

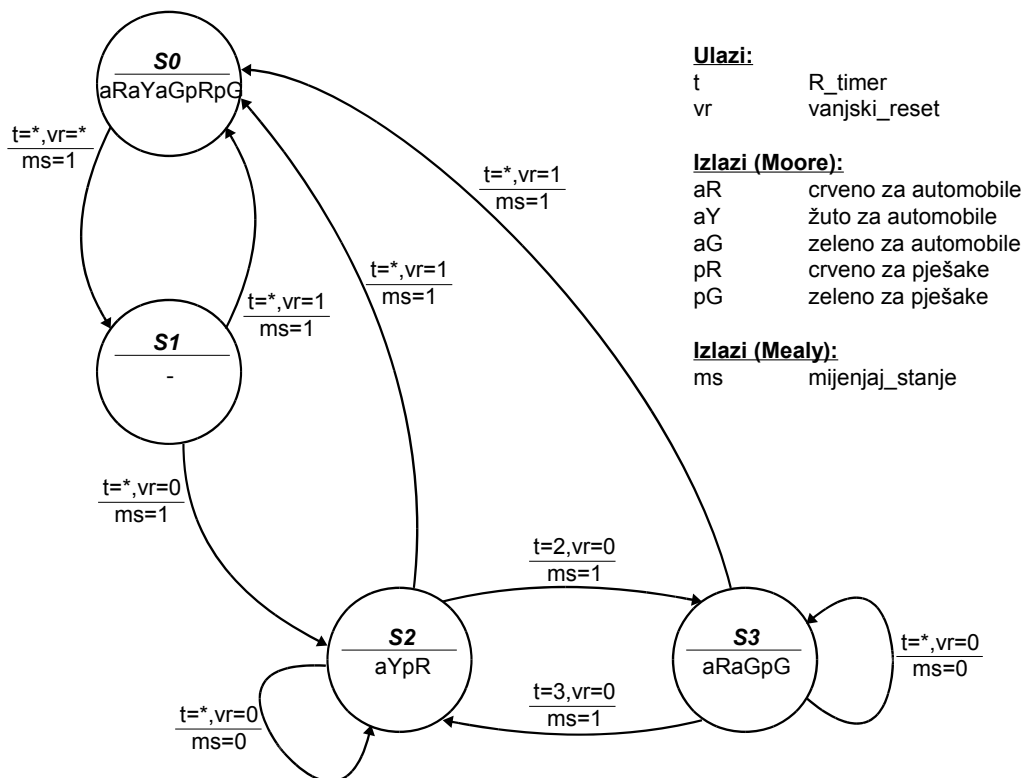
Prototip sklopa koji treba upravljati semaforom sa slike 1 zamišljen je kao automat s konačnim brojem stanja, koji zavisno od ulaza `vanjski_reset` treba raditi u jednom od dva moguća režima rada. Ukoliko je signal `vanjski_reset` postavljen na 1, na semaforu za automobile treba treptati žuto svjetlo, a semafor za pješake treba biti ugašen. Kad je signal `vanjski_reset` postavljen na 0, semafor treba beskonačno ponavljati uobičajeni ciklus paljenja i gašenja signalnih svjetla za automobile i pješake. Za postizanje različitih vremena zadržavanja u pojedinom stanju (npr. u stanju u kojem svijetli zeleno svjetlo automat se treba zadržati dulje nego u stanju u kojem svijetli žuto svjetlo) koristi se vanjski brojač vremenskih impulsa nazvan `timer`, a kojeg se može postaviti na nulu (resetirati) odgovarajućim izlaznim signalom iz automata. Postavljanjem ulaznog signala `vanjski_reset` na 1 automat se u prvom slijedećem ciklusu takta treba prebaciti u režim treptajućeg žutog svjetla bez obzira na trenutno stanje u kojem se nalazi. Rad semafora sinkroniziran je signalom takta frekvencije cca. 1.5 Hz.

Automat za upravljanje radom semafora sastoji se od memorijskog elementa (registra) kojim je određeno trenutno stanje, te kombinacijskih modula kojima se zavisno od ulaza i trenutnog stanja određuju izlazi iz automata, kao i eventualni prijelaz automata u novo stanje. Izlazni signali koji ovise isključivo o trenutnom stanju automata upravljani su kombinacijskim sklopom koji je izveden kao memorija za čitanje (ROM), na čiji se adresni ulaz dovodi kodna riječ trenutnog stanja, a izlazi direktno upravljaju signalnim indikatorima. Signal `mijenjaj_stanje` služi za postavljanje vanjskog brojača ciklusa takta na nulu kod prelaska na novo stanje, a ovisi i o trenutnom stanju i o ulazima u automat. Struktura modula za upravljanje semaforom koji se sastoji od automata i upravljivog brojača ciklusa takta prikazana je blok-shemom na slici 2.



Slika 2: struktura upravljačkog modula `sem_automat_pokvareni`

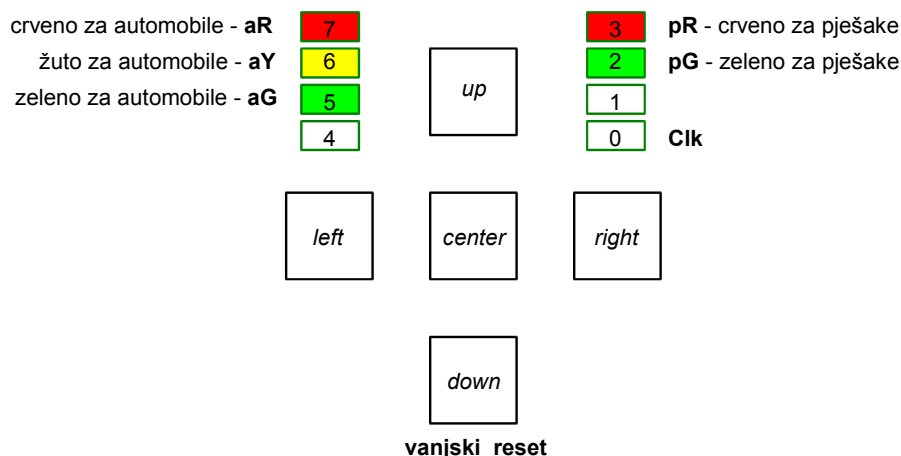
Na slici 3 prikazan je dijagram stanja modula `sem_automat` opisanog datotekom `sem_automat_pokvareni.vhd`, kojeg možete koristiti kao predložak za razvoj vlastitog automata.



Slika 3: dijagram stanja postojećeg predloška sklopa `sem_automat_pokvareni`

Povezivanje ulaznih i izlaznih signala pločice ULX2S / ULX3S i modula `sem_automat` izvedeno je modulom `sem_toplevel`. Modul sadrži i djelitelj takta koji iz ulaznog signala `clk_25m` frekvencije 25 MHz generira signal takta `clk` frekvencije cca. 1.5 Hz.

Način povezivanja izlaznih signala s LED indikatorima, odnosno ulaznog signala `vanjski_reset` s tipkom na FPGA pločici ULX2S ilustriran je slikom 4.



Slika 4: ulazni i izlazni signali modula `sem_toplevel` na pločici ULX2S

## 1.2 Priprema

Datoteke `sem_toplevel.vhd` i `sem_automat.vhd` dohvatite s web sjedišta laboratorijskih vježbi, uključite u novi projekt, te sintetizirajte konfiguracijsku datoteku (bitstream) za razvojnu pločicu ULX2S odnosno ULX3S. **Ispitajte rad sklopa i usporedite ga s dijagramom stanja sa slike 3.** Proučite VHDL kod i u njemu identificirajte sve module označene na slici 2: registre, ROM memoriju, ostale kombinaćijske module, interne signale koji ih povezuju, te vanjske signale.

U tablici 1 prikazan je željeni raspored stanja kroz koje **ispravn**i automat za upravljanje semaforom treba prolaziti:

Stanje	Izlazi	Trajanje
S0	svijetli samo žuto svjetlo za automobile	1 T
S1	ne svijetli ni jedno signalno svjetlo	1 T
S2	svijetli žuto svjetlo za automobile i crveno za pješake	4 T
S3	svijetle crvena svjetla za automobile i za pješake	3 T
S4	svijetli crveno svjetlo za automobile i zeleno svjetlo za pješake	<b>X1</b> T
S5	svijetle crvena svjetla za automobile i za pješake	4 T
S6	svijetle crveno i žuto svjetlo za automobile i crveno za pješake	3 T
S7	svijetli zeleno svjetlo za automobile i crveno za pješake	<b>X2</b> T

Tablica 1: željena stanja automata i njihovo trajanje izraženo u ciklusima takta

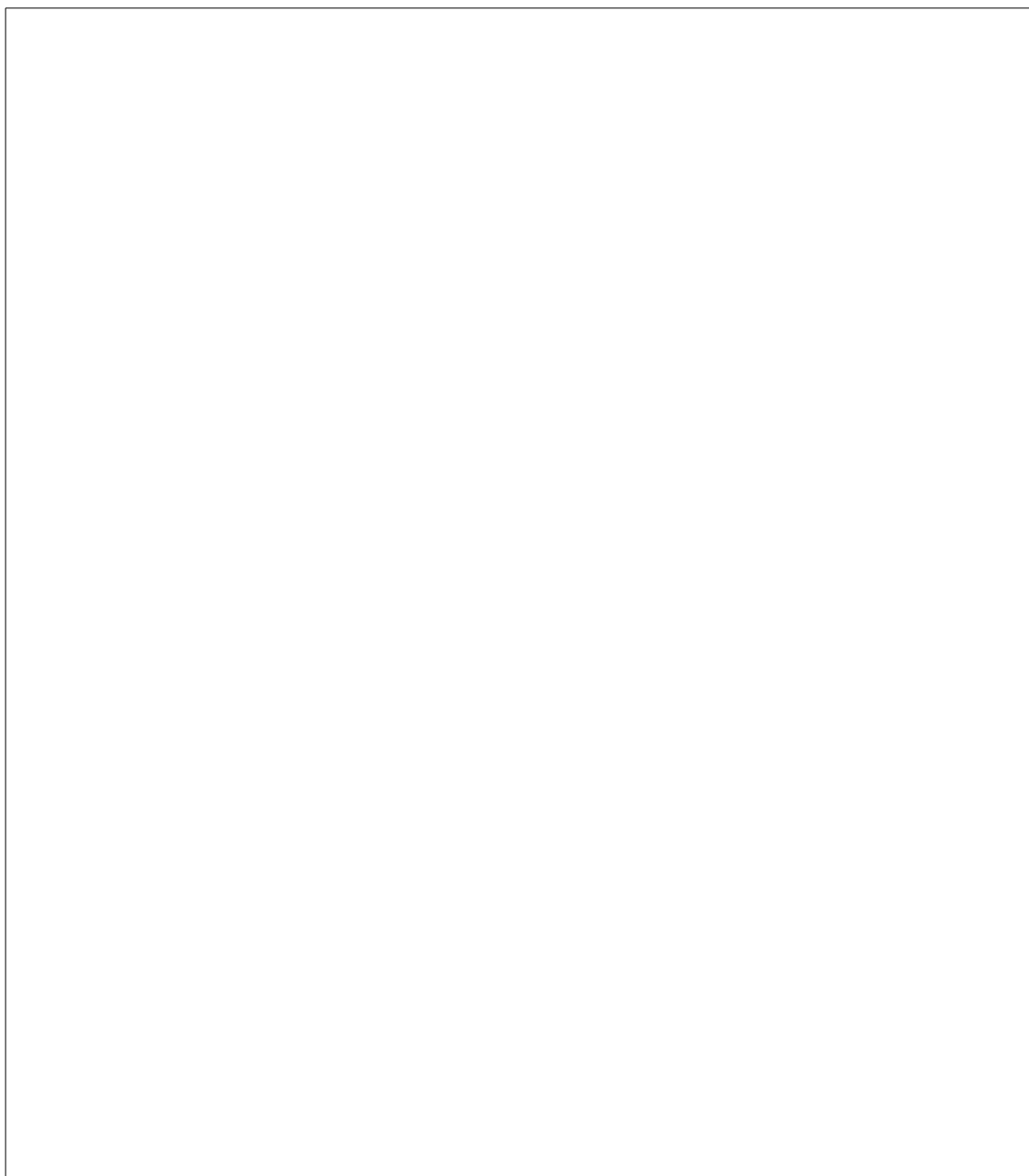
Ukoliko je ulazni signal `vanjski_reset` postavljen na 1, automat se treba prebacivati između prva dva stanja određena tablicom (S0 i S1). Kad je ulazni signal `vanjski_reset` postavljen na 0, automat treba slijedno prolaziti kroz preostalih šest stanja, zadržavajući se u svakom stanju onoliko ciklusa takta koliko je određeno brojem u drugom stupcu tablice. Vremena zadržavanja označena u tablici s **X1** i **X2** određuju se prema formulama:

$$\mathbf{X1 = (JMBAG \bmod 5) + 5}$$

$$\mathbf{X2 = (JMBAG \bmod 5) + 10}$$

Automat treba nakon zadnjeg stanja određenog tablicom (S7) prijeći u stanje S2. Ukoliko se ulazni signal `vanjski_reset` postavi na 1, automat treba prijeći u stanje S0, osim ako se već nalazi u stanju S0. Kod svakog prijelaza u novo stanje automat treba postaviti izlaz `mijenjaj_stanje` na 1, čime će *resetirati* brojač ciklusa takta.

U prazni okvir na ovoj stranici nacrtajte dijagram stanja automata u skladu s tablicom 1, te označite sve prijelaze, ulaze i izlaze automata.



### 1.3 Projektiranje automata i ispitivanje rada

---

Prema dijagramu stanja kojeg ste nacrtali na prethodnoj stranici VHDLom opišite odgovarajući automat. Ulazni signali modula trebaju biti nazvani točno `clk` i `vanjski_reset`, a izlazi `aR`, `aY`, `aG`, `pR` i `pG`. Svi signali u sučelju modula trebaju biti tipa `std_logic`. Pri izradi modula možete koristiti predložak `sem_automat_pokvareni.vhd`, ali automat možete modelirati i prema vlastitim zamislima, uz uvjet da funkcijski odgovara zadanim specifikacijama, te da je izveden u samo jednom VHDL modulu odnosno datoteci.

Stvorite novi projekt u razvojnom alatu Lattice Diamond, u kojeg uključite već gotovu datoteku `sem_toplevel.vhd`, vlastitu datoteku `sem_automat.vhd`, te kao i uvijek datoteku `ulx2s.lpf` odnosno `ulx3s.lpf`.

Prilikom ispitivanja sklopa prekidačem `sw(0)` može se uključiti odnosno isključiti prikaz otkucaja signala takta na indikatoru `led(0)`, što može olakšati praćenje vremenskih intervala zadržavanja u pojedinim stanjima automata.

Nakon što ste sintetizirali i ispitali rad sklopa na FPGA pločici, u sustav Ferko prebacite (uploadajte) datoteke `sem_automat.vhd` i `lab6.jed` odnosno `lab6.bit`.