



UNIVERSIDAD NACIONAL DE LOJA

UNL

FACULTAD : ENERGÍA LAS INDUSTRIAS Y LOS RECURSOS NATURALES NO RENOVABLES

CARRERA : COMPUTACIÓN

MODALIDAD : PRESENCIAL

CICLO : SEGUNDO

PERÍODO ACADÉMICO ORDINARIO: ABRIL – AGOSTO 2019

SÍLABO DE LA ASIGNATURA

DISEÑO DE CIRCUITOS

Responsable: Gastón Rene Chamba Romero

Correo electrónico: gaston.chamba@unl.edu.ec

Dependencia para tutoría: Sala de profesores, Z10.S02.MD.B7

2019

1. DATOS GENERALES DE LA ASIGNATURA

1.1 DENOMINACIÓN DE LA ASIGNATURA: Diseño de Circuitos

1.2 CÓDIGO DE LA ASIGNATURA: INSTITUCIONAL: E2C2A5 UNESCO: 3307.03

1.3 UNIDAD DE ORGANIZACIÓN CURRICULAR: Básica

1.4 CAMPO DE FORMACIÓN:

FUNDAMENTOS TEÓRICOS () PRAXIS PROFESIONAL (x) EPISTEMOLOGÍA Y METODOLOGÍA () DE LA INVESTIGACIÓN INTEGRACIÓN DE SABERES, () CONTEXTOS Y CULTURA COMUNICACIÓN Y () LENGUAJES

1.5 TIPO DE ASIGNATURA:

OBLIGATORIA: (x) COMPLEMENTARIA: () OPTATIVA: () INTEGRADORA: ()

1.6 NÚMERO DE HORAS:

	SEMANALES	AL PERÍODO ACADÉMICO
COMPONENTE DE DOCENCIA: APRENDIZAJE ASISTIDO POR EL PROFESOR	2	32
COMPONENTE DE DOCENCIA: APRENDIZAJE COLABORATIVO (TUTORÍAS)	1	16
DE PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	2	32
DE APRENDIZAJE AUTÓNOMO	2.5	40
HORAS TOTALES	7.5	120

1.7 REQUERIMIENTOS:

1.7.1	PRERREQUISITOS:	CÓDIGO INSTITUCIONAL E2C1A5	CÓDIGO UNESCO 2202.03	NOMBRE DE LA ASIGNATURA ELECTRICIDAD
1.7.2	CORREQUISITOS:	CÓDIGO INSTITUCIONAL	CÓDIGO UNESCO	NOMBRE DE LA ASIGNATURA
1.8	PROYECTO DE INTEGRACIÓN DE SABERES:	DESARROLLO DE SOLUCIONES TECNOLÓGICAS BÁSICAS Y ASESORAMIENTO TECNOLÓGICO A LA COMUNIDAD.		

2. DATOS ESPECÍFICOS DE LA ASIGNATURA

2.1. PROPÓSITO DE LA ASIGNATURA

La asignatura de electricidad forma parte del plan de estudios de la carrera de computación impartida en el segundo semestre, es un curso teórico-práctico que permite explicar una metodología de diseño, desde la descripción hasta la implementación, pasando por la simulación. Las metodologías de diseño electrónico denominadas “top-down”, basadas en el empleo de lenguajes de descripción de hardware, han transformado los procedimientos de diseño de sistemas electrónicos, muy especialmente de circuitos integrados. El lenguaje VHDL es su más claro exponente, abriendo enormes posibilidades al permitir la simulación con descripciones de partes del sistema con diferentes niveles de abstracción.

2.2. CONTRIBUCIÓN DE LA ASIGNATURA AL LOGRO DE LOS RESULTADOS DE APRENDIZAJE DEL PERFIL DE EGRESO

El profesional en computación desarrolla soluciones computacionales basándose en los principios matemáticos y electrónicos, considerando la tecnología y cambio social de su entorno con identidad, respeto, solidaridad y bio-conciencia. Analiza, diseña, implementa y evalúa sistemas computacionales, que garanticen la elaboración de un producto de calidad que solvante las necesidades de la sociedad, considerando los principios básicos de la ética profesional.

2.3. APOORTE Y/O RELACIÓN CON EL PROYECTO DE INTEGRACIÓN DE SABERES

Los conocimientos, destrezas y habilidades adquiridas en esta unidad permiten sentar las bases para asignaturas de nivel superior como arquitectura de ordenadores, sistemas operativos, sistemas distribuidos, gestión de redes y seguridad de la información. De la misma forma estos conocimientos, destrezas y habilidades permitirán analizar, diseñar, implementar y evaluar soluciones tecnológicas básicas, considerando la elaboración de documentos

técnicos claros, concisos y precisos, que permitirán llevar a cabo una adecuada comunicación de resultados hacia la sociedad a través del asesoramiento tecnológico de los proyectos llevados a cabo.

2.4. OBJETIVOS DE LA ASIGNATURA

- Describir la diferencia entre lógica combinacional y lógica secuencial a través de tablas de verdad, álgebra booleana, diagramas de tiempo, señales de reloj, máquinas de estado entre otros aspectos.
- Describir el flujo de diseño digital moderno basado en lenguajes de descripción de hardware.
- Diseñar modelos VHDL para circuitos lógicos combinacionales utilizando técnicas de modelado concurrente tales como asignación de señales y operadores lógicos, asignación de señales condicionales, asignación de señales seleccionadas entre otras.
- Diseñar modelos VHDL basados en dispositivos de almacenamiento secuencial como flip flops, contadores ripple, registros de desplazamiento entre otros.

2.5. RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA

- Diseña modelos VHDL para circuitos lógicos combinacionales utilizando técnicas de modelamiento concurrente.
- Diseña modelos VHDL para circuitos lógicos secuenciales utilizando elementos de memoria y técnicas de modelamiento secuencial.
- Combina técnicas y estrategias de modelamiento combinacional y secuencial para crear circuitos más complejos.

3. ESTRUCTURA DE LA ASIGNATURA

3.1. CONTENIDOS Y ACTIVIDADES DE APRENDIZAJE

UNIDAD/TEMA	NRO. HORAS	CONTENIDOS TEÓRICOS	COMPONENTE DE DOCENCIA				ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	NRO. HORAS	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	NRO. HORAS	ESTRATEGIAS DE EVALUACIÓN
			ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	NRO. HORAS	ACTIVIDADES DE APRENDIZAJE COLABORATIVO	NRO. HORAS					
1. Sistemas Numéricos	7.5	1.1. Introducción: analógico vs digital 1.1.1. Diferencia entre sistemas analógicos y digitales. 1.1.2. Ventajas de los sistemas analógicos sobre los digitales. 1.1.3. Sistema numérico binario 1.1.3.1. Signo en números binarios 1.1.3.1.1. Complemento a 1 1.1.3.1.2. Complemento a 2 1.1.3.2. Aritmética binaria 1.1.3.2.1. Suma binaria 1.1.3.2.2. Resta binaria 1.1.3.2.3. Multiplicación binaria 1.1.3.2.4. División binaria 1.1.4. Operadores Lógicos: NOT, AND, OR, NAND, NOR,	CLASE EXPOSITIVA: Transmisión de conocimientos de contenidos teóricos	2	CONSTRUCCIÓN Y EXPOSICIÓN DE ESQUEMAS O MODELOS: Operaciones aritméticas de números binarios con signo.	1	RESOLUCIÓN DE EJERCICIOS: - Mapas de Karnaugh de dos, tres, cuatro, cinco y seis variables. - Obtener miniterminos y maxiterminos de expresiones booleanas. - Circuitos lógicos a través de compuertas NAND y NOR.	2	LECTURA DE CONTENIDOS DEL TEXTO BASE DE ACUERDO A LOS CONTENIDOS SEMANALES. DESARROLLO DE EJERCICIOS PROPUESTOS DE ACUERDO A LOS CONTENIDOS SEMANALES.	2.5	- Evaluación de temas objeto de lectura, se utilizará herramientas de Ofimática (aplicación Socrative). - Evaluación de aprendizaje de contenidos, una vez concluida la clase expositiva, se utilizará

		<p>EXOR, EXNOR</p> <p>1.1.5. Universalidad de las compuertas NAND y NOR.</p> <p>1.2. Familias lógicas</p> <p>1.2.1. Transistores MOSFET</p> <p>1.2.1.1. Operación transistores MOSFET</p> <p>1.2.1.2. Compuerta NOT con CMOS</p> <p>1.2.1.3. Compuerta NAND con CMOS</p> <p>1.2.1.4. Compuerta NOR con CMOS</p> <p>1.2.2. Familia lógica 7400</p>								herramientas de Ofimática (aplicación Socrative).	
2. Diseño Lógico Combinacional	60	<p>2.1. Análisis Lógico Combinacional</p> <p>2.1.1. Expresiones lógicas a partir de diagramas lógicos.</p> <p>2.1.2. Tablas de verdad a partir de diagramas lógicos.</p> <p>2.1.3. Analisis temporal de circuitos lógicos combinacionales.</p> <p>2.2. Síntesis de la lógica combinacional.</p> <p>2.2.1. Suma de productos canónica</p> <p>2.2.2. Minitérminos (Sigma)</p> <p>2.2.3. Producto de sumas canónica</p> <p>2.2.4. Maxitérminos (Pi)</p> <p>2.2.5. Equivalencia entre minitérminos y maxitérminos.</p> <p>2.3. Minimización lógica</p> <p>2.3.1. Minimización algebraica</p> <p>2.3.2. Minimización utilizando mapas de Karnaugh</p> <p>2.3.2.1. Construcción de mapas de Karnaugh</p> <p>2.3.2.2. Minimización de suma de productos utilizando mapas de Karnaugh</p> <p>2.3.2.3. Minimización de producto de sumas utilizando mapas de Karnaugh</p> <p>2.3.2.4. Condiciones no importa</p> <p>2.3.3. Minimización utilizando el método de Quine-McCluskey.</p> <p>2.4. Diseño de circuitos combinacionales</p> <p>2.4.1. Paso de descripciones verbales a descripciones formales</p> <p>2.4.2. Circuitos combinatorios básicos</p> <p>2.4.2.1. Multiplexor</p> <p>2.4.2.2. Demultiplexor</p> <p>2.4.2.3. Decodificador</p> <p>2.4.3. Sumadores y Restadores</p> <p>2.4.3.1. Half adder</p> <p>2.4.3.2. Full adder</p> <p>2.4.3.3. Ripple-Carry adder</p> <p>2.4.3.4. Carry-Select adder</p> <p>2.4.3.5. Carry look-Ahead adder</p> <p>2.4.3.6. Sumador mixto</p> <p>2.4.3.7. Sumador/restador</p> <p>2.4.3.8. Sumador BCD</p> <p>2.4.4. Complementos</p> <p>2.4.4.1. Complemento a uno</p> <p>2.4.4.2. Complemento a dos</p> <p>2.4.5. Comparadores</p> <p>2.4.5.1. Comparador de igualdad</p> <p>2.4.5.2. Comparador genérico</p> <p>2.4.6. Multiplicadores</p> <p>2.4.6.1. Multiplicador</p> <p>2.4.6.2. Divisor</p> <p>2.4.7. Unidad Aritmético Lógica</p>	<p>CLASE EXPLICATIVA:</p> <p>Uso y manejo de equipos del laboratorio de electrónica: Protoboard, Fuentes de voltaje, Multímetro, Osciloscopio</p> <p>CLASE EXPLICATIVA:</p> <p>Uso y manejo de simuladores de circuitos eléctricos: Circuit Maker, Proteus, Multisim, ModelSim, ISE Design Suite.</p> <p>CLASE EXPLICATIVA:</p> <p>Elaboración de preparatorio y reporte de prácticas de laboratorio.</p> <p>CLASE DEMOSTRATIVA:</p> <p>Desarrollo de ejercicios demostrativos de los temas teóricos.</p>	16	<p>CONSTRUCCIÓN Y EXPOSICIÓN DE ESQUEMAS O MODELOS:</p> <ul style="list-style-type: none">- Describir compuertas lógicas utilizando transistores MOSFET.- Diseñar un sumador ripple Carry de n-bits utilizando full adders.- Describir circuitos sumadores utilizando VHDL.- Comparar la velocidad de sumadores a través de módulos de test en VHDL.- Describir multiplicadores de n bits utilizando VHDL.	8	<p>DESARROLLO DE PRÁCTICAS DE LABORATORIO:</p> <ul style="list-style-type: none">- Práctica 1: Código BCD.- Práctica 2: Mapas de Karnaugh (Operadores Lógicos TTL).- Práctica 3: Full Adder (Sumador completo) <p>IMPLEMENTAR CIRCUITOS EN SIMULADORES:</p> <ul style="list-style-type: none">- Expresiones booleanas.- Sumadores- Multiplicadores- Multiplexores- Demultiplexores- Comparadores- Codificadores- Decodificadores. <p>RESOLUCIÓN DE EJERCICIOS:</p> <ul style="list-style-type: none">- Mapas de Karnaugh de dos, tres, cuatro, cinco y seis variables.- Obtener minitérminos y maxitérminos de expresiones booleanas.- Circuitos lógicos a través de compuertas NAND y NOR. <p>DESCRIBIR CIRCUITOS COMBINACIONALES UTILIZANDO VHDL:</p> <ul style="list-style-type: none">- Sumadores- Multiplicadores- Multiplexores- Demultiplexores- Comparadores- Codificadores- Decodificadores.	16	<p>LECTURA DE CONTENIDOS DEL TEXTO BASE DE ACUERDO A LOS CONTENIDOS SEMANALES.</p> <p>DESARROLLO DE EJERCICIOS PROPUESTOS DE ACUERDO A LOS CONTENIDOS SEMANALES.</p> <p>PRACTICAS DE LABORATORIO:</p> <ul style="list-style-type: none">- Preparatorio de prácticas en el laboratorio. Se asigna calificación cuantitativa en base al desempeño del grupo.- Reporte de prácticas de laboratorio. <p>ELABORACIÓN DE TRABAJOS:</p> <ul style="list-style-type: none">- Comparación de sumadores a través de VHDL.- Multiplicador de n-bits.	20	<ul style="list-style-type: none">- Evaluación de temas objeto de lectura, se utilizará herramientas de Ofimática (aplicación Socrative).- Evaluación de aprendizaje de contenidos, una vez concluida la clase expositiva, se utilizará herramientas de Ofimática (aplicación Socrative).- Evaluación parcial (ejercicios).- Evaluación escrita de la primera unidad (teórica y ejercicios)- Evaluación del desempeño durante el desarrollo de prácticas en el laboratorio. Se asigna calificación cuantitativa en base al desempeño del grupo.- Evaluación del desempeño durante el desarrollo de reportes de prácticas de laboratorio. Se asigna calificación cuantitativa en base a rúbricas.- Evaluación de respuesta escrita extendida de los trabajos, se asigna calificación en base a la generación de productos escritos.

		<p>2.5. Diseño lógico combinacional utilizando VHDL</p> <p>2.5.1. Flujo de diseño digital moderno</p> <p>2.5.2. VHDL Constructs</p> <p>2.5.1.1. Tipos de datos</p> <p>2.5.1.1.1. Enumerated Types</p> <p>2.5.1.1.2. Range Types</p> <p>2.5.1.1.3. Physical Types</p> <p>2.5.1.1.4. Vector Types</p> <p>2.5.1.1.5. User-Defined Enumerated Types</p> <p>2.5.1.1.6. Array Types</p> <p>2.5.1.1.7. Subtypes</p> <p>2.5.1.2. Librerías y paquetes</p> <p>2.5.1.3. La Entidad</p> <p>2.5.1.4. La Arquitectura</p> <p>2.5.1.4.1. Declaración de señales</p> <p>2.5.1.4.2. Declaración de constantes</p> <p>2.5.1.4.3. Declaración de componentes</p> <p>2.5.3. Modelamiento concurrente en VHDL</p> <p>2.5.3.1. Operadores VHDL</p> <p>2.5.3.1.1. Operador de asignación</p> <p>2.5.3.1.2. Operadores lógicos</p> <p>2.5.3.1.3. Operadores numéricos</p> <p>2.5.3.1.4. Operadores Relacionales</p> <p>2.5.3.1.5. Operadores de Desplazamiento</p> <p>2.5.3.1.6. Operadores de desplazamiento</p> <p>2.5.3.2. Asignación de señales concurrentes</p> <p>2.5.3.3. Asignación de señales concurrentes con operadores lógicos</p> <p>2.5.3.4. Sentencia <i>when – else</i></p> <p>2.5.3.5. Sentencia <i>with - select</i></p> <p>2.5.3.6. Sentencia <i>delay</i></p> <p>2.5.4. Diseño Estructural</p> <p>2.5.4.1. Instanciación de componentes</p> <p>2.5.4.1.1. Mapeo de puertos explícito</p> <p>2.5.4.1.2. Mapeo de puertos posicional</p> <p>2.5.5. Simulación a través de test bench</p>									
3. Lógica Secuencial	52.5	<p>3.1. LATCHES</p> <p>3.1.1. Latch S</p> <p>3.1.2. Latch R</p> <p>3.1.3. Latch S – R</p> <p>3.2. FLIP FLOPS</p> <p>3.2.1. Señales de reloj</p> <p>3.2.2. Temporizador 555 como aestado</p> <p>3.2.3. Flip flop S – R</p> <p>3.2.4. Flip flop J – K</p> <p>3.2.5. Flip flop D</p> <p>3.2.6. Flip flop T</p> <p>3.3. Circuitos secuenciales básicas</p> <p>3.3.1. Divisor de frecuencia</p> <p>3.3.2. Contador Ripple</p> <p>3.3.3. Registros de desplazamiento</p> <p>3.3.3.1. Registro SIPO</p> <p>3.3.3.2. Registro SIPO</p> <p>3.3.3.3. Registro PISO</p> <p>3.3.3.4. Registro PIPO</p> <p>3.3.3.5. Registro Universal</p> <p>3.4. Máquinas de estado finitas (FSM)</p>	<p>CLASE EXPLICATIVA:</p> <p>Uso y manejo de equipos del laboratorio de electrónica: Protoboard, Fuentes de voltaje, Multímetro, Osciloscopio</p> <p>CLASE EXPLICATIVA:</p> <p>Uso y manejo de simuladores de circuitos eléctricos: Circuit Maker, Proteus, Multisim, ModelSim, ISE Design Suite.</p> <p>CLASE EXPLICATIVA:</p> <p>Elaboración de</p>	14	<p>CONSTRUCCIÓN Y EXPOSICIÓN DE ESQUEMAS O MODELOS:</p> <p>- Diseñar registros utilizando flip flops tipo D.</p> <p>- Describir registros utilizando VHDL.</p> <p>- Diseñar contadores a través de registros.</p> <p>- Diseñar máquinas de estado utilizando flip flops y VHDL.</p>	7	<p>RESOLUCIÓN DE EJERCICIOS:</p> <p>- Señales de reloj.</p> <p>- Contadores.</p> <p>- Máquinas de estado.</p> <p>DESARROLLO DE PRÁCTICAS DE LABORATORIO:</p> <p>- Práctica 4: Señales de reloj (CLOCK)</p> <p>- Práctica 5: Divisor de frecuencia.</p> <p>- Práctica 6: Sistemas Secuenciales (contador MOD4)</p> <p>DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL:</p> <p>- Latches</p>	14	<p>LECTURA DE CONTENIDOS DEL TEXTO BASE DE ACUERDO A LOS CONTENIDOS SEMANALES.</p> <p>DESARROLLO DE EJERCICIOS PROPUESTOS DE ACUERDO A LOS CONTENIDOS SEMANALES.</p> <p>PRACTICAS DE LABORATORIO:</p> <p>- Preparatorio de prácticas de laboratorio.</p> <p>- Reporte de prácticas de laboratorio.</p> <p>ELABORACIÓN DE TRABAJOS:</p>	17.5	<p>- Evaluación de temas objeto de lectura, se utilizará herramientas de Ofimática (aplicación Socrative).</p> <p>- Evaluación de aprendizaje de contenidos, una vez concluida la clase expositiva, se utilizará herramientas de Ofimática (aplicación Socrative).</p> <p>- Evaluación parcial (ejercicios).</p> <p>- Evaluación escrita de la primera unidad (teórica y ejercicios)</p> <p>- Evaluación del</p>

		<p>3.4.1. Descripción de funcionalidad de una FSM</p> <p>3.4.1.1. Diagrama de estados</p> <p>3.4.1.2. Tabla de transición de estados</p> <p>3.4.2. Síntesis lógica para una FSM</p> <p>3.4.2.1. Memoria de estados</p> <p>3.4.2.2. Determinación del siguiente estado</p> <p>3.4.2.3. Determinación de las salidas</p> <p>3.4.2.4. Diagrama lógico final</p> <p>3.4.2.5. Ejemplos de diseño de FSM</p> <p>3.5. Contadores</p> <p>3.5.1. Contadores ascendentes</p> <p>3.5.2. Contadores descendentes</p> <p>3.5.3. Contadores ascendentes/descendentes</p> <p>3.6. Diseño lógico secuencial utilizando VHDL</p> <p>3.6.1. Procesos</p> <p>3.6.1.1. Lista de sensibilidad</p> <p>3.6.1.2. Sentencia <i>wait</i></p> <p>3.6.1.3. Asignación de señales secuenciales</p> <p>3.6.1.4. Variables</p> <p>3.6.2. Sentencias de programación condicionales</p> <p>3.6.2.1. Sentencia <i>if/then</i></p> <p>3.6.2.2. Sentencia <i>case</i></p> <p>3.6.2.3. Sentencia <i>loop</i></p> <p>3.6.2.4. Sentencia <i>while</i></p> <p>3.6.2.5. Sentencia <i>for</i></p> <p>3.6.3. Atributos de señales</p> <p>3.6.4. Test bench</p> <p>3.6.5. Paquetes</p>	<p>preparatorio y reporte de prácticas de laboratorio.</p> <p>CLASE DEMOSTRATIVA: Desarrollo de ejercicios demostrativos de los temas teóricos.</p>			<p>- Flip flops</p> <p>- Registros</p> <p>- Contadores</p> <p>- Máquinas de estado</p>		<p>- Diseño de un registro universal utilizando VHDL.</p> <p>- Diseño de máquinas de estado.</p>		<p>desempeño durante el desarrollo de prácticas en el laboratorio. Se asigna calificación cuantitativa en base al desempeño del grupo.</p> <p>- Evaluación del desempeño durante el desarrollo de reportes de prácticas de laboratorio. Se asigna calificación cuantitativa en base a rúbricas.</p> <p>- Evaluación de respuesta escrita extendida de los trabajos, se asigna calificación en base a la generación de productos escritos.</p>
TOTAL DE HORAS	120			32		16		32		40

3.2. ACTITUDES Y VALORES QUE SE DESARROLLAN Y/O FORTALECEN

- Respeto a la diversidad e interculturalidad, en la construcción de una sociedad participativa e incluyente.
- Equidad, en las oportunidades y reconocimientos que brinda la institución a sus integrantes y en su accionar social, para una coexistencia humana justa.
- Solidaridad, entre los miembros de la comunidad universitaria y con los sectores sociales de la región y del país.
- Honestidad, proceder con rectitud, disciplina, honradez y mística en el cumplimiento de sus obligaciones en todos los procesos institucionales, relaciones interinstitucionales y personales, como valores esenciales para la convivencia organizada confiable y segura a lo interno y externo de la Universidad.
- Transparencia, capacidad de los servidores de la Universidad Nacional de Loja, para demostrar íntegramente sus conocimientos, actuar con idoneidad y efectividad en el marco de principios éticos y morales de la convivencia institucional y social.
- Creatividad e innovación, orientadas a superar la dependencia científico-tecnológica.
- Participación y trabajo mancomunado, a lo interno de la universidad en la planificación, ejecución y evaluación institucional
- Lealtad con la institución, su proyecto político y la primera autoridad de la Alma Mater lojana.

3.3. ESTRATEGIAS METODOLÓGICAS

- **Actividades Introdutorias:** Función informativa. Clima de aprendizaje Fomenta conocimiento estudiante – profesor.
- **Sesión explicativa:** Estrategia para transmitir conocimiento clave, aprendizaje autónomo y su carácter motivador.
- **Debates:** Fomenta el pensamiento crítico; ayuda a ponerse en el lugar del otro e intentar comprenderlo.
- **Presentaciones/Exposiciones:** Sirve para evaluar competencias transversales y como estrategia para ofrecer contenidos.
- **Resolución de problemas/ ejercicios en el aula ordinaria:** Permite al estudiante transferir lo aprendido; supone relacionar distintas áreas de conocimiento.
- **Resolución de problemas/ejercicios:** Se utiliza para verificar si los estudiantes saben aplicar determinados conceptos a situaciones prácticas.
- **Realización de trabajos:** Es una de las estrategias más utilizadas, se usa para reforzar los contenidos impartidos en clase.
- **Prácticas en laboratorios:** Necesario como centro o recurso para el aprendizaje.
- **Empleo de tutorías:** Necesarias para aclarar dudas y resolver algunos problemas que en ocasiones presentan los estudiantes.

3.4. RECURSOS Y MATERIALES DIDÁCTICOS

- Aula de clases: Marcadores, pizarra, proyector.
- Laboratorio de Electrónica: protoboard, fuentes de poder, multímetro, osciloscopio.
- Ofimática: Classroom, Socrative
- Biblioteca: Libros mencionados en bibliografía.
- Simuladores de circuitos eléctricos.

3.5. TIPO DE APRENDIZAJE QUE SE DESARROLLA

ASISTIDO POR EL PROFESOR	(x)	COLABORATIVO	(x)	PRÁCTICO DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	(x)	AUTÓNOMO	(x)
--------------------------	-------	--------------	-------	--	-------	----------	-------

4. HORARIO DE CLASE DE LA ASIGNATURA

DÍA	LUNES	MARTES	MIÉRCOLES	JUEVES	VIERNES
HORA					
07:30 – 08:30					
08:30 – 09:30					
09:30 – 10:30					
10:30 – 11:30					
11:30 – 12:30	SEGUNDO CICLO B				
12:30 – 13:30	SEGUNDO CICLO B		SEGUNDO CICLO B		
13:30 – 14:30	SEGUNDO CICLO B		SEGUNDO CICLO B		

5. DESARROLLO DE LA ASIGNATURA

SEMANA 1: DEL 15 AL 19 DE ABRIL DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
5 HORAS	1.1. Introducción: analógico vs digital 1.1.1. Diferencia entre sistemas analógicos y digitales. 1.1.2. Ventajas de los sistemas analógicos sobre los digitales. 1.1.3. Sistema numérico binario 1.1.3.1. Signo en números binarios 1.1.3.1.1. Complemento a 1 1.1.3.1.2. Complemento a 2 1.1.3.2. Aritmética binaria 1.1.3.2.1. Suma binaria 1.1.3.2.2. Resta binaria 1.1.3.2.3. Multiplicación binaria 1.1.3.2.4. División binaria 1.1.4. Operadores Lógicos: NOT, AND, OR, NAND, NOR, EXOR, EXNOR 1.1.5. Universalidad de las compuertas NAND y NOR. 1.2. Familias lógicas 1.2.1. Transistores MOSFET 1.2.1.1. Operación transistores MOSFET 1.2.1.2. Compuerta NOT con CMOS 1.2.1.3. Compuerta NAND con CMOS 1.2.1.4. Compuerta NOR con CMOS 1.2.2. Familia lógica 7400	Sesión explicativa de: - Conceptos teóricos. Resolución de ejercicios aplicando los conceptos aprendidos.	Tutorías grupales: - Conversión de sistemas numéricos.	Convertir números entre diversos sistemas numéricos.	Elaboración de tarea: - Desarrollar ejercicios del texto guía. Lectura de contenidos de siguiente sesión explicativa (utilizar el texto guía).	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		- Capacidad de diferenciar entre sistemas numéricos. - Aplicación del sistema binario a los sistemas digitales.				

SEMANA 2: DEL 22 AL 26 DE ABRIL DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
5 HORAS	2.1. Análisis Lógico Combinacional 2.1.1. Expresiones lógicas a partir de diagramas lógicos. 2.1.2. Tablas de verdad a partir de diagramas lógicos. 2.1.3. Análisis temporal de circuitos lógicos combinacionales. 2.2. Síntesis de la lógica combinacional. 2.2.1. Suma de productos canónica 2.2.2. Minitérminos (Sigma) 2.2.3. Producto de sumas canónica 2.2.4. Maxitérminos (Pi) 2.2.5. Equivalencia entre minitérminos y maxitérminos.	Sesión explicativa de: - Operaciones aritméticas con números binarios. - Suma y resta en código binario.	Tutorías grupales: - Simuladores de circuitos digitales. - Uso y manejo de protoboard. - Simulación de sumador y restador en BCD.	Simulación de sumadores en BCD utilizando simuladores digitales.	Elaboración de preparatorio de práctica de laboratorio número 1. Elaboración de tarea: - Desarrollar ejercicios del texto guía.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Comprender las operaciones básicas con números binarios y código BCD.				

SEMANA 3: DEL 29 DE ABRIL AL 3 DE MAYO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
5	2.3. Minimización lógica 2.3.1. Minimización algebraica 2.3.2. Minimización utilizando mapas de Karnaugh 2.3.2.1. Construcción de mapas de Karnaugh 2.3.2.2. Minimización de suma de productos utilizando mapas de Karnaugh 2.3.2.3. Minimización de producto de sumas utilizando mapas de Karnaugh 2.3.2.4. Condiciones no importa 2.3.3. Minimización utilizando el método de Quine-McCluskey.	Sesión explicativa de: - Operación básica de los transistores MOSFETs como interruptores. - Descripción de compuertas lógicas utilizando transistores CMOS y PMOS.	Tutorías grupales/individuales: Descripción de circuitos formados por transistores CMOS y PMOS. Comprobación de tablas de verdad de compuertas lógicas. - Describir compuertas lógicas utilizando transistores MOSFET.	Desarrollo de práctica de laboratorio número 1. Desarrollo de ejercicios: Compuertas lógicas de más de dos entradas utilizando transistores CMOS.	Elaboración de reporte de práctica de laboratorio número 1. Elaboración de tarea: - Desarrollar ejercicios del texto guía.	Aula de clases. Laboratorio de Electrónica.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de compuertas lógicas básicas utilizando transistores MOSFETs.				

SEMANA 4: DEL 6 AL 10 DE MAYO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
5 HORAS	2.4. Diseño de circuitos combinacionales 2.4.1. Paso de descripciones verbales a descripciones formales 2.4.2. Circuitos combinatorios básicos 2.4.2.1. Multiplexor 2.4.2.2. Demultiplexor	Sesión explicativa de: - Álgebra booleana - Simplificación de expresiones booleanas a través de álgebra booleana.	Tutorías grupales/individuales: Álgebra booleana y simplificación de expresiones booleanas.	Simulación de expresiones booleanas y comprobación de tablas de verdad a través de simuladores de circuitos digitales.	Elaboración de tarea: - Desarrollar ejercicios del texto guía.	Aula de clases.

	2.4.2.3. Decodificador			IMPLEMENTAR CIRCUITOS EN SIMULADORES: - Expresiones booleanas.		
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de expresiones booleanas a través de circuitos digitales.				

SEMANA 5: DEL 13 AL 17 DE MAYO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	2.4.3. Sumadores y Restadores 2.4.3.1. Half adder 2.4.3.2. Full adder 2.4.3.3. Ripple-Carry adder 2.4.3.4. Carry-Select adder	Sesión explicativa de: - Miniterminos y maxiterminos. - Tablas de verdad. - POS y SOP.	Tutorías grupales/individuales: Simplificación de expresiones booleanas utilizando miniterminos y maxiterminos.	RESOLUCIÓN DE EJERCICIOS: - Obtener miniterminos y maxiterminos de expresiones booleanas.	Elaboración de tarea: Desarrollar ejercicios del texto guía.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de lógica combinacional a través de miniterminos y maxiterminos.				

SEMANA 6: DEL 20 AL 24 DE MAYO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	2.4.3.5. Carry look-Ahead adder 2.4.3.6. Sumador mixto 2.4.3.7. Sumador/restador 2.4.3.8. Sumador BCD	Sesión explicativa de: - Mapas de Karnaugh - Condiciones no importa - Universalidad de las compuertas NAND y NOR.	Tutorías grupales/individuales: - Simplificación de mapas de Karnaugh de 2, 3, 4, 5 y 6 variables. - Representación de expresiones booleanas utilizando únicamente compuertas NAND y NOR.	RESOLUCIÓN DE EJERCICIOS: - Mapas de Karnaugh de dos, tres, cuatro, cinco y seis variables. - Obtener miniterminos y maxiterminos de expresiones booleanas. - Circuitos lógicos a través de compuertas NAND y NOR.	Desarrollo de preparatorio de práctica de Laboratorio número 2.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Aplicación de universalidad de compuertas NAND y NOR en circuitos digitales.				

SEMANA 7: DEL 27 AL 31 DE MAYO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			

	2.4.4. Complementos 2.4.4.1. Complemento a uno 2.4.4.2. Complemento a dos 2.4.5. Comparadores 2.4.5.1. Comparador de igualdad 2.4.5.2. Comparador genérico 2.4.6. Multiplicadores 2.4.6.1. Multiplicador 2.4.6.2. Divisor 2.4.7. Unidad Aritmético Lógica	Sesión explicativa de: - Half adder - Full adder - Ripple Carry adder - Descripción de sumadores utilizando VHDL.	- Diseñar un sumador ripple Carry de n-bits utilizando full adders. - Describir circuitos sumadores utilizando VHDL.	IMPLEMENTAR CIRCUITOS EN SIMULADORES: - Sumadores: Half Adder, Full Adder, Ripple Carry Adder. DESCRIBIR CIRCUITOS COMBINACIONALES UTILIZANDO VHDL: - Sumadores	Desarrollo de práctica de Laboratorio número 2. Desarrollo de preparatorio de práctica de Laboratorio número 3.	Aula de clases. Laboratorio de Electrónica.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos sumadores utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 8: DEL 3 AL 7 DE JUNIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	2.5. Diseño lógico combinacional utilizando VHDL 2.5.1. Flujo de diseño digital moderno 2.5.2. VHDL Constructs 2.5.1.5. Tipos de datos 2.5.1.5.1. Enumerated Types 2.5.1.5.2. Range Types 2.5.1.5.3. Physical Types 2.5.1.5.4. Vector Types 2.5.1.5.5. User-Defined Enumerated Types 2.5.1.5.6. Array Types 2.5.1.5.7. Subtypes 2.5.1.6. Librerías y paquetes 2.5.1.7. La Entidad 2.5.1.8. La Arquitectura 2.5.1.8.1. Declaración de señales 2.5.1.8.2. Declaración de constantes 2.5.1.8.3. Declaración de componentes	Sesión explicativa de: - Carry Look Ahead. - Carry Select adder. - Sumador de N bits. - Descripción de sumadores utilizando VHDL.	- Comparar la velocidad de sumadores a través de módulos de test en VHDL. - Describir multiplicadores de n bits utilizando VHDL.	IMPLEMENTAR CIRCUITOS EN SIMULADORES: Sumadores: Carry Look Ahead, Carry Select adder. DESCRIBIR CIRCUITOS COMBINACIONALES UTILIZANDO VHDL: - Sumadores	Elaboración de reporte de práctica de Laboratorio número 2. Desarrollo de práctica de Laboratorio número 3.	Aula de clases. Laboratorio de Electrónica.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos sumadores utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 9: DEL 10 AL 14 DE JUNIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	2.5.3. Modelamiento concurrente en VHDL 2.5.3.1. Operadores VHDL 2.5.3.1.1. Operador de asignación 2.5.3.1.2. Operadores lógicos 2.5.3.1.3. Operadores numéricos 2.5.3.1.4. Operadores Relacionales 2.5.3.1.5. Operadores de Desplazamiento 2.5.3.1.6. Operadores de desplazamiento	Sesión explicativa de: - Multiplicadores - Multiplexores - Comparadores - Codificadores/decodificadores	- Describir multiplicadores de n bits utilizando VHDL.	IMPLEMENTAR CIRCUITOS EN SIMULADORES: Sumadores, Multiplicadores, Multiplexores, Demultiplexores, Comparadores, Codificadores y Decodificadores.	Elaboración de reporte de práctica de Laboratorio número 3.	Aula de clases.

	2.5.3.2. Asignación de señales concurrentes 2.5.3.3. Asignación de señales concurrentes con operadores lógicos 2.5.3.4. Sentencia <i>when – else</i> 2.5.3.5. Sentencia <i>with – select</i> 2.5.3.6. Sentencia <i>delay</i> 2.5.4. Diseño Estructural 2.5.4.1. Instanciación de componentes 2.5.4.1.1. Mapeo de puertos explícito 2.5.4.1.2. Mapeo de puertos posicional 2.5.5. Simulación a través de test bench	- Descripción de circuitos combinacionales utilizando VHDL.		DESCRIBIR CIRCUITOS COMBINACIONALES UTILIZANDO VHDL: - Sumadores, Multiplicadores, Multiplexores, Demultiplexores, Comparadores, Codificadores y Decodificadores.		
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos combinacionales utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 10: DEL 17 AL 21 DE JUNIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
5	3.1. LATCHES 3.1.1. Latch S 3.1.2. Latch R 3.1.3. Latch S – R 3.2. FLIP FLOPS 3.2.1. Señales de reloj 3.2.2. Temporizador 555 como aestado 3.2.3. Flip flop S – R 3.2.4. Flip flop J – K 3.2.5. Flip flop D 3.2.6. Flip flop T	Sesión explicativa de: - Latches - Temporizador 555 en modo Aestado.	Tutorías grupales/individuales: - Latches - Temporizador 555.	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: - Latches	Desarrollo de preparatorio de práctica de Laboratorio número 4.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 11: DEL 24 AL 28 DE JUNIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	3.3. Circuitos secuenciales básicos 3.3.1. Divisor de frecuencia 3.3.2. Contador Ripple 3.3.3. Registros de desplazamiento 3.3.3.1. Registro SISO 3.3.3.2. Registro SIPO 3.3.3.3. Registro PISO 3.3.3.4. Registro PIPO 3.3.3.5. Registro Universal	Sesión explicativa de: - Flip flops - Descripción de flip flops utilizando VHDL.	Tutorías grupales/individuales: - Flip flops	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: - Flip flops	Desarrollo de práctica de Laboratorio número 4. Desarrollo de preparatorio de práctica de Laboratorio número 5.	Aula de clases. Laboratorio de Electrónica.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 12: DEL 1 AL 5 DE JULIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	3.4. Máquinas de estado finitas (FSM) 3.4.1. Descripción de funcionalidad de una FSM 3.4.1.1. Diagrama de estados 3.4.1.2. Tabla de transición de estados 3.4.2. Síntesis lógica para una FSM 3.4.2.1. Memoria de estados 3.4.2.2. Determinación del siguiente estado 3.4.2.3. Determinación de las salidas 3.4.2.4. Diagrama lógico final 3.4.2.5. Ejemplos de diseño de FSM	Sesión explicativa de: - Registros SISO, SIPO, PISO, PIPO y universal. - Descripción de registros utilizando VHDL.	- Diseñar registros utilizando flip flops tipo D. - Describir registros utilizando VHDL.	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: - Registros	Elaboración de reporte de práctica de Laboratorio número 4. Desarrollo de práctica de Laboratorio número 5.	Aula de clases. Laboratorio de Electrónica.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 13: DEL 8 AL 12 DE JULIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	3.5. Contadores 3.5.1. Contadores ascendentes 3.5.2. Contadores descendentes 3.5.3. Contadores ascendentes/descendentes	Sesión explicativa de: - Contadores ascendentes/descendentes - Descripción de contadores utilizando VHDL.	- Diseñar contadores a través de registros.	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: - Contadores	Desarrollo de preparatorio de práctica de Laboratorio número 6. Elaboración de reporte de práctica de Laboratorio número 5.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES		Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.				

SEMANA 14: DEL 15 AL 19 DE JULIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	3.6. Diseño lógico secuencial utilizando VHDL 3.6.1. Procesos 3.6.1.1. Lista de sensibilidad 3.6.1.2. Sentencia wait 3.6.1.3. Asignación de señales secuenciales 3.6.1.4. Variables	Sesión explicativa de: - Máquinas de estado finitas (FSM) - Descripción de máquinas de estado utilizando VHDL.	- Diseñar máquinas de estado utilizando flip flops y VHDL.	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: - Máquinas de estado	Desarrollo de práctica de Laboratorio número 6.	Aula de clases.

ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES	Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.
--	--

SEMANA 15: DEL 22 AL 26 DE JULIO DEL 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	3.6.2. Sentencias de programación condicionales 3.6.2.1. Sentencia <i>if/then</i> 3.6.2.2. Sentencia <i>case</i> 3.6.2.3. Sentencia <i>loop</i> 3.6.2.4. Sentencia <i>while</i> 3.6.2.5. Sentencia <i>for</i>	Sesión explicativa de: - Contadores con máquinas de estado. - Descripción de máquinas de estado utilizando VHDL.	Tutorías grupales/individuales: - Contadores con máquinas de estado.	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: Máquinas de estado	Elaboración de reporte de práctica de Laboratorio número 6.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES	Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.					

SEMANA 16: DEL 29 DE JULIO AL 2 DE AGOSTO DE 2019

DURACIÓN DE CADA SESIÓN	CONTENIDOS	COMPONENTE DE DOCENCIA		ACTIVIDADES PRÁCTICAS DE APLICACIÓN Y EXPERIMENTACIÓN DE LOS APRENDIZAJES	ACTIVIDADES DE APRENDIZAJE AUTÓNOMO	ESCENARIO DE APRENDIZAJE
		ACTIVIDADES DE APRENDIZAJE ASISTIDO POR EL PROFESOR	ACTIVIDADES DE APRENDIZAJE COLABORATIVO			
	3.6.3. Atributos de señales 3.6.4. Test bench 3.6.5. Paquetes	Sesión explicativa de: - Transformada wavelet 2D. - Descripción de sumadores utilizando VHDL.	Tutorías grupales/individuales: - Transformada wavelet 2D.	DESCRIBIR CIRCUITOS SECUENCIALES UTILIZANDO VHDL: Transformada wavelet 2D.	Descripción de filtros de imágenes.	Aula de clases.
ACCIONES DEL COLECTIVO ACADÉMICO EN FUNCIÓN DEL PROYECTO DE INTEGRACIÓN DE SABERES	Descripción de circuitos secuenciales utilizando lenguaje de descripción de hardware VHDL.					

6. CRITERIOS DE EVALUACIÓN DE LA ASIGNATURA

COMPONENTE A SER EVALUADO	PRIMERA EVALUACIÓN		SEGUNDA EVALUACIÓN		TERCERA EVALUACIÓN	
	INSTRUMENTOS DE EVALUACIÓN	PONDERACIÓN (%-PUNTOS)	INSTRUMENTOS DE EVALUACIÓN	PONDERACIÓN (%-PUNTOS)	INSTRUMENTOS DE EVALUACIÓN	PONDERACIÓN (%-PUNTOS)
APRENDIZAJE ASISTIDO POR EL PROFESOR	EXÁMENES/LECCIONES (Orales/escritas; teóricos/prácticos)	70% - 7	EXÁMENES/LECCIONES (Orales/escritas; teóricos/prácticos)	70% - 7	EXÁMENES/LECCIONES (Orales/escritas; teóricos/prácticos)	70% - 7
APRENDIZAJE COLABORATIVO	INFORMES	5% - 0.5	INFORMES	5% - 0.5	INFORMES	5% - 0.5

	(De avance de proyecto integrador/tutorías)		(De avance de proyecto integrador/tutorías)		(De avance de proyecto integrador/tutorías)	
APRENDIZAJE PRÁCTICO DE APLICACIÓN Y EXPERIMENTACIÓN	INFORMES DE PRÁCTICAS/OBSERVACIONES (Individuales y/o grupales)	5% - 0.5	INFORMES DE PRÁCTICAS/OBSERVACIONES (Individuales y/o grupales)	5% - 0.5	INFORMES DE PRÁCTICAS/OBSERVACIONES (Individuales y/o grupales)	5% - 0.5
APRENDIZAJE AUTÓNOMO	TRABAJOS AUTÓNOMOS (Individuales y/o grupales)	20% - 2	TRABAJOS AUTÓNOMOS (Individuales y/o grupales)	20% - 2	TRABAJOS AUTÓNOMOS (Individuales y/o grupales)	20% - 2
TOTAL		100% - 10		100% - 10		100% - 10

7. BIBLIOGRAFÍA

7.1. BÁSICA

7.1.1. Física:

AUTOR	TÍTULO DEL LIBRO	CIUDAD, PAÍS DE PUBLICACIÓN	EDICIÓN	AÑO DE PUBLICACIÓN	EDITORIAL	ISBN
Floyd, Thomas L.	Digital Fundamentals	United States of America	11va	2015	Pearson Education	ISBN 13: 978-1-292-07598-3
Neal S. Widmer Gregory L. Moss Ronald J. Tocci	Digital Systems Principles and Applications	New Jersey	12va	2016	Pearson Education	ISBN 13: 978-0-13-422013-0

7.1.2. Virtual:

AUTOR	TÍTULO DEL LIBRO	DIRECCIÓN ELECTRÓNICA	AÑO DE PUBLICACIÓN	EDITORIAL	ISBN
Garza, Juan Ángel	Electrónica digital, Sistemas digitales	http://jagarza.fime.uanl.mx/	2017		

7.2. COMPLEMENTARIA

7.2.1. Física:

AUTOR	TÍTULO DEL LIBRO	CIUDAD, PAÍS DE PUBLICACIÓN	EDICIÓN	AÑO DE PUBLICACIÓN	EDITORIAL	ISBN
David Money Harris Sarah L. Harris	Digital Design and Computer Architecture	United States of America	2da	2013	Elsevier	ISBN: 978-0-12-394424-5
Steven T. Karris	Digital Circuit Analysis and Design	United States of	2da	2002	Orchard Publications	ISBN: 978-1-93-44-04-05-

		America				8
--	--	---------	--	--	--	---

7.2.2. Virtual:

AUTOR	TÍTULO DEL LIBRO	DIRECCIÓN ELECTRÓNICA	AÑO DE PUBLICACIÓN	EDITORIAL	ISBN
Charles W. Kann	Digital Circuits Projects	https://openlibra.com/es/book/digital-circuit-projects-an-overview	2014	Creative Commons License	Open Access

7.2.3. Recursos en internet:

AUTOR	TÍTULO	CIUDAD, PAÍS DE PUBLICACIÓN	FECHA DE PUBLICACIÓN	DIRECCIÓN ELECTRÓNICA	ISBN/ISSN
Ing. Arturo Miguel de Priego Paz Soldán	Simulador de construcción de circuitos digitales en escenarios virtuales y tutoriales interactivos.	Chincha – Peru	2015	http://www.tourdigital.net/inicio/?q=node/15	S/N

8. PERFIL DEL PROFESOR O PROFESORA DE LA ASIGNATURA

8.1. TÍTULO (S) DE TERCER NIVEL, REGISTRADO EN LA SENESCYT

INGENIERO EN ELECTRÓNICA Y TELECOMUNICACIONES

8.2. TÍTULO (S) DE CUARTO NIVEL, REGISTRADO EN LA SENESCYT

MÁSTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIONES

8.3. HABILIDADES QUE POSEE

MOTIVADOR DEL APRENDIZAJE, MANEJO DE LA COMUNICACIÓN, FLEXIBILIDAD, LIDERAZGO, DISPOSICIÓN PARA MANTENER FORMACIÓN CONTINUA.

8.4. ACTITUDES

TOLERANCIA, SOLIDARIDAD, RESPONSABILIDAD, RESPETO, PUNTUALIDAD, HONESTIDAD.

9. RELACIÓN DE LOS CONTENIDOS CON LOS RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA

CONTENIDOS DE LA ASIGNATURA	CONTRIBUCIÓN	RESULTADOS DE APRENDIZAJE
1. SISTEMAS NUMÉRICOS	Alta	Diseña modelos VHDL para circuitos lógicos combinacionales utilizando técnicas de modelamiento concurrente.
2. LÓGICA COMBINACIONAL	Alta	Diseña modelos VHDL para circuitos lógicos secuenciales utilizando elementos de memoria y técnicas de modelamiento secuencial.
3. LÓGICA SECUENCIAL	Alta	Combina técnicas y estrategias de modelamiento combinacional y secuencial para crear circuitos más complejos.

10. RELACIÓN DE LOS RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA CON LOS RESULTADOS DE APRENDIZAJE DEL PERFIL DE EGRESO

RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA	CONTRIBUCIÓN	PERFIL DE EGRESO DE LA CARRERA
Diseña modelos VHDL para circuitos lógicos combinacionales utilizando técnicas de modelamiento concurrente.	Alta	Desarrolla soluciones computacionales basándose en los principios matemáticos, electrónicos, algorítmicos, de programación, considerando la tecnología y cambio social de su entorno con identidad, respeto, solidaridad y bio-conciencia.
Diseña modelos VHDL para circuitos lógicos secuenciales utilizando elementos de memoria y técnicas de modelamiento secuencial.	Alta	Analiza, diseña, implementa y evalúa sistemas computacionales y redes de comunicación fundamentados en los principios básicos de: los procesos y administración de software, de la programación web y móvil, sistemas inteligentes, redes y comunicación, seguridad de la información; con responsabilidad social y ética profesional.
Combina técnicas y estrategias de modelamiento combinacional y secuencial para crear circuitos más complejos.	Alta	Analiza, diseña, implementa y evalúa sistemas computacionales y redes de comunicación fundamentados en los principios básicos de: los procesos y administración de software, de la programación web y móvil, sistemas inteligentes, redes y comunicación, seguridad de la información; con responsabilidad social y ética profesional.

11. ELABORACIÓN Y APROBACIÓN

11.1. PROFESOR RESPONSABLE DE LA ELABORACIÓN DEL SÍLABO

APELLIDOS Y NOMBRES

FIRMAS

GASTÓN RENE CHAMBA ROMERO

11.2. FECHA DE ELABORACIÓN: 15 DE ABRIL DE 2019

11.3. PROFESOR RESPONSABLE DE LA ACTUALIZACIÓN DEL SÍLABO

APELLIDOS Y NOMBRES

FIRMAS

GASTÓN RENE CHAMBA ROMERO

11.4. FECHA DE ACTUALIZACIÓN: 15 ABRIL DE 2019

11.5. FECHA DE APROBACIÓN:

11.6. FIRMAS DE APROBACIÓN:

f) -----

ING. HERNÁN LEONARDO TORRES CARRIÓN
GESTOR COMPUTACIÓN