



UNIVERSIDAD NACIONAL DE LOJA

FACULTAD: ENERGÍA, LAS INDUSTRIAS Y LOS RECURSOS NATURALES NO RENOVABLES

CARRERA: INGENIERÍA EN SISTEMAS

MÓDULO: SEXTO

PERÍODO ACADÉMICO: ABRIL – SEPTIEMBRE 2019

SÍLABO: DISEÑO DIGITAL

RESPONSABLE: ING. ANGEL FREDDY GANAZHAPA MALLA.

CORREO ELECTRÓNICO: ANGEL.F.GANAZHAPA@UNL.EDU.EC

DEPENDENCIA PARA TUTORÍA: SALA DE PROFESORES BLOQUE 7

Consejo Consultivo de la Carrera

2019

1. DATOS GENERALES DE LA ASIGNATURA

1.1	DENOMINACIÓN DE LA ASIGNATURA: DISEÑO DIGITAL
-----	---

1.2	CÓDIGO DE LA ASIGNATURA	1.2.1 INSTITUCIONAL: E2C6A1	1.2.2 UNESCO: 330799
-----	-------------------------	-----------------------------	----------------------

1.3	EJE DE FORMACIÓN	PRÁCTICAS Y LABORATORIOS
-----	------------------	--------------------------

1.4	TIPO DE ASIGNATURA	1.4.1 OBLIGATORIA:	X	1.4.2 COMPLEMENTARIA:		1.4.3 OPTATIVA:		1.4.4 OTRA	
-----	--------------------	--------------------	---	-----------------------	--	-----------------	--	------------	--

1.5	NÚMERO DE CRÉDITOS	1.5.1 TOTAL: 6	1.5.2 TEÓRICOS: 5	1.5.3. PRÁCTICOS: 1
-----	--------------------	----------------	-------------------	---------------------

1.6	NÚMERO DE HORAS DE LA ASIGNATURA	1.6.1 SEMANALES: 5	1.6.2 EN EL PERÍODO: 96
-----	----------------------------------	--------------------	-------------------------

1.7	PRERREQUISITOS	CÓDIGO		ASIGNATURA
		INSTITUCIONAL	UNESCO	
		E2C3A1	290099	ELECTRÓNICA DIGITAL

1.8	CORREQUISITOS:	CÓDIGO		ASIGNATURA
		INSTITUCIONAL	UNESCO	

2. DATOS ESPECÍFICOS DE LA ASIGNATURA

2.1. CONTRIBUCIÓN DE LA ASIGNATURA A LA FORMACIÓN PROFESIONAL (PERFIL DE EGRESO)

Capacidad para identificar, definir y analizar problemas de procesamiento de datos y generación de sistemas de información así como para interactuar interdisciplinariamente en la implementación de soluciones técnicas y económicamente ventajosas para resolver problemas relacionados a su campo profesional.

2.2. OBJETIVOS DE LA ASIGNATURA

1. Conocer las herramientas teóricas esenciales - matemáticas y lógicas - involucradas en el funcionamiento de circuitos electrónicos digitales combinacionales.
2. Identificar las características, parámetros y valores, de los principales circuitos digitales combinacionales integrados.
3. Diseñar y construir circuitos electrónicos digitales, utilizando software de simulación y componentes electrónicos.
4. Distinguir entre circuitos analógicos y circuitos digitales, entre circuitos combinacionales y circuitos secuenciales, entre familia lógica TTL y familia lógica CMOSL.
5. Valorar el potencial que tiene la electrónica digital – comparada con la electrónica analógica - en la solución de problemas de ingeniería electrónica.
6. Enfrentar, con actitud científica, el diseño de circuitos para resolver problemas reales.

2.3. RESULTADOS DE APRENDIZAJE (POR CADA UNIDAD)

1. Integra los conocimientos de Sistemas Digitales en la resolución de problemas de circuitos electrónica.
2. Integra los conocimientos de Manejo de mapas de Karnaught para la minimización y optimización de circuitos digitales.
3. Diseña circuitos lógicos combinacionales utilizando compuertas lógicas, analizando los resultados y formulando un informe detallado del proceso y resultados obtenidos, a través de medios digitales.
4. Diseña circuitos lógicos secuenciales utilizando registros, analizando los resultados y formulando un informe detallado del proceso y resultados obtenidos, a través de medios digitales.
5. Utiliza herramientas computacionales que aportan a la simulación de modelos y diseños de circuitos digitales para resolver problemas reales.
6. Utiliza los conocimientos de procesamiento digital para la conversión de señales analógicas a digitales

3. ESTRUCTURA DE LA ASIGNATURA

Unidad/tema	Nro. horas	Contenidos teóricos (Subtemas/contenidos)	Nro. horas	Actividades prácticas (Habilidades a desarrollar en la asignatura)	Nro. horas	Actividades de aprendizaje autónomo	Nro horas	Estrategias de evaluación
1. Conceptos introductorios	10	1.1. Revisión de contenidos conceptos 1.1.1. Lógica combinacional 1.1.2. Circuitos lógicos básicos con compuertas digitales. 1.1.3. Flip flops 1.1.4. Tablas de excitación de los flip flop 1.1.5. Diseño de contadores 1.1.6. Máquinas de estado.	4	Aplicación de lógica combinacional y lógica secuencial para el diseño de circuitos utilizando compuertas lógicas: Repaso general de Electrónica digital.	1	Desarrollo de ejercicios de forma autónoma utilizando mapas de Karnaught, tablas de verdad, expresiones booleanas, simulador Multisim.	5	Control de lectura al iniciar la clase. Control de aprendizaje al finalizar cada sesión explicativa.

2. Software de lógica programable aplicado a lógica combinacional	60	<p>2.1. Introducción al lenguaje VHDL</p> <p>2.2. Elementos básicos de VHDL</p> <p>2.2.1. Librerías</p> <p>2.2.2. Entity</p> <p>2.2.3. Architecture</p> <p>2.2.4. Test bench</p> <p>2.3. Compuertas lógicas utilizando VHDL</p> <p>2.4. Sumadores utilizando VHDL</p> <p>2.4.1. Half Adder</p> <p>2.4.1.1. Submodulos VHDL</p> <p>2.4.1.2. Uso de package</p> <p>2.4.2. Full Adder</p> <p>2.4.3. Ripple Carry Adder</p> <p>2.4.3.1. Diseño utilizando entradas tipo bit</p> <p>2.4.3.2. Diseño utilizando entradas tipo vector</p> <p>2.4.3.3. Ripple Carry de N bits.</p> <p>2.4.4. BCD Adder</p> <p>2.4.4.1. Multiplexores</p> <p>2.4.5. Carry look Ahead adder</p> <p>2.4.6. Carry select adder</p> <p>2.5. Suma de números con signo</p> <p>2.6. Sumador/Restador</p> <p>2.7. Multiplicadores utilizando VHDL</p> <p>2.8. Codificadores.</p> <p>2.9. Decodificadores</p>	18	<p>Instalación de herramientas CAD para la descripción y simulación de hardware:</p> <ul style="list-style-type: none"> - ModelSim - ISE Design Suite 14.7 <p>Descripción de Sumadores, multiplicadores, codificadores y decodificadores a través de herramientas CAD.</p> <p>Descripción de módulos para simulación: test bench.</p> <p>Visualización de formas de onda de respuesta de circuitos digitales.</p> <p>Visualización de diagrama esquemático a través de herramientas CAD.</p>	12	<p>Tarea 1: Descripción de compuertas lógicas utilizando transistores MOSFET.</p> <p>Tarea 2: Diseño de Ripple Carry utilizando vectores.</p> <p>Tarea 3: Diseño de multiplicador de 8 bits.</p> <p>Tarea 4: Diseño de sumador/restador</p> <p>Trabajo de fin de unidad: Comparación de velocidad de desempeño de sumadores utilizando herramientas CAD.</p>	30	<p>Prueba teórica y práctica de fin de unidad: La parte teórica consiste de preguntas sobre diseño y descripción de circuitos utilizando VHDL. Para la parte práctica se solicitará diseñar un circuito utilizando herramientas CAD.</p> <p>Trabajo de fin de unidad: Se evaluará el informe del mismo poniendo especial atención en el desarrollo del artículo y defensa del mismo.</p> <p>Se evaluará destrezas en cada una de las tareas solicitadas.</p>
3. Software de lógica programable aplicado a lógica secuencial.	80	<p>3.1. Elementos de memoria utilizando VHDL</p> <p>3.1.1. Latch D</p> <p>3.1.2. Flip flop D</p> <p>3.1.3. Flip flop S – R</p> <p>3.1.4. Flip flop J – K</p> <p>3.1.5. Flip flops con entradas de habilitación</p> <p>3.2. Registros utilizando VHDL</p> <p>3.2.1. Registro SISO</p> <p>3.2.2. Registro PIPO</p> <p>3.2.3. Registro SIPO</p> <p>3.2.4. Registro PISO</p> <p>3.2.5. Registro Universal</p> <p>3.2.6. Registros con entradas de habilitación</p> <p>3.3. Contadores</p> <p>3.3.1. Contador ascendente</p> <p>3.3.2. Contador descendente</p>	24	<p>Descripción de flip flops, registros, contadores y máquinas de estado a través de herramientas CAD.</p> <p>Descripción de módulos para simulación: test bench.</p> <p>Visualización de formas de onda de respuesta de circuitos digitales.</p> <p>Visualización de diagrama esquemático a través de herramientas CAD.</p>	16	<p>Tarea 1: Diseño de un bloque secuencial que permita contenga los flip flops básicos.</p> <p>Tarea 2: Diseño de un registro de N bits.</p> <p>Tarea 3: Diseño de un registro universal.</p>	40	<p>Prueba teórica y práctica de fin de unidad: La parte teórica consiste de preguntas sobre diseño y descripción de circuitos utilizando VHDL. Para la parte práctica se solicitará diseñar un circuito utilizando</p>

		3.3.3. Contador ascendente/descendente 3.3.4. Contador BCD 3.4. Ejemplos de diseño 3.4.1. Implementación de buses de datos 3.4.2. Memorias de acceso aleatorio estáticas (SRAM) 3.4.3. Bloques de RAM (BRAM) 3.5. Máquinas de estado 3.5.1. Funcionalidad de las máquinas de estado 3.5.2. Síntesis lógica para un FSM 3.5.3. Máquina de Mealy 3.5.4. Máquina de Moore 3.5.5. Ejemplos de diseño de FSM 3.5.6. Contadores con máquinas de estado				Tarea 4: Diseño de máquinas de estado. Trabajo de fin de unidad: El trabajo de la presente unidad será propuesto por cada estudiante.		herramientas CAD. Trabajo de fin de unidad: Se evaluará el informe del mismo poniendo especial atención en el desarrollo del artículo y defensa del mismo. Se evaluará destrezas en cada una de las tareas solicitadas durante el desarrollo de la unidad.
4. Introducción al procesamiento digital de imágenes.	42	4.1. Transformada wavelet discreta 2D (2D-DWT) 4.1.1. Lifting 4.1.2. Filtrado 4.2. Arquitectura de hardware para convolución de imágenes. 4.2.1. Convolución en el procesamiento digital de imágenes. 4.2.2. Implementación de hardware para convolución. 4.3. Arquitectura de hardware para el filtro de Canny 4.3.1. Canny Edge Detection 4.3.2. Implementación de hardware del Canny Edge Detection 4.4. Single instruction multiple data (SIMD) 4.5. Suma de diferencias absolutas (SAD)	15	Descripción de filtros de imágenes utilizando herramientas CAD. Procesamiento digital de imágenes utilizando MATLAB.	6	Trabajo de fin de unidad: Diseño de un filtro digital con kernel 5x5, capaz de operar sobre una porción de imagen de 5x16 con píxeles a 8 bits. Se deberá realizar la comprobación a través de Matlab.	21	La presente unidad será evaluada considerando los parámetros solicitados en el trabajo de fin de unidad.
Total de horas	192		61		35		96	

ACTITUDES Y VALORES A DESARROLLAR EN LA ASIGNATURA

Honestidad, Respeto, Creatividad e innovación, Transparencia, Solidaridad

ESTRATEGIAS METODOLÓGICAS

Trabajo de grupos, conferencia dialogada, lectura dirigida, clase magistral, síntesis de contenidos, diálogos interactivos, consultas bibliográficas, lectura comprensiva, discusiones/debates, exposiciones, exposiciones demostrativas, socialización, proyección de videos.

RECURSOS/MATERIALES DIDÁCTICOS

Pizarra, Computadores, Proyector, instrumentos del laboratorio de electrónica

TIPO DE APRENDIZAJE					
COLABORATIVO	X	PRÁCTICO DE APLICACIÓN Y EXPERIMENTACIÓN	X	AUTÓNOMO	X

5. HORARIO DE CLASE

Día	Lunes	Martes	Miércoles	Jueves	Viernes
07H30-08H30		Sexto Ciclo "A"			
08H30 – 09H30		Sexto Ciclo "A"			
09H30 – 10H30		Sexto Ciclo "A"			
10H30 – 11H30			Sexto Ciclo "B"	Sexto Ciclo "B"	Sexto Ciclo "A"
11H30 – 12H30			Sexto Ciclo "B"	Sexto Ciclo "B"	Sexto Ciclo "A"
12H30 – 13H30			Sexto Ciclo "B"		

6. DESARROLLO DE LA ASIGNATURA

SEMANA 1: DEL 15 AL 19 DE ABRIL DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	1.1. Revisión de contenidos conceptos 1.1.1. Lógica combinacional 1.1.2. Circuitos lógicos básicos con compuertas digitales. 1.1.3. Flip flops 1.1.4. Tablas de excitación de los flip flop 1.1.5. Diseño de contadores 1.1.6. Máquinas de estado.	Aplicación de lógica combinacional y lógica secuencial para el diseño de circuitos utilizando compuertas lógicas: Repaso general de Electrónica digital.	Lectura de contenidos: Uso del protoboard y uso del multímetro	Aula de clases

SEMANA 2: DEL 22 AL 26 DE ABRIL DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	2.1. Introducción al lenguaje VHDL 2.2. Elementos básicos de VHDL 2.2.1. Librerías 2.2.2. Entity 2.2.3. Architecture 2.2.4. Test bench 2.3. Compuertas lógicas utilizando VHDL	Descripción de compuertas lógicas a través de transistores MOSFET: Compuertas lógicas básicas AND, OR, NOT, NAND, NOR. Instalación de herramientas CAD: ISE Design Suite 14.7 y ModelSim. Práctica guiada de descripción de módulos vhdl: compuertas lógicas básicas.	Creación de módulos VHDL: descripción de compuertas lógicas, elaboración de test bench. Modificación de la simulación, utilizando el módulo de test bench.	Aula de clases

SEMANA 3: DEL 29 DE ABRIL AL 03 DE MAYO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	2.4. Sumadores utilizando VHDL 2.4.1. Half Adder 2.4.1.1. Submodulos VHDL 2.4.1.2. Uso de package 2.4.2. Full Adder	Práctica guiada de descripción de módulos vhdl: sumador Full adder utilizando Submodulos y paquetes.	Simulación de sumadores utilizando ModelSim.	Aula de clases

SEMANA 4: DEL 06 AL 10 DE MAYO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	2.4.3. Ripple Carry Adder 2.4.3.1. Diseño utilizando entradas tipo bit 2.4.3.2. Diseño utilizando entradas tipo vector 2.4.3.3. Ripple Carry de N bits.	Práctica guiada de descripción de módulos vhdl: sumador ripple Carry de N bits.	Simulación de sumador ripple Carry de N bits utilizando vectores: - (N-1 downto 0) - (0 to N-1)	Aula de clases

SEMANA 5: DEL 13 AL 17 DE MAYO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	2.4.4. BCD Adder 2.4.4.1. Multiplexores 2.4.5. Carry look Ahead adder 2.4.6. Carry select adder	Creación de módulos VHDL para el sumador BCD, creación de test bench y diagrama esquemático de las estructuras.	Inicio de trabajo de fin de unidad: Comparación de velocidad de sumadores utilizando módulos VHDL y test bench. El trabajo consiste en la elaboración de un informe que debe incluir la descripción de cada módulo VHDL y su respectiva simulación.	Aula de clases

SEMANA 6: DEL 20 AL 24 DE MAYO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	2.5. Suma de números con signo 2.6. Sumador/Restador	Creación de módulos VHDL para el sumador/restador, creación de test bench y diagrama esquemático de las estructuras.	Trabajo de fin de unidad: Comparación de velocidad de sumadores utilizando módulos VHDL y test bench. El trabajo consiste en la elaboración de un informe que debe incluir la descripción de cada módulo VHDL y su respectiva simulación.	Aula de clases

SEMANA 7: DEL 27 AL 31 DE MAYO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	2.7. Multiplicadores utilizando VHDL 2.8. Codificadores. 2.9. Decodificadores Examen de fin de unidad: El examen consiste de un parte teórica y una parte práctica.	Práctica guiada: Creación de módulos VHDL para multiplicadores y decodificadores utilizando arrays de datos; creación de test bench y diagrama esquemático de las estructuras. Diseño de multiplicadores de N bits. Asignación de constantes.	Diseño de circuitos a través de ISE Design Suite 14.7: Multiplicador de N bits. Finalización de trabajo de fin de unidad: Comparación de velocidad de sumadores utilizando módulos VHDL y test bench. El trabajo consiste en la elaboración de un informe que debe incluir la descripción de cada módulo VHDL y su respectiva simulación.	Aula de clases

		Simulación utilizando ISE Design Suite 14.7.		
--	--	---	--	--

SEMANA 8: DEL 03 AL 07 DE JUNIO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	3.1. Elementos de memoria utilizando VHDL 3.1.1. Latch D 3.1.2. Flip flop D 3.1.3. Flip flop S – R 3.1.4. Flip flop J – K 3.1.5. Flip flops con entradas de habilitación	Práctica guiada: Diseño de lógica secuencial utilizando VHDL, Latches y flip flops. Simulación utilizando ISE Design Suite 14.7.	Diseño de circuitos a través de ISE Design Suite 14.7: Simulación de señales de reloj con flancos de subida y flancos de bajada.	Aula de clases

SEMANA 9: DEL 10 AL 14 DE JUNIO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	3.2. Registros utilizando VHDL 3.2.1. Registro SISO 3.2.2. Registro PIPO 3.2.3. Registro SIPO	Práctica guiada: Diseño de lógica secuencial utilizando VHDL, Registros. Simulación utilizando ISE Design Suite 14.7.	Diseño de circuitos a través de ISE Design Suite 14.7: Registros de N bits.	Aula de clases

SEMANA 10: DEL 17 AL 21 DE JUNIO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	3.2.4. Registro PISO 3.2.5. Registro Universal 3.2.6. Registros con entradas de habilitación	Práctica guiada: Diseño de lógica secuencial utilizando VHDL, Registro universal. Simulación utilizando ISE Design Suite 14.7.	Diseño de circuitos a través de ISE Design Suite 14.7: Registro con entradas de habilitación.	Aula de clases

SEMANA 11: DEL 24 AL 28 DE JUNIO DEL 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje

5	3.3. Contadores 3.3.1. Contador ascendente 3.3.2. Contador descendente 3.3.3. Contador ascendente/descendente 3.3.4. Contador BCD	Práctica guiada: Diseño de lógica secuencial utilizando VHDL, contadores ascendentes y descendentes. Simulación utilizando ISE Design Suite 14.7.	Simulación de circuitos secuenciales: Contadores ascendentes/descendentes a través de ISE Design Suite 14.7. Trabajo de fin de unidad: Los estudiantes deberán realizar una propuesta de acuerdo con los conocimientos adquiridos.	Aula de clases
---	---	--	---	----------------

SEMANA 12: DEL 1 AL 5 DE JULIO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	3.4. Ejemplos de diseño 3.4.1. Implementación de buses de datos 3.4.2. Memorias de acceso aleatorio estáticas (SRAM) 3.4.3. Bloques de RAM (BRAM)	Práctica guiada: Diseño de lógica secuencial utilizando VHDL, buses de datos, bloques de memoria. Simulación utilizando ISE Design Suite 14.7.	Simulación de circuitos secuenciales: Bloques de memoria a través de ISE Design Suite 14.7. Trabajo de fin de unidad: Los estudiantes deberán realizar una propuesta de acuerdo con los conocimientos adquiridos.	Aula de clases

SEMANA 13: DEL 8 AL 12 DE JULIO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	3.5. Máquinas de estado 3.5.1. Funcionalidad de las máquinas de estado 3.5.2. Síntesis lógica para un FSM 3.5.3. Máquina de Mealy 3.5.4. Máquina de Moore	Práctica guiada: Diseño de lógica secuencial utilizando VHDL, máquinas de estado Simulación utilizando ISE Design Suite 14.7.	Simulación de circuitos secuenciales: máquinas de estado de Mealy y Moore a través de ISE Design Suite 14.7. Trabajo de fin de unidad: Los estudiantes deberán realizar una propuesta de acuerdo con los conocimientos adquiridos.	Aula de clases

SEMANA 14: DEL 15 AL 19 DE JULIO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	3.5.5. Ejemplos de diseño de FSM	<p>Práctica guiada: Diseño de lógica secuencial utilizando VHDL, máquinas de estado</p> <p>Simulación utilizando ISE Design Suite 14.7.</p>	<p>Simulación de circuitos secuenciales: máquinas de estado de Mealy y Moore a través de ISE Design Suite 14.7.</p> <p>Trabajo de fin de unidad: Los estudiantes deberán realizar una propuesta de acuerdo con los conocimientos adquiridos.</p>	Aula de clases

SEMANA 15: DEL 22 AL 26 DE JULIO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	<p>3.5.6. Contadores con máquinas de estado</p> <p>Examen de fin de unidad: El examen consiste de una parte teórica y una parte práctica.</p>	<p>Evaluación práctica de contenidos, diseño y simulación de circuitos combinacionales y secuenciales a través de ISE Design Suite 14.7.</p>	<p>Evaluación práctica de contenidos, diseño y simulación de circuitos combinacionales y secuenciales a través de ISE Design Suite 14.7.</p> <p>Entrega de trabajo final.</p>	Aula de clases

SEMANA 16: DEL 29 DE JULIO AL 2 DE AGOSTO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	<p>4.1. Transformada wavelet discreta 2D (2D-DWT)</p> <p>4.1.1. Lifting</p> <p>4.1.2. Filtrado</p>	<ul style="list-style-type: none"> - Resolución de ejercicios de transformada wavelet a través de MATLAB. - Implementación de la transformada wavelet utilizando VHDL. - Práctica guiada: Diseño de filtros de imágenes utilizando herramientas CAD. 	<p>Filtrado de imágenes a través MATLAB.</p> <p>Diseño de filtros de imágenes utilizando la transformada wavelet.</p>	Aula de clases

SEMANA 17: DEL 05 AL 09 DE AGOSTO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	4.2. Arquitectura de hardware para convolución de imágenes. 4.2.1. Convolución en el procesamiento digital de imágenes. 4.2.2. Implementación de hardware para convolución.	- Resolución de ejercicios de convolución a través de MATLAB. - Implementación de la convolución utilizando VHDL. - Práctica guiada: Diseño de filtros de imágenes utilizando herramientas CAD.	Filtrado de imágenes a través MATLAB. - Diseño de filtros de imágenes utilizando la convolución.	Aula de clases

SEMANA 18: DEL 12 AL 16 DE AGOSTO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	4.3. Arquitectura de hardware para el filtro de Canny 4.3.1. Canny Edge Detection 4.3.2. Implementación de hardware del Canny Edge Detection	- Implementación de la transformada wavelet utilizando VHDL. - Práctica guiada: Diseño de filtros de imágenes utilizando herramientas CAD.	Filtrado de Canny a través MATLAB. Diseño de filtro de Canny.	Aula de clases

SEMANA 19: DEL 19 AL 23 DE AGOSTO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	4.4. Single instruction multiple data (SIMD)	- Implementación de la SIMD utilizando VHDL. - Práctica guiada: Diseño de SIMD utilizando herramientas CAD.	- Implementación de la SIMD utilizando VHDL.	Aula de clases

SEMANA 20: DEL 26 AL 30 DE AGOSTO DE 2019

Duración de cada sesión	Contenidos y actividades de estudio teórico	Actividades prácticas	Actividades de trabajo autónomo	Escenario de aprendizaje
5	4.5. Suma de diferencias absolutas (SAD)	Implementación de la SAD utilizando VHDL.	Implementación de la SAD utilizando VHDL.	Aula de clases

	Examen de fin de unidad: El examen consiste de un parte teórica y una parte práctica.			
--	---	--	--	--

7. CRITERIOS DE EVALUACIÓN DE LA ASIGNATURA

PARÁMETROS (INSTRUMENTOS) DE EVALUACIÓN	PRIMERA EVALUACIÓN % (PUNTOS)	SEGUNDA EVALUACIÓN % (PUNTOS)	TERCERA EVALUACIÓN % (PUNTOS)
EXÁMENES	70% (7 PUNTOS)	70% (7 PUNTOS)	70% (7 PUNTOS)
TAREAS, PARTICIPACIONES, LECCIONES	10% (1 PUNTO)	10% (1 PUNTO)	10% (1 PUNTO)
TRABAJO DE APLICACIÓN	20% (2 PUNTOS)	20% (2 PUNTOS)	20% (2 PUNTOS)
TOTAL	100% (10 PUNTOS)	100% (10 PUNTOS)	100% (10 PUNTOS)

8. BIBLIOGRAFÍA

8.4. BÁSICA

8.4.1. Física:

Autor	Título del libro	Ciudad, país de publicación	Edición	Año de publicación	Editorial	isbn
FLOYD, Thomas L.	Fundamentos de sistemas digitales.	México	9na.	2006	PRENTICE HALL	84-205-2994-X

8.4.2. Virtual:

AUTOR	TÍTULO DEL LIBRO	DIRECCIÓN ELECTRÓNICA	AÑO DE PUBLICACIÓN	EDITORIAL	ISBN
Garza Garza, Juan Ángel	Electrónica digital, Sistemas digitales	http://jagarza.fime.uanl.mx/	2016		

8.5. COMPLEMENTARIA

8.5.1. Física:

Autor	Título del libro	Ciudad, país de publicación	Edición	Año de publicación	Editorial	isbn
Tocci, Ronald J., Widmer, Neal S. y Moss, Gregory L.	Sistemas Digitales Principios y Aplicaciones.	México	10ma.	2007	PEARSON EDUCACIÓN	978-970-26-0970-4
Brock J. LaMeres	Introduction to Logic Circuits & Logic Design with VHDL	USA	1ra.	2017	Springer	978-3-319-34194-1
Stephen brown, Zvonko Vranesic	Fundamentals of Digital Logic with VHDL design	USA	3ra.	2009	McGraw hill	978007352953

8.5.2. Recursos en internet:

Autor	Título	Ciudad, país de publicación	Fecha de publicación	Dirección electrónica	isbn/issn
Ing. Arturo Miguel de Priego Paz Soldán	Simulador de construcción de circuitos digitales en escenarios virtuales y tutoriales interactivos.	Chincha – Perú	2015	http://www.tourdigital.net/Simuladores/SimuladorDigital_097.zip	S/N

9. PERFIL DE (LA) PROFESOR (A) DE LA ASIGNATURA

9.4. TÍTULO (S) DE TERCER NIVEL

LAUREA IN INGEGNERIA ELETTRONICA

9.5. TÍTULO (S) DE CUARTO NIVEL

LAUREA MAGISTRALE IN INGEGNERIA DELLE TELECOMUNICAZIONI

9.6. HABILIDADES QUE POSEE

MOTIVADOR DEL APRENDIZAJE, MANEJO DE LA COMUNICACIÓN, FLEXIBILIDAD, LIDERAZGO, DISPOSICIÓN PARA MANTENER FORMACIÓN CONTINUA.
--

9.7. ACTITUDES

TOLERANCIA, SOLIDARIDAD, RESPONSABILIDAD, RESPETO, HONESTIDAD.

10. RELACIÓN DE LOS CONTENIDOS DE LA ASIGNATURA CON LOS RESULTADOS DE APRENDIZAJE

Contenidos de la asignatura	Contribución	Resultados de aprendizaje
Primera Unidad: Conceptos introductorios	Alto	Integra los conocimientos de Electrónica Digital en la resolución de problemas de circuitos electrónica.
Segunda Unidad: Software de lógica programable aplicado a lógica combinacional	Alto	Diseña circuitos lógicos combinacionales utilizando compuertas lógicas, analizando los resultados y formulando un informe detallado del proceso y resultados obtenidos, a través de medios digitales.
Tercera Unidad: Software de lógica programable aplicado a lógica secuencial.	Alto	Diseña circuitos lógicos secuenciales utilizando registros, analizando los resultados y formulando un informe detallado del proceso y resultados obtenidos, a través de medios digitales.
Cuarta Unidad: Introducción al procesamiento digital de imágenes.	Alto	Utiliza los conocimientos de procesamiento digital para la conversión de señales analógicas a digitales

11. RELACIÓN DE LA ASIGNATURA CON LOS RESULTADOS DE APRENDIZAJE DEL PERFIL DE EGRESO DE LA CARRERA

RESULTADOS DE APRENDIZAJE DE LA ASIGNATURA	CONTRIBUCIÓN	PERFIL DE EGRESO DE LA CARRERA
Integra los conocimientos de Electrónica Digital en la resolución de problemas de circuitos electrónica.	Alto	Capacidad para identificar, definir y analizar problemas de procesamiento de datos y generación de sistemas de información así como para interactuar interdisciplinariamente en la implementación de soluciones técnicas y económicamente ventajosas para resolver problemas relacionados a su campo profesional.
Diseña circuitos lógicos combinacionales utilizando compuertas lógicas, analizando los resultados y formulando un informe detallado del proceso y resultados obtenidos, a través de medios digitales.	Alto	
Diseña circuitos lógicos secuenciales utilizando registros, analizando los resultados y formulando un informe detallado del proceso y resultados obtenidos, a través de medios digitales.	Alto	
Utiliza los conocimientos de procesamiento digital para la conversión de señales analógicas a digitales	Alto	

12. ELABORACIÓN Y APROBACIÓN

11.1	DOCENTE (S) RESPONSABLE (S) DE LA ELABORACIÓN DEL SÍLABO:	ING. ÁNGEL FREDDY GANAZHAPA MALLA
------	---	-----------------------------------

11.2	FECHA DE ELABORACIÓN: 18 DE DICIEMBRE DE 2015	VERSIÓN: 1.0	DOCENTE RESPONSABLE: ING. ÁNGEL JOSÉ ORDÓÑEZ MENDIETA
------	---	--------------	---

11.3	FECHA DE ACTUALIZACIÓN:	VERSIÓN: 2.0	DOCENTE RESPONSABLE: ING. GASTÓN RENE CHAMBA ROMERO
------	-------------------------	--------------	---

11.3	FECHA DE ACTUALIZACIÓN: 23 DE ABRIL DE 2018	VERSIÓN: 3.0	DOCENTE RESPONSABLE: ING. GASTÓN RENE CHAMBA ROMERO
------	---	--------------	---

11.3	FECHA DE ACTUALIZACIÓN: 8 DE OCTUBRE DE 2018	VERSIÓN: 4.0	DOCENTE RESPONSABLE: ING. GASTÓN RENE CHAMBA ROMERO
------	--	--------------	---

11.4	FECHA DE APROBACIÓN DEL SÍLABO POR LA COMISIÓN ACADÉMICA DE LA CARRERA:		
------	---	--	--

f) -----
ING. HERNÁN LEONARDO TORRES CARRIÓN, M.Sc.
GESTOR ACADEMICO DE LA CARRERA

f) -----
ING. ÁNGEL FREDDY GANAZHAPA MALLA, M.Sc.
DOCENTE RESPONSABLE