

Trabalho de Circuitos Digitais – Circuitos Sequenciais

Nome: JOSUE DE SOUZA LOPES Matricula:1820602 turno: Noite

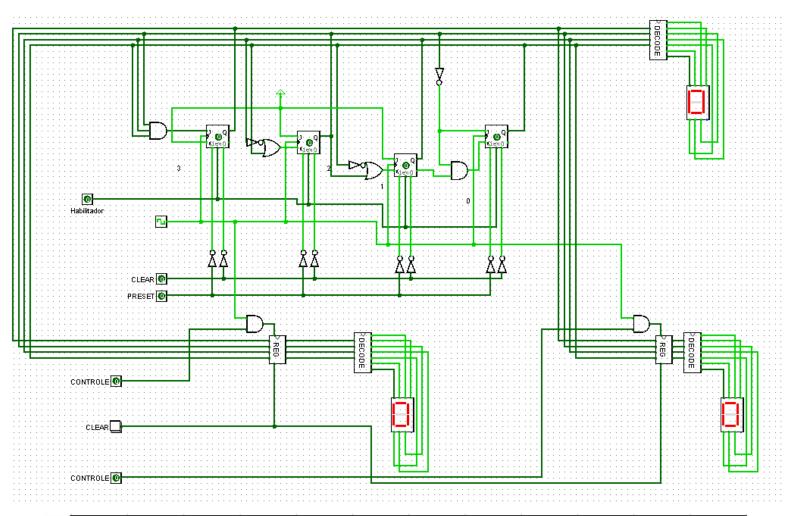


	Tabela Verdade para a implementação do contador sincrono aleatório de quatro bits											
	Q3	Q2	Q1	Q0	J3	K3	J2	K2	J1	K1	J0	K0
7	0	1	1	1	1	X	X	1	X	1	X	0
9	1	0	0	1	X	1	1	X	1	X	X	1
6	0	1	1	0	0	X	X	0	X	1	0	X
4	0	1	0	0	0	X	X	1	1	X	0	X
2	0	0	1	0	0	X	1	X	X	1	1	X
5	0	1	0	1	0	X	X	1	1	X	X	0
3	0	0	1	1	0	X	1	X	X	0	X	0

K3, J2, J1 -> 1 (VCC)

J3 -> Q2Q1Q0

K2 -> ~Q1 + Q0

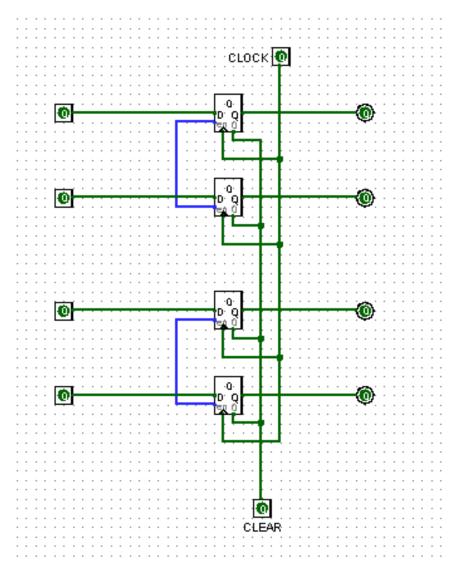
K1 -> ~Q0 + Q2

J0 -> ~Q2

K0 -> ~Q1 ~Q2

7967253	20100000	Q2 1 0 1 1 0 1 0	Q1 4010101	20 7 7 0 7 0 7 1	J3 1 X00000	K ₃ X X X X X X	JOX1XX1X1	KO 1 X O 1 X 1 X	JAX1X1X1X	K1X1X1X0	JO X X 0 0 1 X X	Ka O 1 XX X D O					
Кз	, Ja	Jn=	= 1			IX			X Is								
J3 -	00000	0 0 0 X	1 7	10.	K2	00 01 11 101	1	n.	11 X 1	10 X 0	Ki	00 01 11 10	Эл \ X	01 X	11 0	10 1	
1	000000000000000000000000000000000000000	0 0-) X	1 1/2 X	1 70	Ke	00 01 11	00 X	61	11	10 X X		(17)					
Ī	K3/ K3/ K2+ K1+	> Q,	+0	0		Jo i			0								

Registrador de 4 bits



Sistema Síncrono - as saídas podem alterar de estado apenas em um momento específico no ciclo do clock.

Clock é ativado na borda de subida

J	K	CLK	Q
0	0	1	Q ₀ (não muda)
1	0	l	1
0	1	l	0
1	1	<u> </u>	Q ₀ (comuta)

PRESET	CLEAR	Resposta do FF				
1	1	Operação com clock*				
0	1	Q = 1				
1	0	Q = 0				
0	0	Não usada				