



## Pres. 1 - TEMAS LÓGICA COMBINACIONAL

Josué Meneses Díaz

### Objetivos

- Estudiar los principales circuitos combinacionales empleados en los diseños digitales.
- Implementar los métodos estudiados en clases para diseñar circuitos combinacionales:
  - Minitérminos o Maxitérminos.
  - Mapas de Karnaugh.
- Realizar simulaciones de circuitos combinacionales utilizando el programa Logisim-evolution.
- Presentar aplicaciones de los diseños lógicos combinacionales estudiados.

### 1. Instrucciones

Cada grupo de trabajo tiene que estudiar y presentar al curso una de las siguientes aplicaciones de circuitos combinacionales. Para el desarrollo del circuito, tienen que utilizar alguno de los métodos de diseño de circuitos combinacionales estudiados en clase. Su presentación debe durar 10 min.

### 2. Aplicaciones

Las aplicaciones disponibles para presentar son las siguientes:

- Restador Binario. (Matias y Elias)
- Multiplicador Binario
- Detector/generador de paridades
- Comparadores (Jose, Martín)
- Codificador (Priscila, Osmar)
- Decodificador (Vicente y Valentina)
- Multiplexor (MUX) (José, Miguel, Manuel)
- Demultiplexor (DMUX) (Maximiliano, Camila)

A continuación se presenta un detalle de cada circuito combinacional.



## 2.1. RESTADOR BINARIO

Diseñe un circuito restador binario con prestamo de entrada. Explique conectar el restador en cascada. No considere la resta de números negativos ni los casos con resultado negativo.

### 2.1.1. Referencias sugeridas:

- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 6.6. Restadores en binario con signo.
- Diseño digital – Morris Mano 3era edición, sección 4.4 Restador Binario

## 2.2. MULTIPLICADOR BINARIO.

Diseñe un circuito que permita multiplicar dos números binarios de 2 bits cada uno.

### 2.2.1. Referencias sugeridas

- Diseño digital – Morris Mano 3era edición, sección 4.6 Multiplicador Binario.

## 2.3. COMPARADORES.

Diseñe un comparador de 1 bits y luego extienda este a uno de 4 bits.

### 2.3.1. Referencias sugeridas:

- Diseño digital – Morris Mano 3era edición, sección 4.7. COMPARADOR DE MAGNITUDES.
- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 4.8 Comparadores.

## 2.4. DETECTOR/GENERADOR DE PARIDADES.

Construya un circuito que verifique que la información enviada mediante código ASCII sea correcta (8 bits). Indique cómo funciona el par detector/generador y en que consiste el código ASCII.

### 2.4.1. Referencias sugeridas:

- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 4.9 Generador/Detector de Paridad.

## 2.5. CODIFICADOR.

Diseñen un codificador con y sin prioridad de 3:8. Como aplicación presenten el uso de un teclado numérico (0, 1, 2, 3, ..., 9) a binario.



#### 2.5.1. Referencias sugeridas:

- Diseño digital – Morris Mano 3era edición, sección 4.9. CODIFICADORES.
- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 4.4 Codificadores.

### 2.6. DECODIFICADOR.

Diseñen un decodificador simple con y sin entrada habilitadora. Muestren como conectar en cascada decodificadores para ampliar sus entradas/salidas. Como aplicación, explique cómo utilizar un decodificador para implementar una función booleana (minitérminos).

#### 2.6.1. Referencias sugeridas:

- Diseño digital – Morris Mano 3era edición, sección 4.8. DECODIFICADOR.
- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 4.5 Decodificadores.

### 2.7. MULTIPLEXOR (MUX).

Diseñe un multiplexor (MUX) con y sin entrada habilitante. Muestre el símbolo utilizado para este circuito combinacional y como realizar conexiones en cascadas usando MUX. – Aplicación: Implementación de funciones booleanas.

#### 2.7.1. Referencias sugeridas:

- Diseño digital – Morris Mano 3era edición, sección 4.10. Multiplexores.
- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 4.6 Multiplexores.

### 2.8. DEMULTIPLEXOR (DMUX).

Diseñe un demultiplexor (DMUX) con y sin entrada habilitante. Muestre el símbolo utilizado para este circuito.

#### 2.8.1. Referencias sugeridas:

- Sistemas Digitales y Tecnologías digitales – José Angulo Usategui, Sección 4.7 Demultiplexores.

## 3. Fecha de presentación y Evaluación

Las presentaciones serán el día 08/05/2024 en el horario de clases. La presentación debe durar 10 min y contener los siguientes puntos:



n	Item	Puntaje	Puntaje obtenido	Comentario
1	Presentación del circuito.	5		
2	Tabla de verdad del circuito.	20		
3	Deducción de su Función booleana.	20		
4	Simulación mediante logisim-evolution.	10		
5	Aplicación.	5		

**Puntaje** 60+10  
**Nota** 70

- Presentación del circuito. Fundamentación del porque es importante el circuito (utilidad).
- Tabla de verdad del circuito.
- Deducción de su Función booleana.
- Simulación mediante logisim-evolution.
- Aplicación.

## Fecha de Entrega

El reporte de este laboratorio puede ser entregado hasta el miércoles 08-05-2024, mediante la plataforma [Moodle del curso](#).

Para subir el reporte, comprimir en un solo archivo los documentos y subirlos a la plataforma con el nombre de los integrantes del grupo: