

# Electrónica Digital y Microcontroladores

## Tema 4.1: Lógica Secuencial - Latch y Flip-Flops

---

Josué Meneses Díaz

[josue.meneses@usach.cl](mailto:josue.meneses@usach.cl)

Universidad de Santiago de Chile

05-06-2024

- Diferenciar entre circuitos combinacionales y secuenciales.
- Estudiar el funcionamiento de los principales Latch
- Diferenciar entre un Latch y un Flip-Flop.
- Comprender el funcionamiento de los principales Flip-Flops (FF)
  - Flip-Flops D
  - Flip-Flops JK
  - Flip-Flops T
- Realizar análisis de circuitos secuenciales síncronos.

# Lógica secuencial vs Lógica combinacional

## Circuitos combinacionales

Su salida depende exclusivamente de las entadas del circuito:

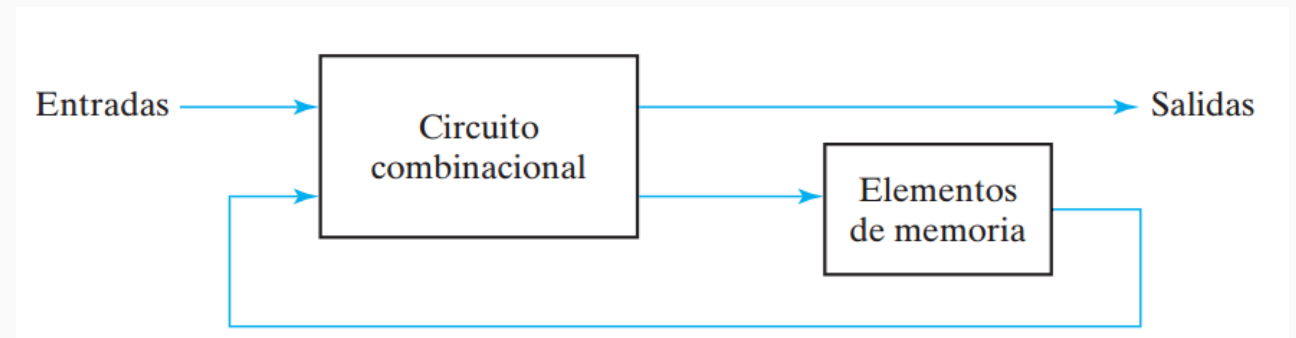
- Sumadores
- Restadores
- Multiplexores
- Etc.

Problema: **No tienen memoria**

Solución : **Lógica secuencial**

## Lógica secuencial

Circuitos lógicos que permiten *almacenar bits de datos* de forma temporal. Son utilizados en conjunto con los circuitos combinacionales para ampliar su funcionamiento



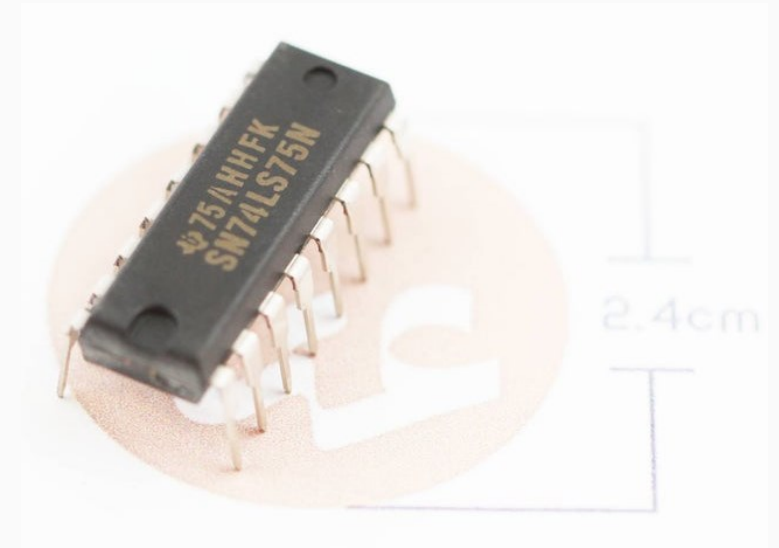
Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

# LATCH

# Latch

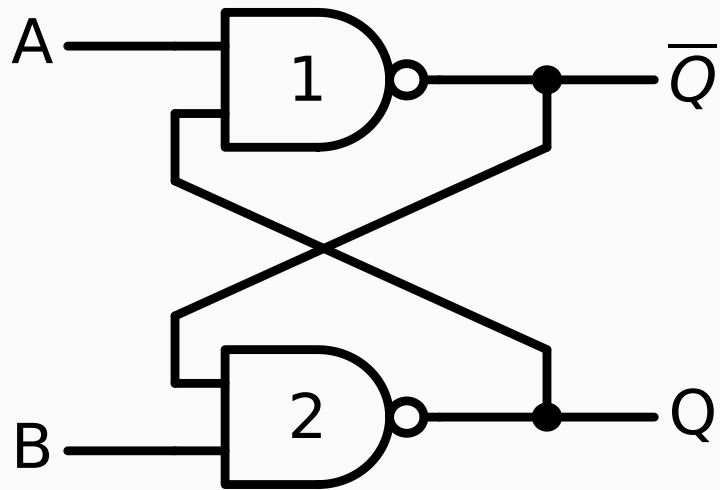
## ¿Qué es un Latch?

- Es el elemento base de los circuitos secuenciales.
- Permiten almacenar temporalmente un bit de información.
  - Necesitan de alimentación para mantener la información.
- Son utiles para construir circuitos asíncronos.
  - No dependen de un reloj
- Empaquetados en CI.



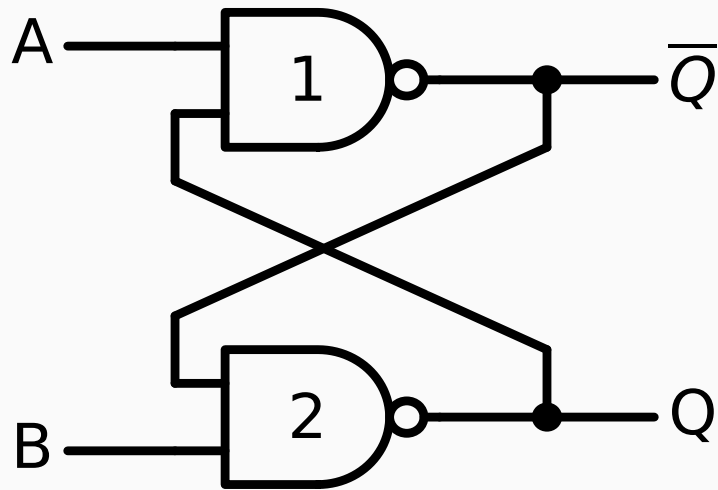
SN74LS75. Latch tipo D cuádruple. SN74LS75 - datasheet TI

# Latch SR



Entradas		Salidas		Comentario
A	B	Q	$\bar{Q}$	
1	0			
1	1			
0	1			
1	1			
0	0			

# Latch SR



Entradas		Salidas		Comentario
A	B	$Q$	$\bar{Q}$	
1	0	1	0	SET
1	1	1	0	MANTIENE
0	1	0	1	RESET
1	1	0	1	MANTIENE
0	0	1	1	NO DESEADO

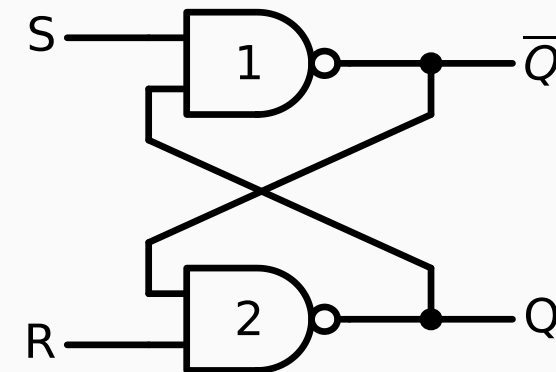
El siguiente estado  $Q(t + 1)$  depende del estado de  $Q(t)$

# Latch SR

Entradas		Salidas		Comentario
A	B	$Q$	$\bar{Q}$	
1	0	1	0	Almacena A en Q
1	1	1	0	Mantiene Q
0	1	0	1	Restablece la salida Q
1	1	0	1	Mantiene Q
0	0	1	1	No permitido

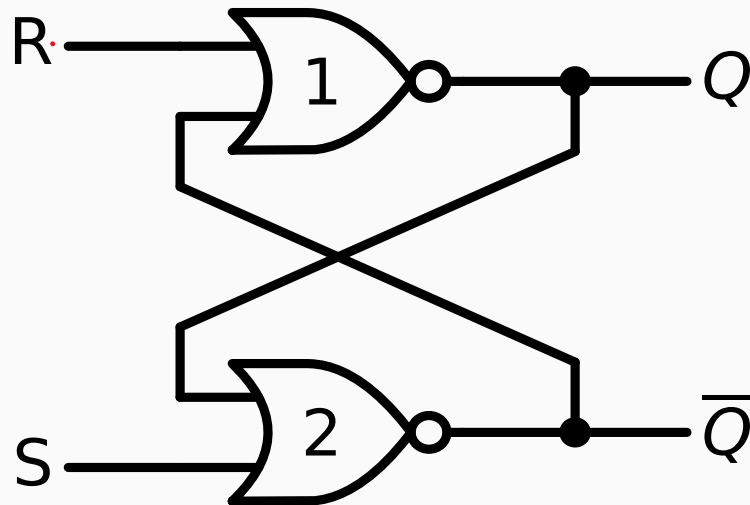
- Poseen una entrada de
  - A = Set (Establece/selecciona)
  - B = Reset (Reestablece o Resetea)

- Problema:
  - Estado no permitido (deseado)  
 $Q = \bar{Q}$



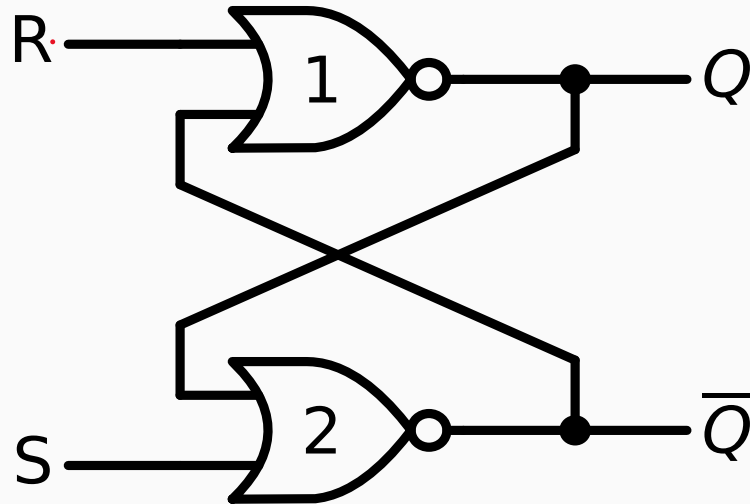


# Latch SR con NOR



Entradas		Salidas		Comentario
S	R	$Q$	$\bar{Q}$	
1	0			
0	0			
0	1			
0	0			
1	1			

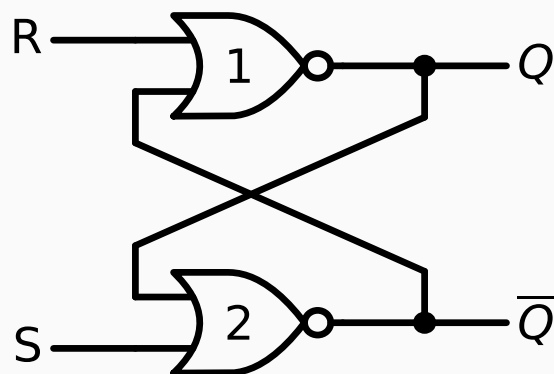
# Latch SR con NOR



Entradas		Salidas		Comentario
S	R	$Q$	$\bar{Q}$	
1	0	1	0	SET
0	0	1	0	MANTIENE
0	1	0	1	RESET
0	0	0	1	MANTIENE
1	1	0	0	NO DESEADO

# Tabla de función SR con NOR

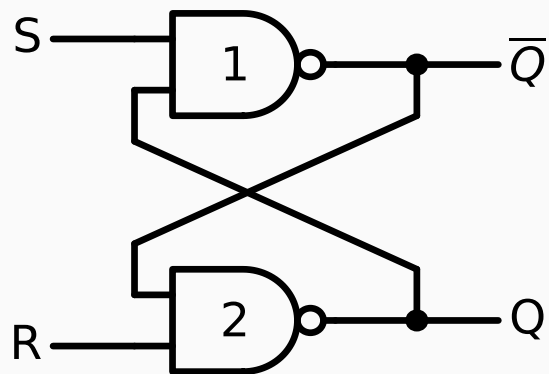
Entradas		Salidas		Comentario
S	R	$Q$	$\bar{Q}$	
1	0	1	0	SET
0	0	1	0	MANTIENE
0	1	0	1	RESET
0	0	0	1	MANTIENE
1	1	0	0	NO DESEADO



Entradas		Salidas	Comentario
S	R	$Q(t + 1)$	
1	0	1	Almacena S en Q
0	0	$Q(t)$	Mantiene el valor de Q
0	1	0	Restablece el valor de Q
1	1	0	NO DESEADO

# Tabla de función SR con NAND

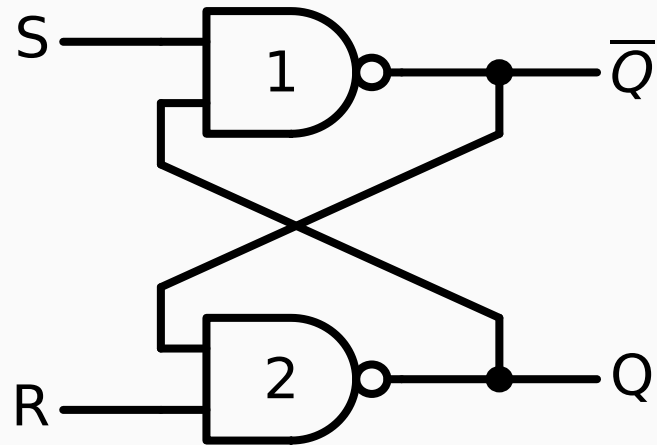
Entradas		Salidas		Comentario
S	R	$Q$	$\bar{Q}$	
1	0	1	0	SET
0	0	1	0	MANTIENE
0	1	0	1	RESET
0	0	0	1	MANTIENE
1	1	0	0	NO DESEADO



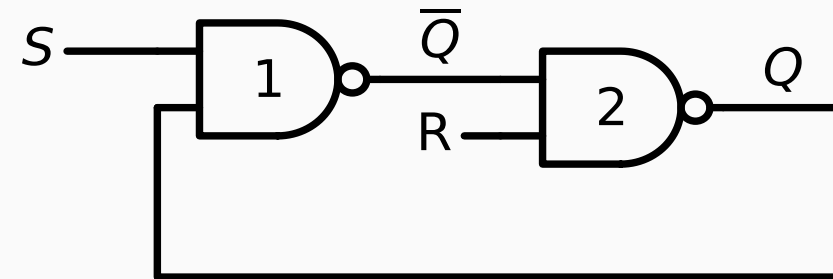
Entradas		Salidas	Comentario
S	R	$Q(t + 1)$	
1	0	1	Almacena S en Q
1	1	$Q(t)$	Mantiene el valor de Q
0	1	0	Restablece el valor de Q
0	0	0	NO DESEADO

# Latch RS

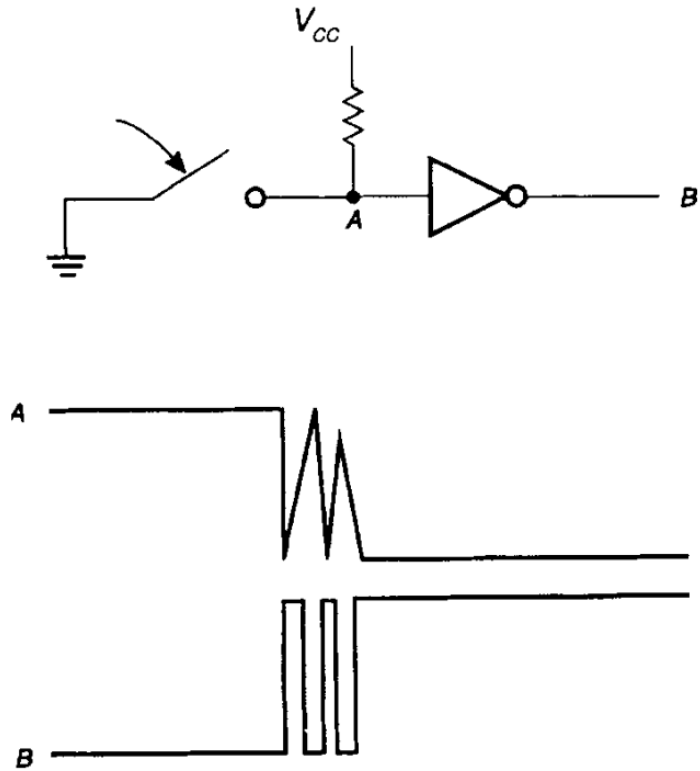
No es más que un circuito con realimentación entre la puerta NAND2 y la puerta NAND1



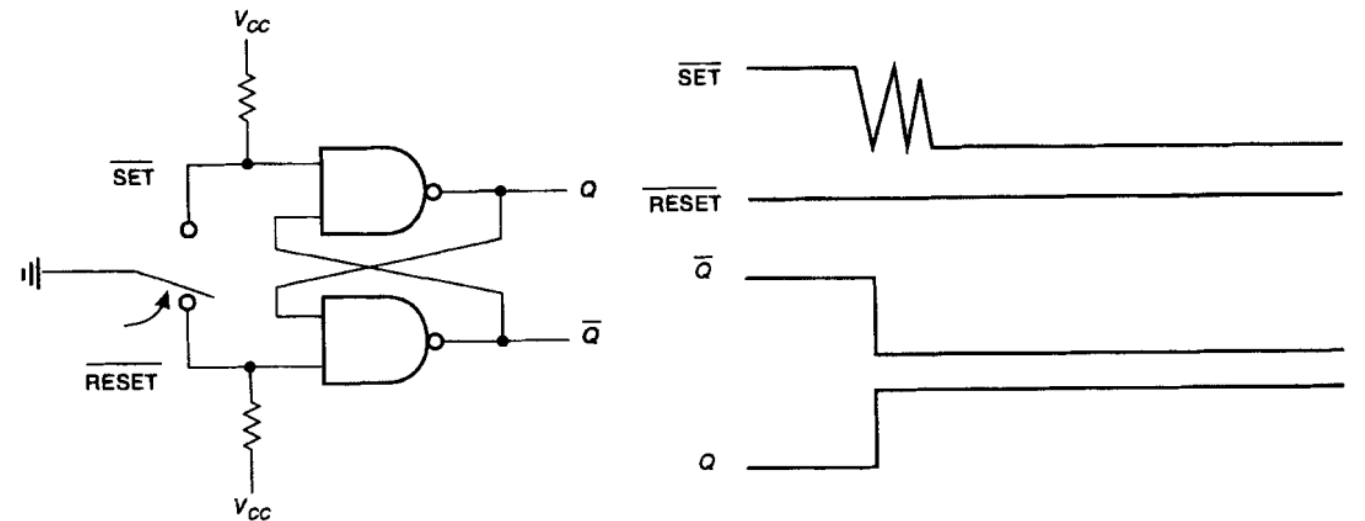
- ¿Qué hace especial esta configuración de puertas lógicas?



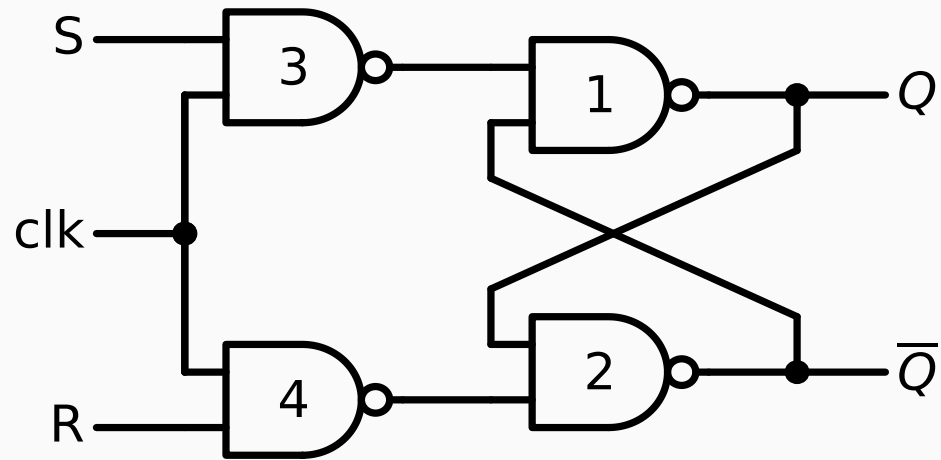
# Aplicación Latch SR



Oscilación generada por un interruptor conectado a un circuito digital. Electrónica digital - J. W. Bignell

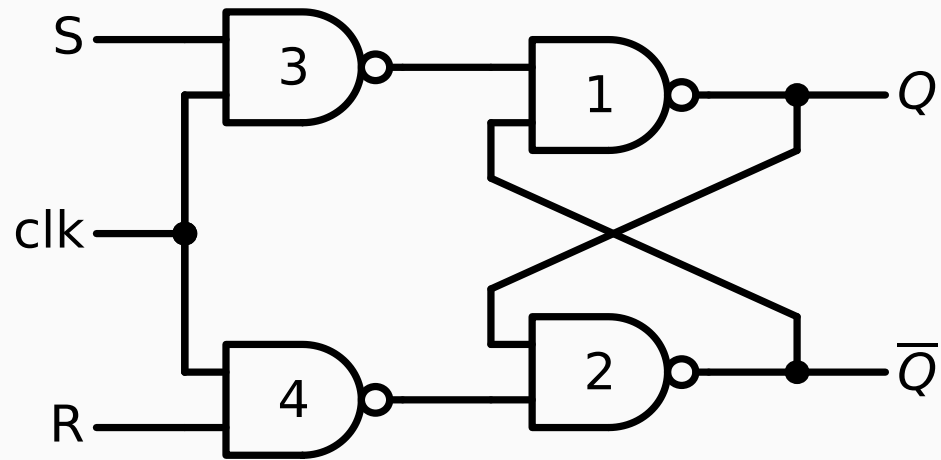


# Latch RS con entrada Control



Entradas			Salidas		Comentario
clk	S	R	$Q$	$\bar{Q}$	
0	x	x			
1	1	0			
1	1	1			
1	0	1			
1	1	1			
1	0	0			

# Latch RS con entrada Control

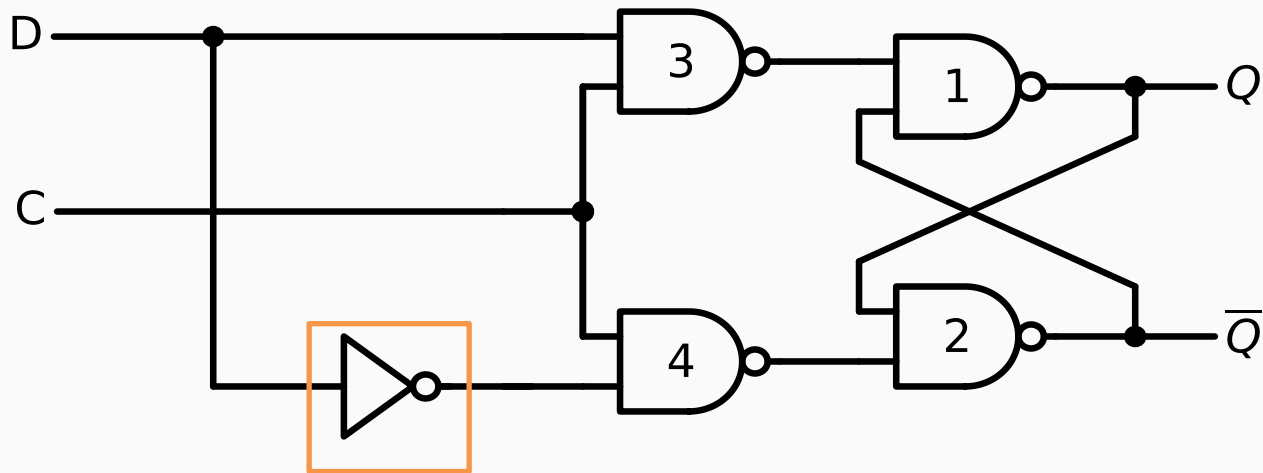


Entradas			Salidas		Comentario
clk	S	R	$Q$	$\bar{Q}$	
0	x	x	x	x	Sin cambio
1	1	0	1	0	Set
1	0	0	1	0	Mantiene
1	0	1	0	1	Reset
1	0	0	0	1	Mantiene
1	1	1	1	1	No deseado



# Latch D

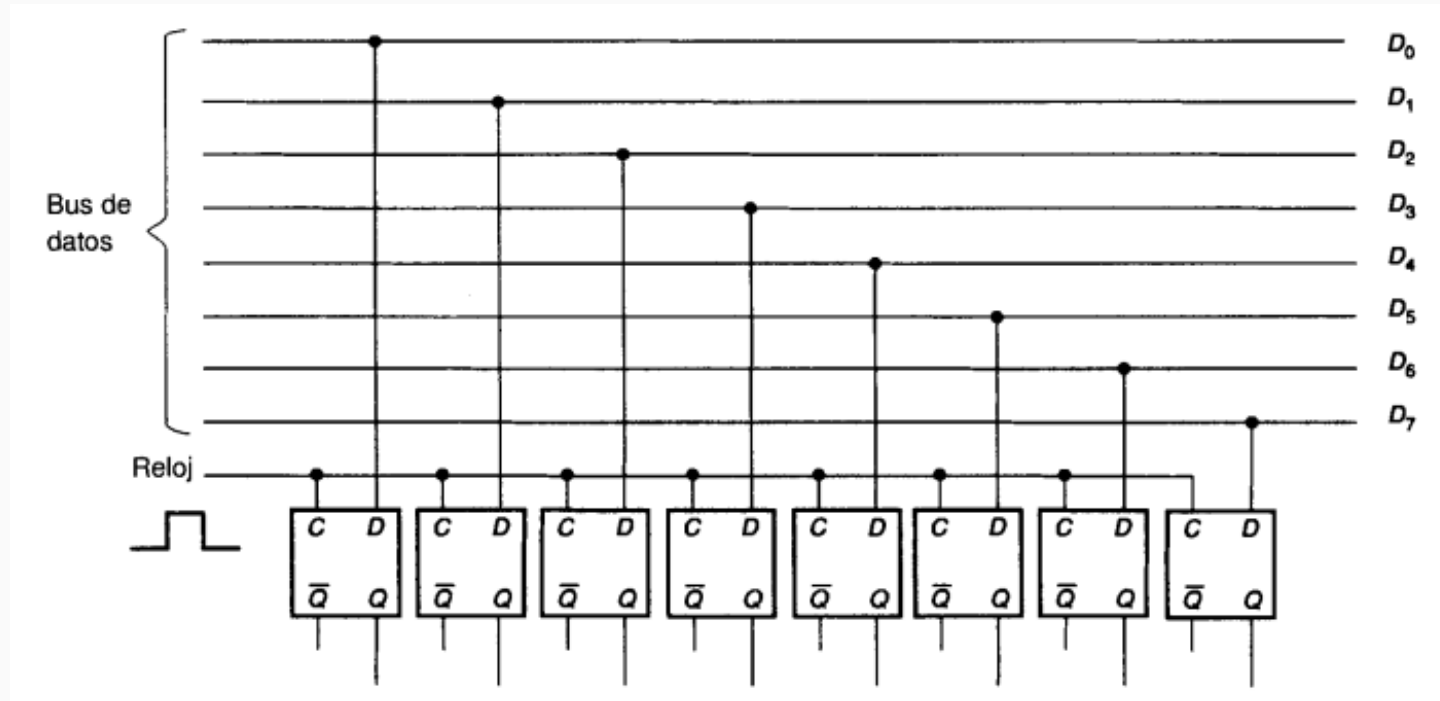
- Entrada C : Habilita puertas 3 y 4



Importante

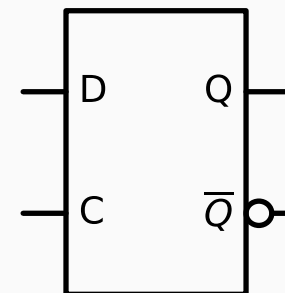
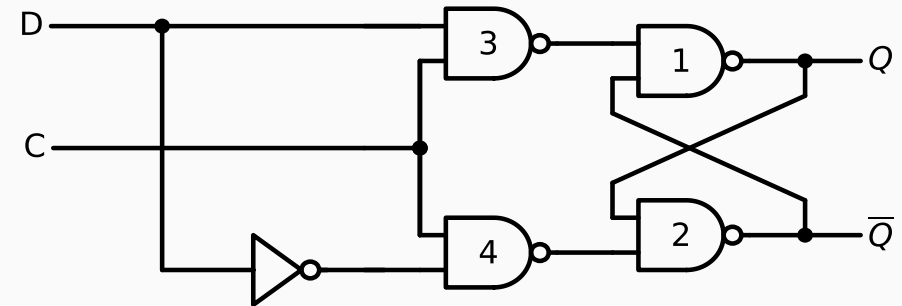
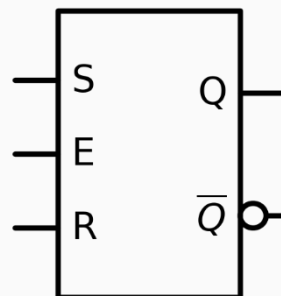
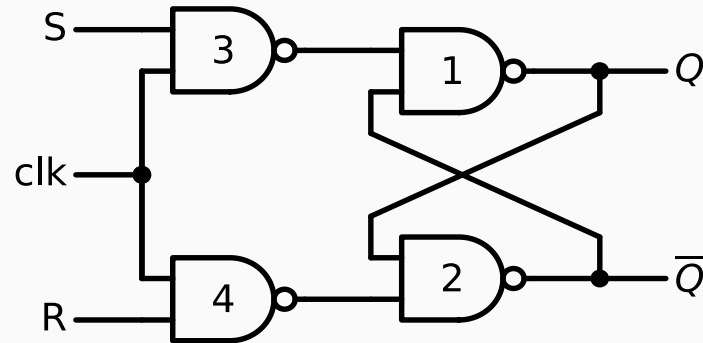
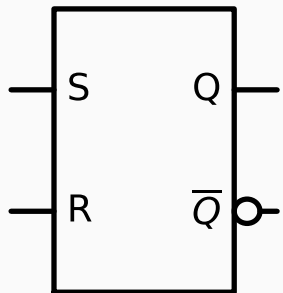
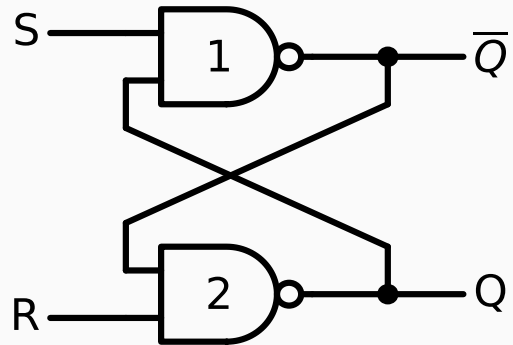
Entradas		Salidas		Comentario
C	D	$Q$	$\bar{Q}$	
	x			
	1			
	0			

# Latch D - Aplicación

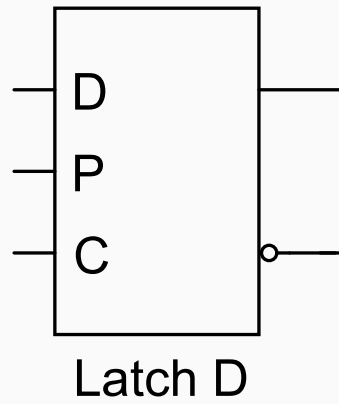
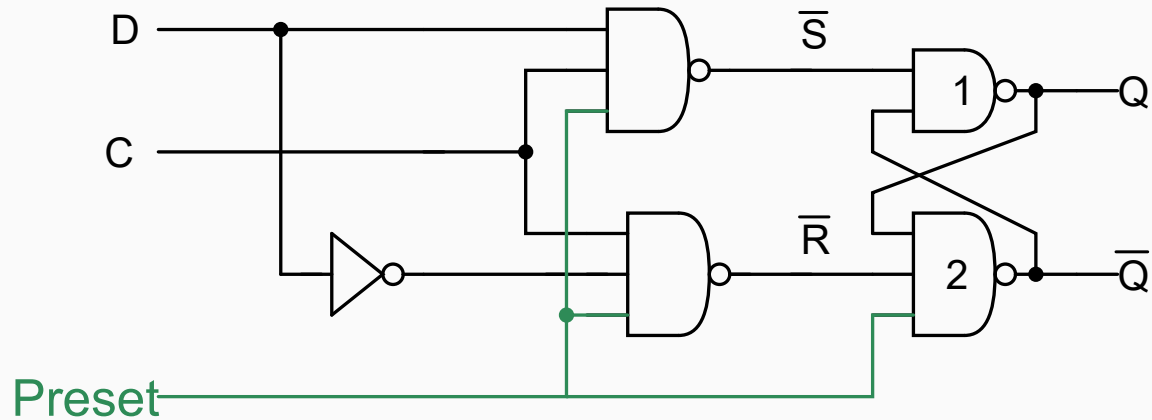


Bignell, James W., Robert L. Donovan, y Gerardo Urbina Medel. *Electrónica digital*, 1997.

# Latch RS, RS con E y D



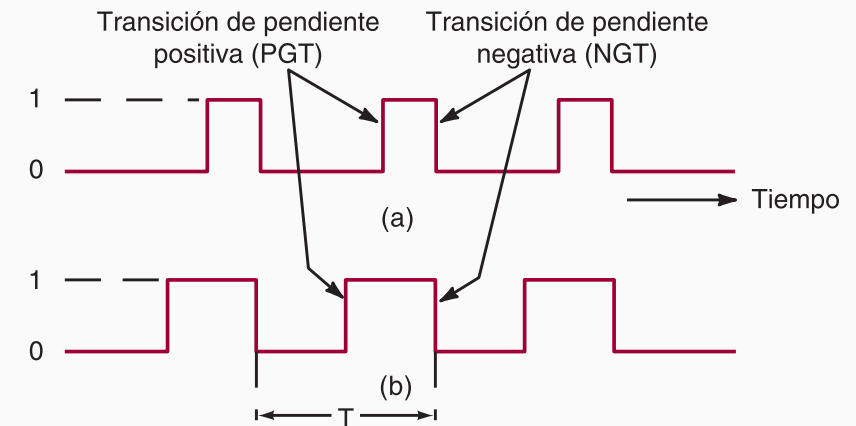
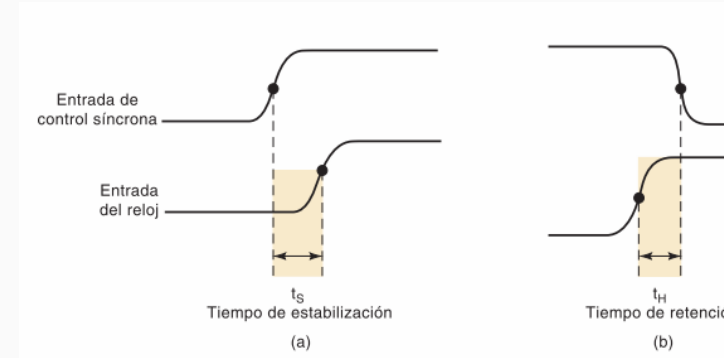
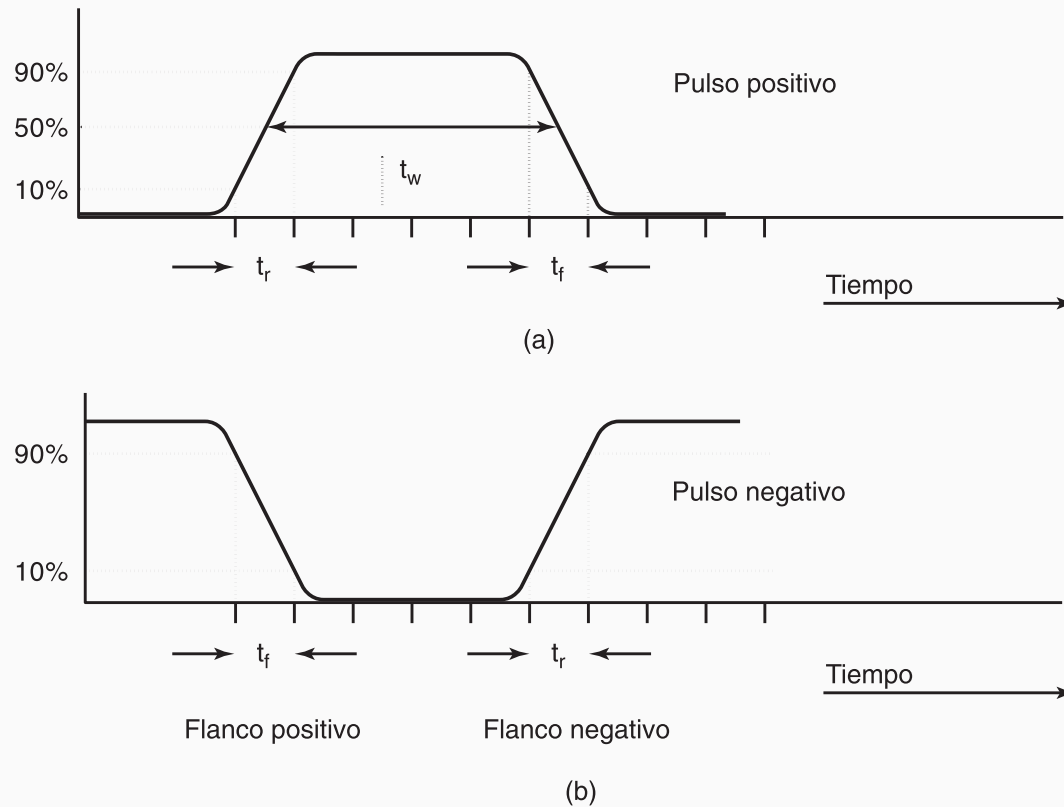
# Entrada Preset (Preestablecimiento)



- Se utiliza para iniciar el Latch/Flip-Flop en un estado definido.
- *Preset* = 0: Establece un valor de  $Q = 0$  y  $\bar{Q} = 1$  independiente de los valores de  $C$  y  $D$ .
- *Preset* = 1: Latch normal.

# ¿Cuál es el problema con los Latch?

## Señal de reloj – Pulsos cuadrados



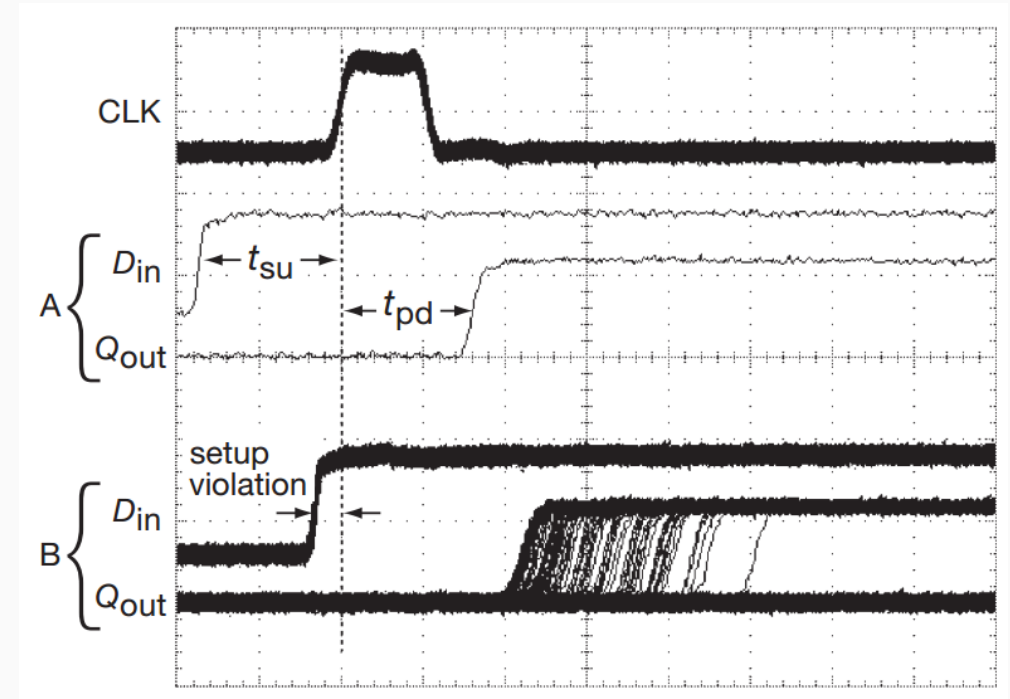
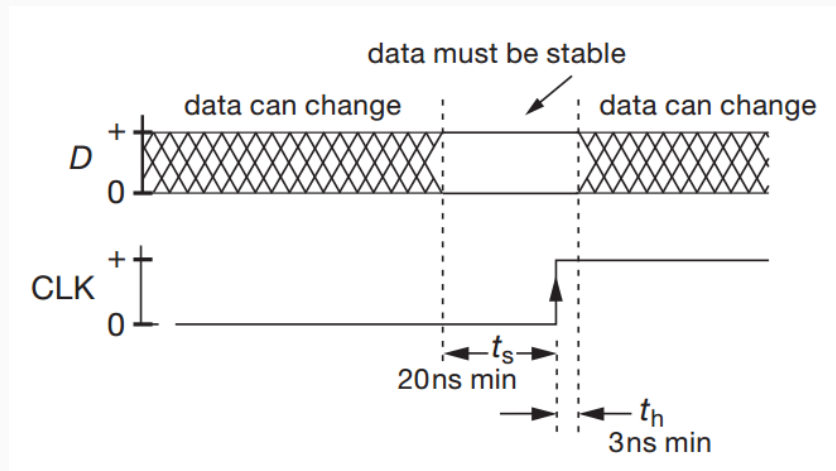
RONALD, J., WIDMER TOCCI, S. NEAL, y GREGORY L. MOSS. *SISTEMAS DIGITALES: principios y aplicaciones*. Pearson Educacion, 2007.

Tren de pulso periódico  $\Rightarrow$  reloj (clk)

# ¿Cuál es el problema con los Latch?

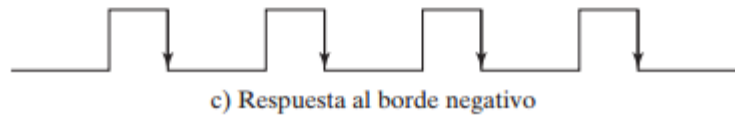
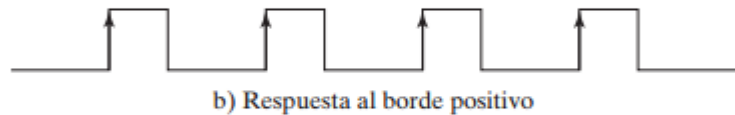
## Metaestabilidad

- Siempre presente en los circuitos lógicos.
- Existe en los relojes un tiempo de preparación  $t_{setup}$  antes de su correcto funcionamiento



Horowitz, Paul, y Winfield Hill. *The art of electronics*. Cambridge Univ. Press, 2015.

# ¿Cuál es el problema con los Latch?

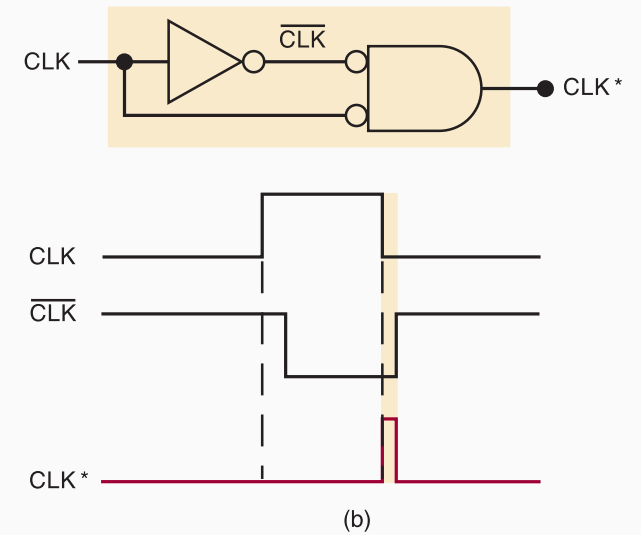
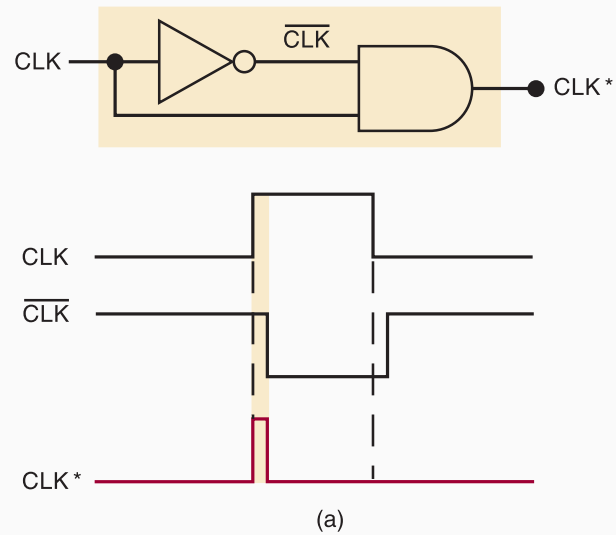
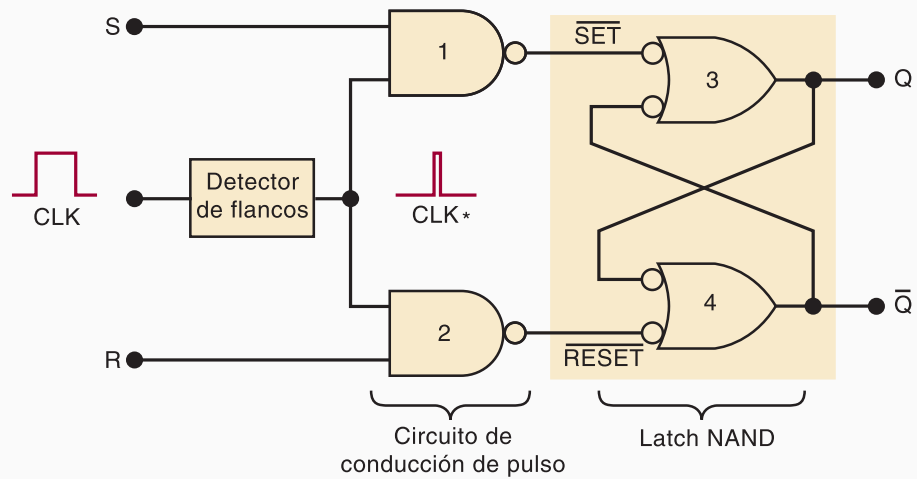


Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

- La metaestabilidad siempre estará presente.
  - Genera mayor tiempo de procesamiento.
  - Queremos disminuir lo más posible los tiempos de acción del reloj (clk).
- Los Flip-Flop son arreglos de Latch que permiten utilizar los “bordes” (flancos) de la señal de reloj para controlar las señales
- Veremos dos formas de reducir este problema

# método 1

## Detectores de flanco

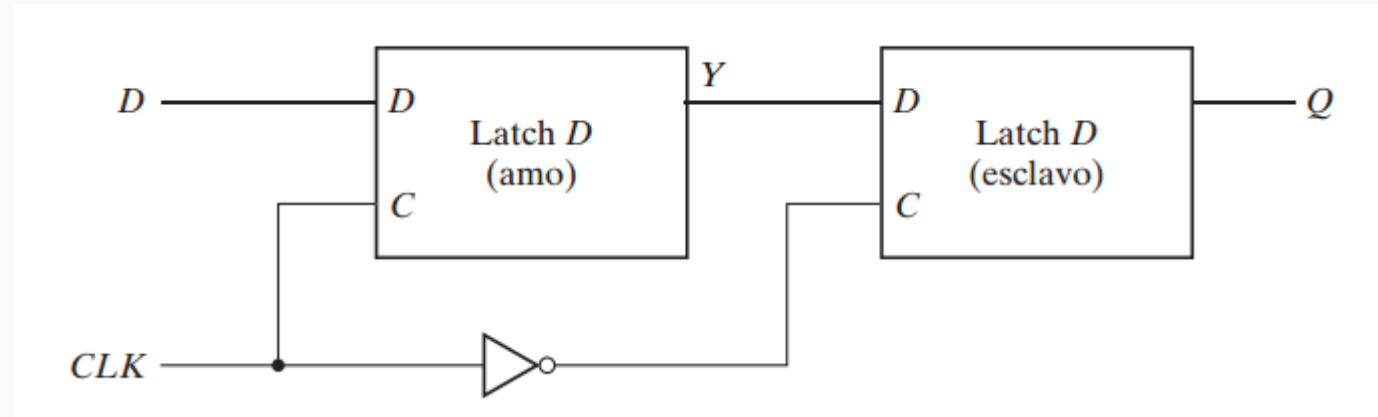




# Método 2

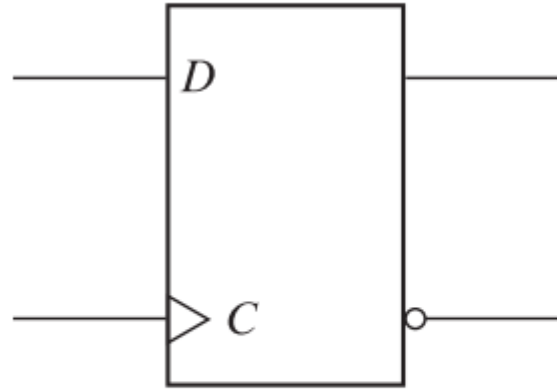
## Flip-Flop D

- Flip-Flop D utilizando Latch D en cascada.
- El primer Latch es denominado Amo o Master
- El segundo Latch es denominado Esclavo o Slave.
- Se utiliza un inversor para invertir el reloj.

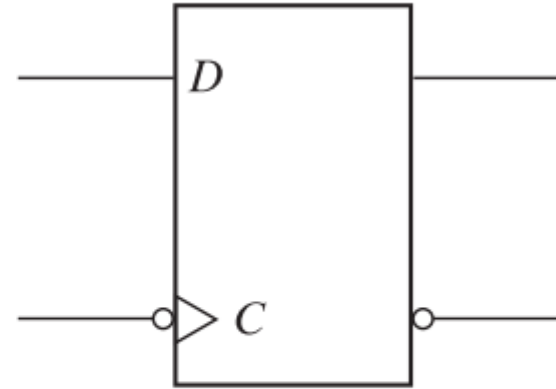


Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003

# Simbología



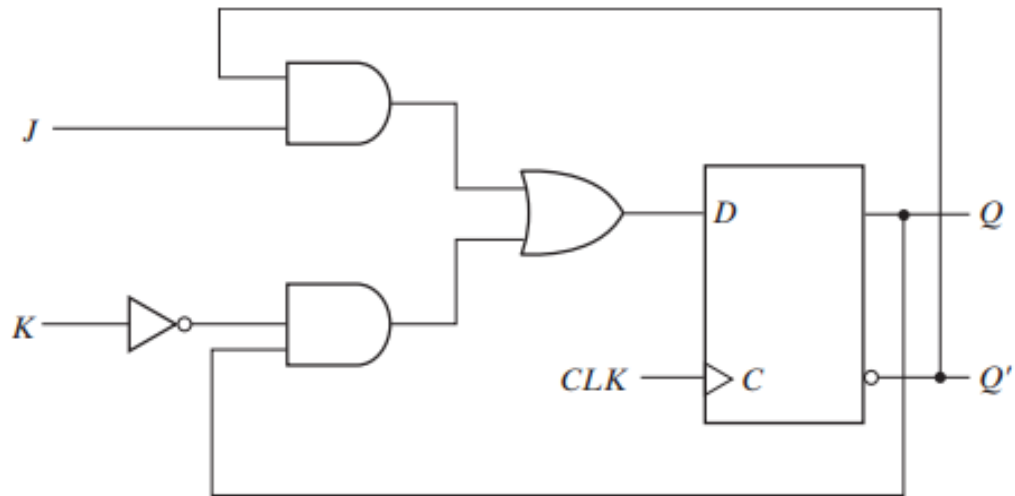
a) Borde positivo



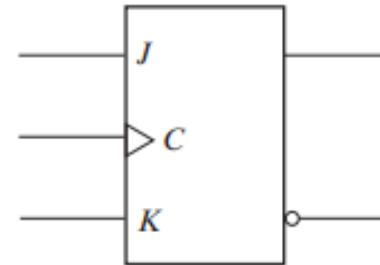
b) Borde negativo

Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

# Flip-Flop JK



a) Diagrama de circuito

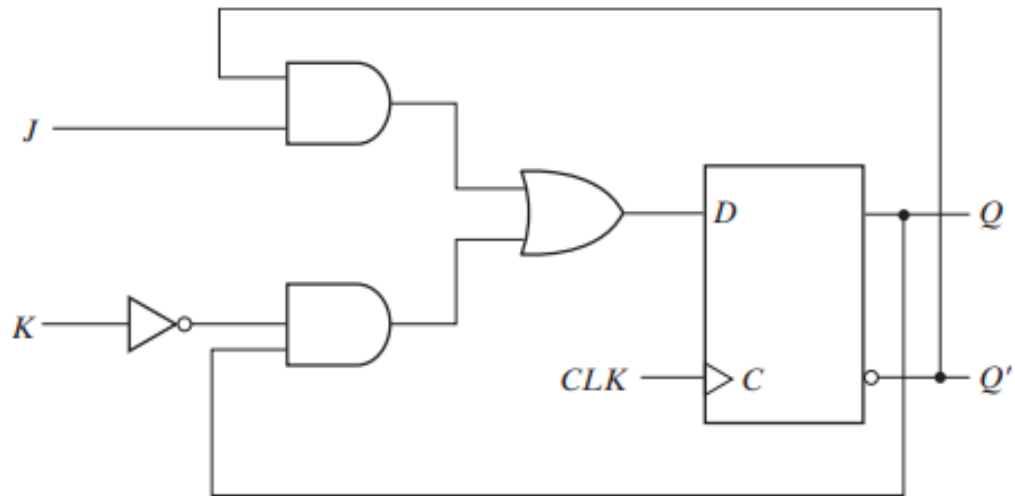


b) Símbolo gráfico

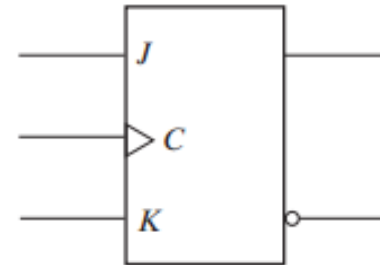
J	K	$Q(t + 1)$	Comentario
1	0		
0	1		
0	0		
1	1		

Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

# Flip-Flop JK



a) Diagrama de circuito

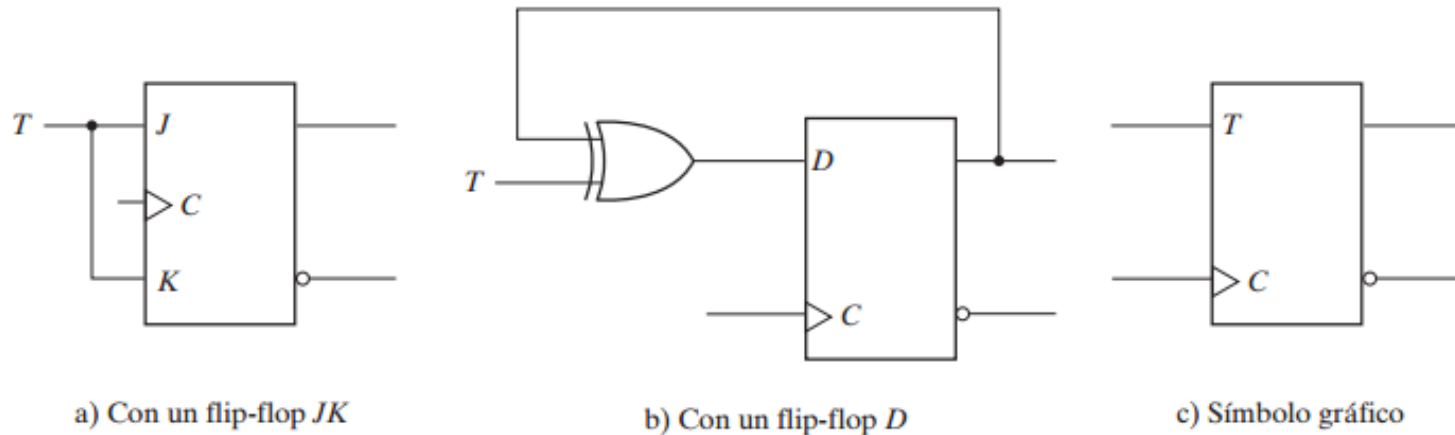


b) Símbolo gráfico

J	K	$Q(t + 1)$	Comentario
1	0	1	Set
0	1	0	Reset
0	0	$Q(t)$	Mantiene
1	1	$\bar{Q}(t)$	Complementa

Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

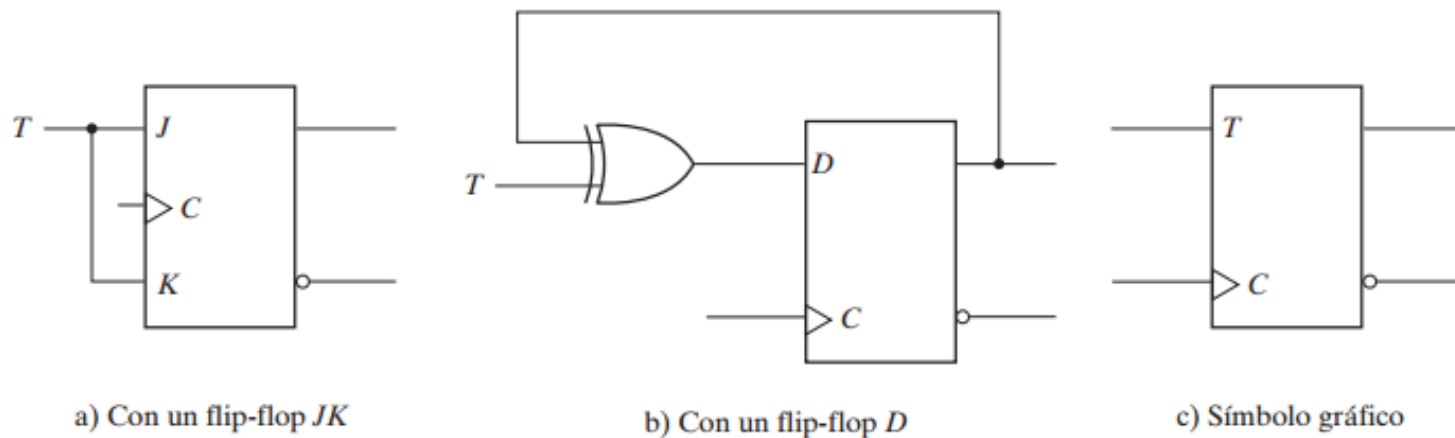
# Flip-Flop T



T	$Q(t + 1)$	Comentario
0		
1		

Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

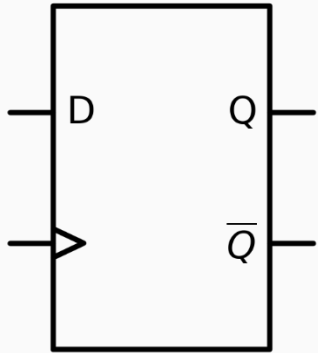
# Flip-Flop T



T	$Q(t + 1)$	Comentario
0	$Q(t)$	Mantiene
1	$\bar{Q}(t)$	Complementa

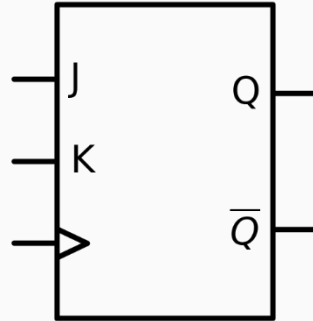
Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.

# Ecuación/tabla característica



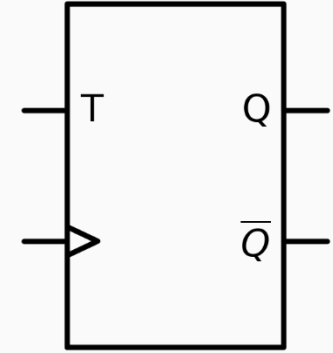
D	$Q(t + 1)$	Comentario
0	0	Restablece
1	1	Establece

$$Q(t + 1) = D$$



J	K	$Q(t + 1)$	Comentario
0	0	$Q(t)$	mantiene
1	0	1	Establece
0	1	0	Reestablece
1	1	$\overline{Q(t)}$	Complementa

$$Q(t + 1) = J\overline{Q} + \overline{K}Q$$



T	$Q(t + 1)$	Comentario
0	$Q(t)$	mantiene
1	0	Complementa

$$Q(t + 1) = T \oplus Q$$

$$Q(t + 1) = T\overline{Q} + \overline{T}Q$$

# Resumen

- Lógica secuencial permite almacenar bit de información
- Los Latch son la configuración más simple de retener estados. Existen tres configuraciones básicas:
  - RS
  - RS con Enable
  - D
- Los Latch poseen en su implementación:
  - Desincronización.
  - Metaestabilidad.
- Los Flip-Flop
  - D
  - JK
  - T
- Tabla característica y Ecuación característica.



# Resumen

- Los Flip-Flop funcionan con señales de reloj.
- Utilizan los flancos de bajada/subida
- Los tipos básicos de Flip-Flops son:
  - D
  - JK
  - T
- Cada uno posee una Tabla característica y Ecuación característica que describe su funcionamiento.

# Simulación

- Construir en Logisim-evolution cada uno de los Latch y FF vistos en clases.
  - Latch SR con NOR
  - Latch SR con NOR
  - Latch SR con entrada de control
  - Latch D
  - FlipFlip D
  - FlipFlip JK
  - FlipFlip T

# Referencias y Material Complementario

- Capitulo 5. RONALD, J., WIDMER TOCCI, S. NEAL, y GREGORY L. MOSS. *SISTEMAS DIGITALES: principios y aplicaciones* . Pearson Educacion, 2007
- Capitulo 5. Mano, M. Morris. *Diseño digital*. Pearson Educación, 2003.
- Capitulo 7 y 8. Bignell, James W., Robert L. Donovan, y Gerardo Urbina Medel. *Electrónica digital*, 1997.
- Capitulo 13. Schilling, Donald L., y Charles Belove. «Circuitos electrónicos: discretos e integrados», 1993.
- Chapter 10.4. Horowitz, Paul, y Winfield Hill. *The art of electronics*. Cambridge Univ. Press, 2015.
- Institute, REDS. *reds-heig/logisim-evolution*. Java, 2020. <https://github.com/reds-heig/logisim-evolution>.
- Schemdraw documentation — SchemDraw 0.7.1 documentation.