

# **Projekta iz Racunarskih VLSI sistem**

**Tema: Implementacija procesora koji podrzava aritekturu opisanu u projektu za predmet Sistemski softver za 2016 godinu I demonstracija rada procesora pomocu FPGA ploce**

**Profesors: Sasa Stojanovic**

**Student: Jovan Djukic**

## Uvod

Top-level modul se sastoji od nekoliko komponenata. Tu su memorija, kontroler sedmo-segmentnog displeja, kontroler zelenih dioda I CPU.

## Kontroler sedmo-segmentnog displeja

Ovaj kontroler kao ulazne pinove sadrzi sve ono sto je potrebno da bi se povezao na magistralu. Sadrzi jedan registar cija vrednost odredjuje sta ce se prikazati na displeju. Takodje, ima svoju adresu u ulazno/izlaznom adresnom prostoru pomocu koje mozemo nesto upisati I registar I na taj nacin kontrolisati ono sto se prikazuje na displeju.

## Kontroler zelenih dioda

Ovaj modul je potpuno isti kao prethodni. Naravno, ima svoju jedinstvenu adresu u ulazno/izlaznom adresnom prostoru I sadrzaj njegovog registra odredjuje koje ce se diode upaliti a koje ne.

## Memorija

Ovaj module sadrzi niz promenljivih tipa reg duzine od 8 bita koji predstavljaju memoriju. Pored standardnih ulaznih pinove za pristup preko magistrale postoji I 8-bitni izlazni pin pomocu kojeg se nesto cita iz memorije.

## CPU

Ovo je zapravo implementacija procesora. U sebi sadrzi jos dosta drugih modula koji ce redom biti predstavljeni ovde. Ulazni pinovi su sledeci: reset pin koji služi za resetovanje procesora, externalInterrupts pinovi koji predstavljaju pinove pomocu kojih generisu prekidi, clock koji predstavlja signal takta I 8-bitni pomocu kojeg se podatak dostavlja procesoru. Kao izlazne ima sledece: address pomocu kojeg postavlja adresu na magistrali, mio pomocu kojeg specificira da li je adresa iz memorijskog ili ulazno/izlaznog adresnog prostora, readRequest pin pomocu kojeg specificara da li trenutno cita ili upisuje na data adresu, enable pin pomocu kojeg aktivira periferije I 8-bitni pin pomocu kojeg dostavlja podatak periferijama. Enable pin je uveden jer se stanje visoke impedanse ne moze koristiti kada se radi sa FPGA plocom, pa ovaj signal spreca da periferije rade kada zapravo to ne treba. Sam procesor ima I nekoliko podmodula.

Prvi je MemoryInterface koji služi za komunikaciju sa periferijama. Pored standardnih pinova koji si potrebni za komunikaciju, ovaj modul ima I ulazni pin clockCount kojim se specificira koliko taktova traje jedan ciklus upisa ili citanja I izlazni pin ready pomocu koje govori procesur kada je upis ili citanje podatka završeno.

Sledeci je InstructionDecoder koji na osnovu sadrzaja IR registra postavlja sve izlazne pinove na vrednosti koje odgovaraju tekucoj instrukciji. Na primer koji je izvorsni registar, koji odredisni, da li instrukcija sadrzi neposrednu velicinu I ako da njenu vrednost I slicno. U sustini sve sto je neophodno za izvorsavanje instrukcije.

Sledeci je ConditionDecoder koji na osnovu sadržaja IR registra I zero, carry, overflow I negative flegova PSW registra govori da li je uslov za izvršavanje instrukcije ispunjen ili ne.

Sledeci je InterruptHandler. Ovaj modul u sebi sadrži 16 RS flip flopova, po jedan za svaku liniju prekida, I koji nam, ukoliko je zahtev za prekid prisutan i dozvoljen aktivnom vrednoscu PSWI bita, dostavlja njegovu adresu I broj. Resetovanje ovih flip flopova, kao I postavljanje odgovarajucih prekida u slucaju INT instrukcije se radi pomocu promenljivih setInterrupt I resetInterrupt.

Sledeca dva modula predstavljaju module za aritmetiku. Pored standardne ALU jedice koje sve operacije radi u jednom taktu, postoji I delitelj, koji nazalost rezultat dostavlja nakon 32 takta. Stoga delitelje ima izlazni pin ready kojim govori da li je završio operaciju ili ne.

Poslednji modul je jednostavni sabirac koji služi za generisanje adrese priliko load I store instrukcija. Ovaj sabirac kao prvi operand prima ili registar A ili executionResult ukoliko je instrukcija koja menja sadržaj baznog registra. Kao drugi parametar prima ofset.

Sam procesor radi po algoritmu obradjenom na predmetu Arhitektura I Organizacija 1, oblast Pipeline.

Malo je modifikovan tako sto su dodate faze cekanja da se transakcija na magistrali završi, da se saceka rezultat deljenja ukoliko se radi o instrukciji DIV I dodate su dve dodate faze za povratak iz prekidne rutine I za skok na prekidnu rutinu. Algoritam je sam po sebi jednostavan I zahvaljucu InstructionDecoder modulu obrada je manje-vise uniformna za sve instrukcije. Samo procesor je FSM I na osnovu sadržaja promenljive state odradjuje odredjenu fazu.

## **FPGA prezentacija**

Nikakav dodatan rad nije bio potreban. Dizajn se jednostavno spusti na FPGA ploču.