

Univerzitet u Kragujevcu  
Fakultet inženjerskih nauka



Seminarski rad iz predmeta  
OSNOVA RAČUNARASKE TEHNIKE 2

Tema:  
SPARTAN 6

Studenti:  
Aleksandar Mihajlović 586/2015  
Jovan Anđelković 587/2015

Predmetni profesor:  
Aleksandar Peulić

Kragujevac 2016.

## **SADRŽAJ**

1. UVOD .....	2
2. ARHITEKTURA .....	4
2.1 FPGA ČIP .....	5
2.2 RAM MEMORIJA .....	5
2.3 FLEŠ MEMORIJA .....	6
2.3 KOMUNIKACIJA .....	6
2.4 LED DIODE, TASTERI I DIP PREKIDAČI .....	7
2.5 Mikro SD .....	8
2.6 VGA I AUDIO .....	8
2.7 SEDMO-SEGMENTNI DISPLEJ .....	9
2.8 GPIO .....	9
3. PROJEKTNI ZADATAK .....	10
LITERATURA .....	14

## 1.UVOD

Spartan-6 je samo jedna od mnogih porodica integrisanih sistema koji imaju veliki obim primene. Ova porodica ima 13 članova. Razlika između ove porodice i prethodnih Spartan porodica je ta što Spartan 6 sistemi imaju brže povezivanje i troše upola manje električne energije. Koriste se neke nove metode u strukturi poput “LUT” (dual-register 6-input lookup table) tabelarne funkcije. Ona se sastoji od 6 nezavisnih ulaza (od A1 do A6) i 2 nezavisna izlaza (O5 i O6) za svaki od 4 generatora (A, B, C i D), koji čine ovu celinu. LUT pored opšte namene, služi i za kombinatornu i sekvencijalnu logiku. Zbog svoje efikasnosti se koristi za razne logičke probleme, aritmetiku i memoriju.

Kod Spartan-6 FPGA uređaja svaki logički blok koji se može konfigurisati (CLB) se deli na 2 dela, koji su poredani u 2 vertikalne kolone. Postoje 3 vrste tih CLB delova:

- SLICEM
- SLICEL
- SLICEX

Svaki deo sadrži u sebi 4 LUT-a, 8 flip-flova i raznu drugu logiku. LUT-ovi se koriste se kao kombinatorna i sekvencijalna podrška. Na primer, svaki četvrti LUT u SLICEM delu se koristi kao 6-ulazni LUT sa jednim izlazom ili kao dupli 5-ulazni LUT za 5-bit adresiranje sa 2 nezavisna izlaza. Ovakav tip LUT-a se može koristiti za RAM ili shift registar.

Sadrže još i SDRAM memorijske kontrolere, poboljšane clock-ove za upravljanje u raznim režimima, “SelectIO” tehnologiju, PCI Express, opcije automatskog prepoznavanja...PCI Express je standard zasnovan na “point to point” serijskom interfejsu. Prenos ovog signala koristi ugrađeni clock koji eliminiše probleme kašnjenja podataka za taktom. Samim tim može dostići velike brzine (kao što je 2.5 Gb/s per lane) u zavisnosti od smera slanja.

Spartan 6 FPGA čuvaju prilagođene podatke konfiguracije u unutrašnjim lečevima koji su SRAM tipa. U zavisnosti od konkretnog modela, veličina konfiguracije bitova se kreće od 3Mb do 33Mb. Skladište konfiguracija je nestabilno i mora da se obnavlja svaki put kada je FPGA priključena. Na raspolaganju su više metoda i formata za učitavanje konfiguracija:

- JTAG mod
- Master Serial/SPI mod
- Slave Serial mod
- Master SelectMAP/BPI mod
- Slave SelectMAP mod

Kada funkcionišu u “master serial” modu, FPGA generiše signal clock-a dok u “slave serial” modu FPGA radi po taktu spoljnog clock-a. Postoje više varijanti ovih “master-slave” modova, poput SelectMAP moda koji se koristi za 8-bit i 16-bit prenos podataka.

U kombinaciji sa Master i Slave modovima, FPGA koristi dve metode za konfiguraciju: *Master Serial Peripheral Interface* (SPI) i *Master Byte-wide Peripheral Interface* (BPI). Kada je direktno povezan sa uređajem koji koristi standardni flash PROM, onda je podešen na SPI komunikaciju, dok BPI komunikaciju koristi kada je povezan sa paralelnim flash NOR standardom. Ipak kod nekih modela (poput XC6SLX4 i XC6SLX25) nije dostupna BPI komunikacija.

Spartan-6 podržavaju MultiBoot aplikaciju koja se koristi u slučaju kada se dve ili više vrsta bit-komunikacija čuvaju na istom mestu. Tada ova FPGA aplikacija kontroliše redosled korišćenja komunikacija, odnosno kada će koja vrsta da se koristi.

Broj I/O pinova se kreće od 102 do 576, u zavisnosti od uređaja i veličine paketa. Svaki pin je podesiv i odgovara raznim standardima do 3.3V. Svi pinovi koji služe za opštu namenu su dvosmerni, ne postoji pin koji je isključivo konfigurisan za jedan smer. Takođe, svi pinovi (izuzetak su pinovi za snabdevanje i još neki pinovi za posebne namene) imaju iste sposobnosti.

Organizovani su u “bankama”, čiji broj varira (četiri ili šest “banki”) u zavisnosti od veličine uređaja. Svaka “banka” ima nekoliko zajedničkih VCCO izlaznih pinova za snabdevanje naponom, koji takođe pokreće određene ulazne bafere. Postoje I/O funkcije koje su dostupne programeru za opcionalno pozivanje kao što su pull-up, pull-down otpornici, split-termination ulazni otpornici i krajnji diferencijalni otpornici.

Device	Logic Cells <sup>(1)</sup>	Configurable Logic Blocks (CLBs)			DSP48A1 Slices <sup>(3)</sup>	Block RAM Blocks		CMTs <sup>(5)</sup>	Memory Controller Blocks (Max) <sup>(6)</sup>	Endpoint Blocks for PCI Express	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
		Slices <sup>(2)</sup>	Flip-Flops	Max Distributed RAM (Kb)		18 Kb <sup>(4)</sup>	Max (Kb)						
XC6SLX4	3,840	600	4,800	75	8	12	216	2	0	0	0	4	132
XC6SLX9	9,152	1,430	11,440	90	16	32	576	2	2	0	0	4	200
XC6SLX16	14,579	2,278	18,224	136	32	32	576	2	2	0	0	4	232
XC6SLX25	24,051	3,758	30,064	229	38	52	936	2	2	0	0	4	266
XC6SLX45	43,661	6,822	54,576	401	58	116	2,088	4	2	0	0	4	358
XC6SLX75	74,637	11,662	93,296	692	132	172	3,096	6	4	0	0	6	408
XC6SLX100	101,261	15,822	126,576	976	180	268	4,824	6	4	0	0	6	480
XC6SLX150	147,443	23,038	184,304	1,355	180	268	4,824	6	4	0	0	6	576
XC6SLX25T	24,051	3,758	30,064	229	38	52	936	2	2	1	2	4	250
XC6SLX45T	43,661	6,822	54,576	401	58	116	2,088	4	2	1	4	4	296
XC6SLX75T	74,637	11,662	93,296	692	132	172	3,096	6	4	1	8	6	348
XC6SLX100T	101,261	15,822	126,576	976	180	268	4,824	6	4	1	8	6	498
XC6SLX150T	147,443	23,038	184,304	1,355	180	268	4,824	6	4	1	8	6	540

Slika 1. Kratka specifikacija Spartan-6 FPGA uređaja

Većina Spartan-6 uređaja uključuju namenski memorijski kontroler blokova (MCB), za svaki DRAM čip posebno (DDR, DDR2, DDR3 ili LPDDR). MCB služi za “rutovanje” određenih I/O pinova i omogućava brzinu pristupa do 800 Mb/s. U slučaju da se ne koristi MCB, ti pinovi su onda dostupni za opštu namenu. Ovaj kontroler obavlja kompletan multi-port posao sve do unutrašnje logike FPGA. Komande i podaci se unose i iznose po konvencionalnom FIFO (First-In-First-Out) principu.

Memorijski kontroler se može konfigurisati na više načina. Koristi se u 32-bit, 64-bit i 128-bit interfejsima i omogućava jednostavnost. Može biti povezan sa 4-bit, 8-bit ili 16-bit spoljnim DRAM-om, obezbeđujući mu veću brzinu u odnosu na tradicionalne data bus-eve. MCB funkcija ne podržava -3N klasu brzine.

Za Spartan-6 FPGA se koristi standardni softverski alat **Xilinx ISE Design Suite**. Za konvencionalne FPGA dizajne se može koristiti alat **Memory Interface Generator (MIG)**. MIG se koristi za integrisanje MCB-a u dizajn. Takođe se koristi za generisanje memorijskog interfejsa kod svih Xilinx FPGA ploča tako što stvara RTL dizajn fajlove, UCF (User Constraints File) i skripte za simulaciju i implementaciju mogućih rešenja.

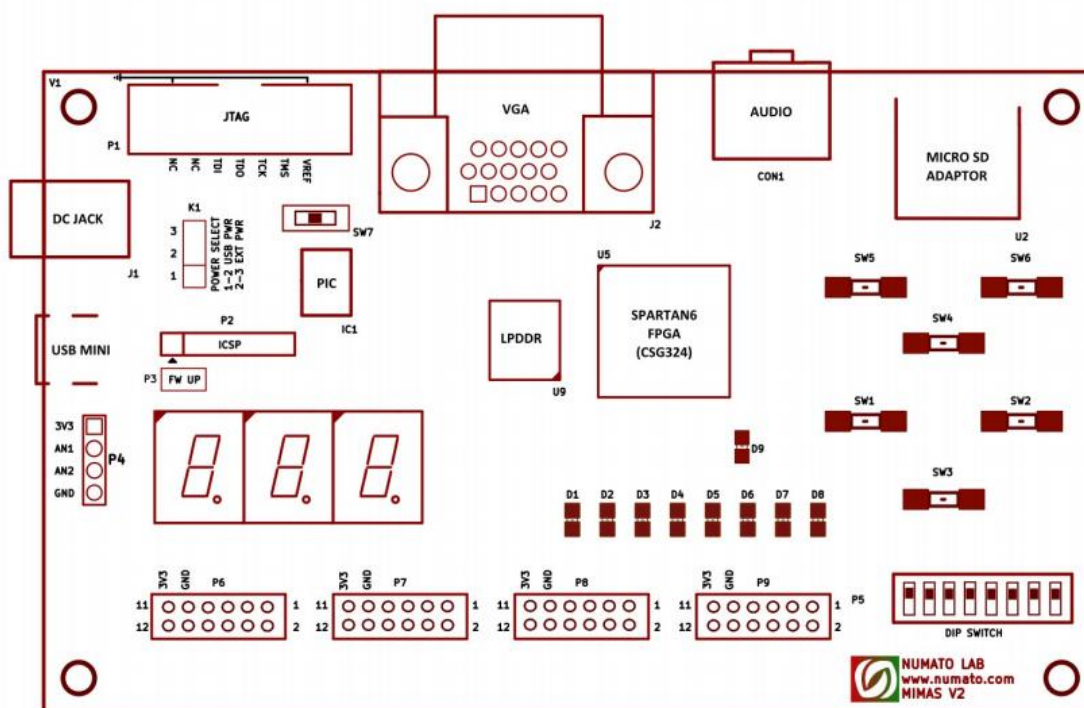
## 2. ARHITEKTURA

U ovom projektu se koristi Mimas V2 Spartan 6 FPGA razvojna ploča. Iako Mimas V2 poseduje mnoštvo funkcija, vrlo je jeftina FPGA ploča koja potiče iz Xilinx Spartan-6 porodice. Njen dizajn je namenjen za eksperimentisanje i učenje dizajna sistema uz pomoć FPGA. Sadrži USB 2.0 interfejs koji pruža brzo konektovanje na računar kao i lako programiranje ploče, samim tim nije potrebno kupovati skupe programatore za ovu ploču. Može se koristiti za razvoj prototipova produkta, obradu signala, za učenje digitalne elektronike kao i sredstvo edukacije u školama i univerzitetima. Što se tiče arhitekture ove ploče, ona ima sledeće :

- FPGA : Spartan XC6SLX9 iz CSG324 paketa
- 512 Mb Micron LPDDR memorija , 166MHz ( MT46H32M16LF/ W949D6CBHX6E)
- 16 Mb Micron SPI fleš memorija
- USB 2.0 interfejs za On-board fleš programiranje
- Mogućnost FPGA konfigurisanja uz pomoć JTAG-a i USB-a
- 8 LED dioda, 6 tastera i 8 DIP prekidača koje korisnik može definisati
- VGA konektor
- Stereo ulaz
- Adapter za mikro SD karticu
- Sedmo-segmentni displej sa tri cifre
- 32 GPIO koje korisnik može da koristi
- Četiri 6x2 dodatna konektora (GPIO,ground i 3x3 pinove)
- Regulator napona koji se nalaze na ploči

## 2.1 FPGA ČIP

Ovaj čip u low-power modu koristi 1.0V struje jezgra, dok pri maksimalnom korišćenju ploče, on vuče 1,2V struje, što je vrlo korisno. Sadrži GTP serijske primopredajnike koji imaju ogromnu brzinu i do 3.2 GB/s. Bit-serijska konfiguracija može biti ili master serijska, gde FPGA čip generiše konfiguracioni klock (CCLK) signal, ili slave serijska, gde je eksterna konfiguracija izvora podataka takođe klockovana preko FPGA. Dostupni JTAG pinovi koriste takozvane “boundary-scan” protokole kako bi učitali bit-serijske konfiguracione podatke.



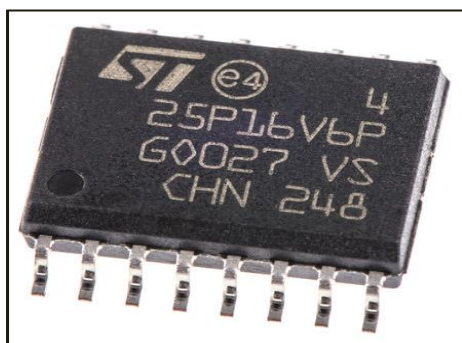
Slika 3. Šema ploče

## 2.2 RAM MEMORIJA

Što se tiče njegove RAM memorije, Spartan 6 koristi LPDDR (Low Power Double Data Rate), koja je poznata i kao DDR memorija. Jedni od glavnih proizvođača ovih memorija su Samsung i Micron. Za razliku od običnog DDR SD RAM-a, LPDDR čip je dosta manji, što doprinosi manjem zauzimanju prostora na ploči. Ova vrsta memorije radi na 1.8V, što je suprotno od uobičajnih 2.5 V. Maksimalna brzina clock-a, koju ova vrsta čipa može da postigne je 333Mhz. Njena osnovna karakteristika je što prenosi podatke na obe ivice clock-a. Spartan 6 ima 512Mb memorije, frekvencija clock-a je 166MHz, a širina podataka koju može da poprими je 16bita.

## 2.3 FLEŠ MEMORIJA

Fleš memorija koja se nalazi kod Spartana 6 jeste Micronova SPI fleš memorija od 16Mb. Ova vrsta fleš memorije je male snage i koristi serijski interfejs za sekvencijalni pristup podacima. Uređaj podržava komande visokih performansi za frekvenciju clock-a, čiji je maksimum 75MHz. Za normalan rad je potrebno dovesti napon od 2.7V do 3.6V. Ima mogućnost brisanja podataka kao i unapredene mehanizme zaštite pisanja. Memorija može biti programirana od 1-og do 256-og bajta odjednom, koristeći "PAGE PROGRAM" komandu. Cela memorija se može izbrisati uz pomoć "BULK ERASE" komande, ili se može izbrisati deo memorije koristeći "SECTOR ERASE" komandu.



Slika 4. M25P16

## 2.3 KOMUNIKACIJA

On-board USB kontroler, koji je veoma brz, omogućava računaru da komunicira sa ovom pločom. Ona koristi +5V napona za normalno funkcionisanje. Po fabričkim podešavanjima, ploča je konfigurisana da koristi +5V napona preko USB-a tako da dodatno napajanje nije neophodno osim ako USB port nije u mogućnosti da sam obezbedi realizaciju projekta. U slučaju potrebe za dodatnim naponom, postoji DC konektor koji se nalazi pored USB porta. Postoji i JTAG konektor koji omogućava pristup JTAG pinovima. XILINX-ov kabl platforme se može koristiti kako bi se vršilo JTAG programiranje na Spartan-6.



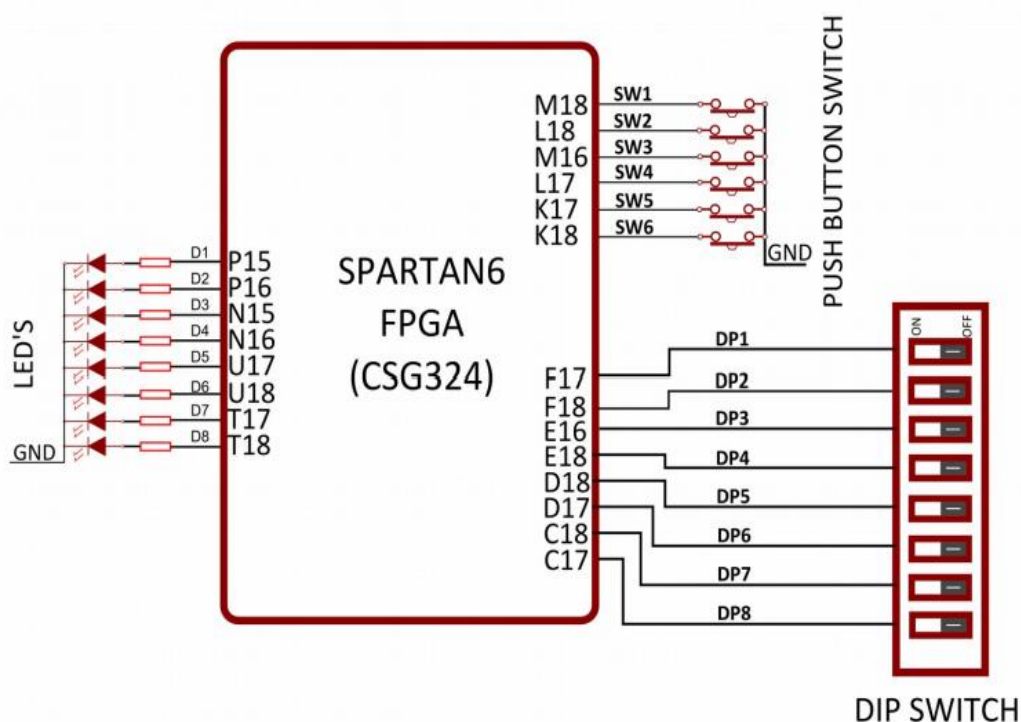
Prekidač SW7 se koristi kako bi se prebacivalo između USB konfiguracionog moda i UART-a. Ako se prekidač stavi u položaj 1, onda se konfigurše preko USB-a, a ako se stavi u položaj 2, onda se koristi UART interfejs za komuniciranje FPGA sa računarom.

## 2.4 LED DIODE, TASTERI I DIP PREKIDAČI

Spartan 6 sadrži 8 LED-dioda, koje se nalaze odmah pored sedmo-segmentnog displeja i koje služe za opštu namenu. Ove diode se pozivaju u UCF fajlu uz pomoć naredbe: NET “Naziv diode” LOC = Pin na kome se nalazi dioda. Pored LED dioda, Spartan-6 ima i 6 tastera. Kada taster nije pritisnut, nalazi se u otvorenoj poziciji, što znači da je tu pozitivan napon, tj. logička jedinica. Onog trenutka kada se taster pritisne, javlja se logička nula. Spartan 6 sadrži 8 DIP prekidača. DIP prekidači su manuelni električni prekidači i njihova glavna prednost je što su brzi i ne kvare se tako lako. Postoje tri vrste ovih prekidača:

- rotirajući
- klizajući
- “klik” prekidači

Kod Spartan-6 svi prekidači su klizajući. Što se tiče pozivanja u UCF fajlu, pozivaju se na isti način kao i LED.

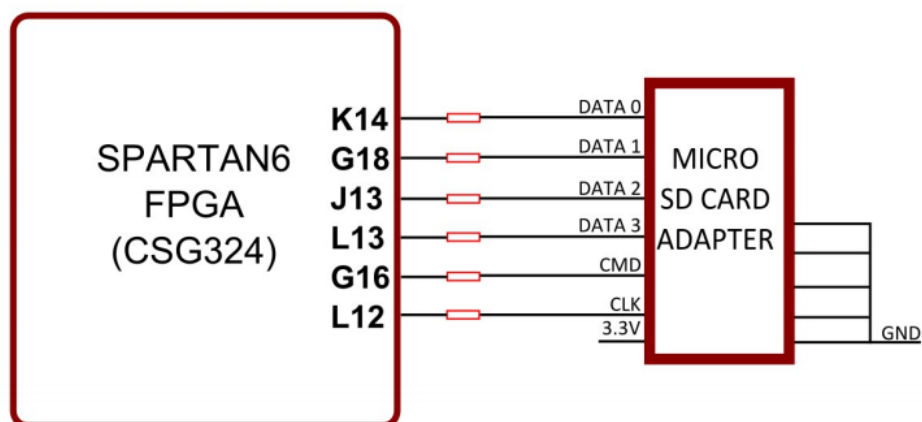


Slika 6. Šema LED dioda, tastera i DIP prekidača



## 2.5 Mikro SD

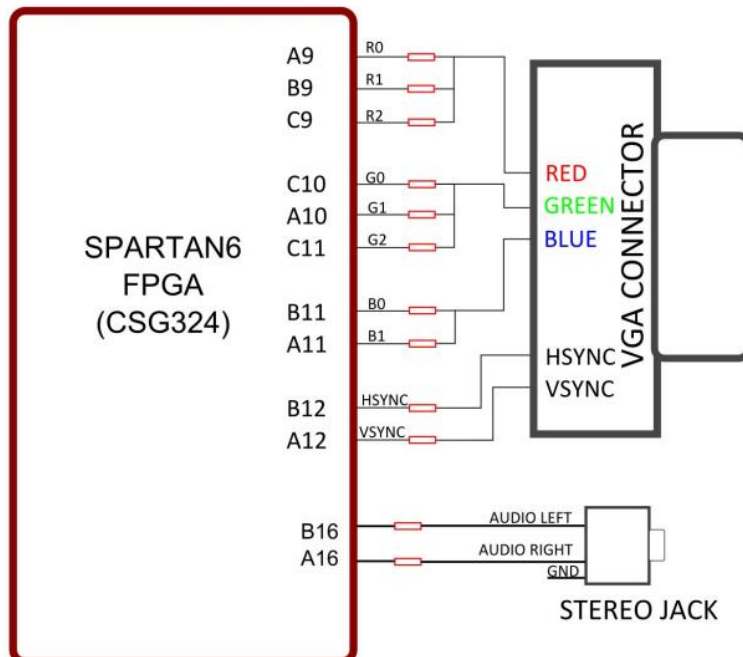
Spartan-6 sadrži i Mikro SD adapter. Pošto ima adapter, osim Mikro SD kartica, na njega se mogu prikačiti i stare SD kartice kao i miniSD kartice. Ubacivanjem Mikro SD kartice, mogu se dodati podaci, skladištiti medija fajlovi kao i drugi tipovi podataka.



Slika 7. Šema mikro SD adaptera

## 2.6 VGA I AUDIO

VGA je analogni računarski video standard koji je patentirao "IBM". VGA interfejs pruža ovoj ploči mogućnost da generiše VGA signale sa FPGA čipa i prikaže informaciju na bilo kom displeju/monitoru koji podržava standardni VGA konektor. Ovaj VGA koristi mrežu otpornika baziranu na "DAC" principu, radi lakše implementacije koda. Interfejs je 8-bit, a može prikazati do 256 boja sa rezolucijom od 320x200.

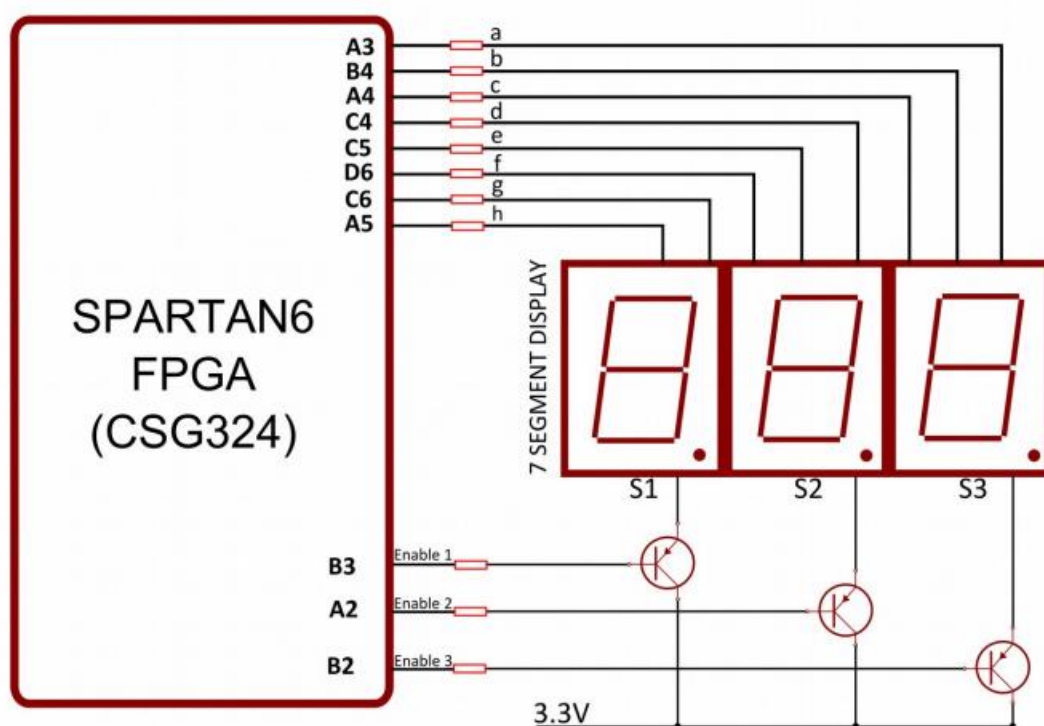


Slika 8. Šema VGA I audio ulaza

Dva I/O pina na FPGA čipu su predviđeni za generisanje dva zvučna kanala. Putem ovih kanala se mogu generisati različiti tonovi. Zvučni konektor za Spartan-6 podržava audio priključak od 3.5 mm.

## 2.7 SEDMO-SEGMENTNI DISPLEJ

Ova ploča sadrži tri sedmo-segmentna LED displeja. Svaki displej je moguće odvojeno upaliti ili ugasiti putem tri tranzistora, koji se podešavaju uz pomoć tri prekidača. Služi za prikazivanje decimalnih (kao i heksadecimalnih cifara) paljenjem i gašenjem određenih delova displeja (a, b, c, d, e, f, g i h).



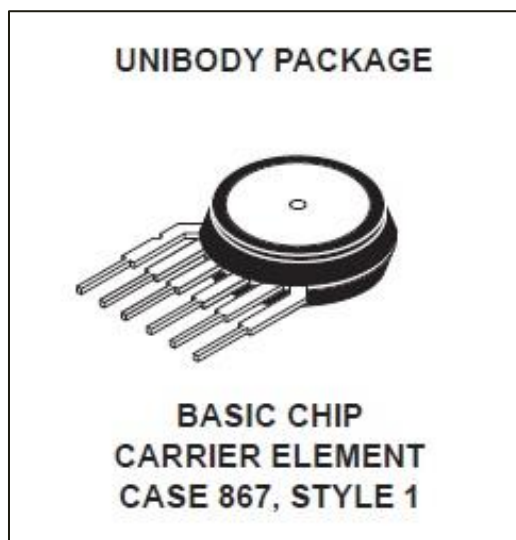
Slika 9. Šema sedmo-segmentnog displeja

## 2.8 GPIO

GPIO (General-purpose input/output) je generički pin na ploči čiju funkciju određuje sam korisnik (kao i da li će pin biti ulazni ili izlazni). GPIO pinovi nemaju nikakvu definisanu funkciju, tako da su markirani kao prazni pinovi po fabričkim podešavanjima. Što se tiče Spartan-6, poseduje 32 korisnička I/O pina koji se mogu koristiti za različite aplikacije.

### 3. PROJEKTNI ZADATAK

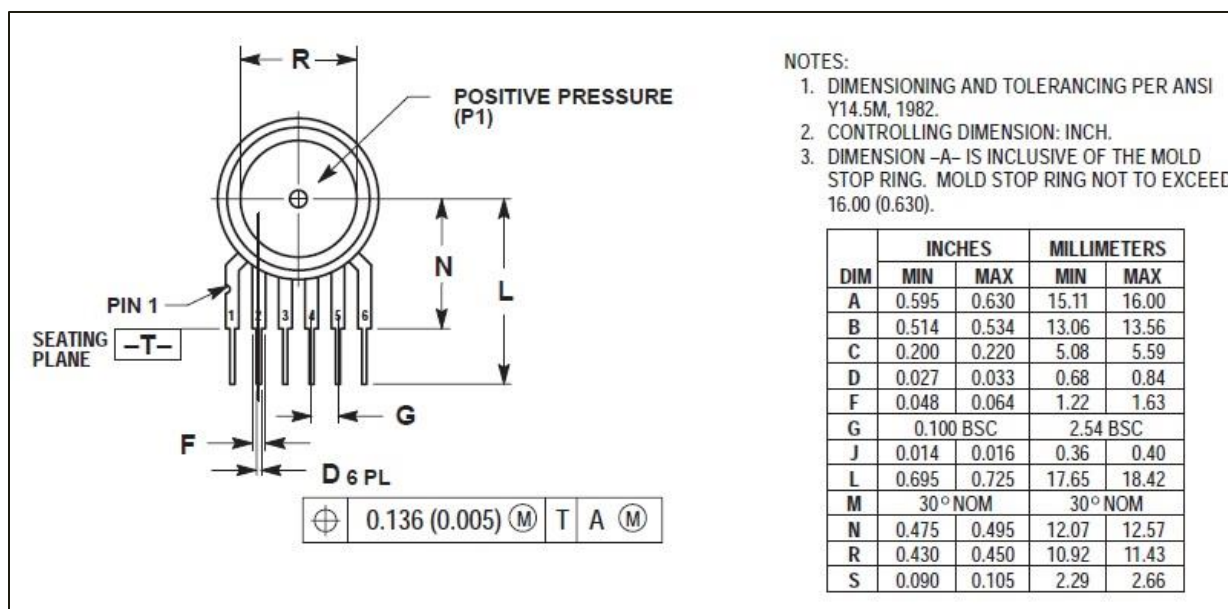
U ovom projektu se koriste **Mimas V2 Spartan 6 FPGA Development Board** (čija je arhitektura opisana u prethodnom poglavlju) i senzor za vazdušni pritisak **MPX4250A**. Cilj projekta je prenos podataka sa senzora na Spartan 6 ploču, koji se manifestuje „blinkanjem“ diode na svaku reakciju senzora.



Slika 10. Model senzora 867, koji se koristi u ovom projektu

MPX4250A je proizvod serije *Mainfold Absolute Pressure* (MAP), firme „Motorola“. To je senzor za kontrolu motora koji je dizajniran za merenje vazdušnog pritiska unutar cevi u kojoj se nalazi. Senzor ima široku primenu i uglavnom se koristi u kombinaciji sa mikrokontrolerima ili mikroprocesorima koji imaju A/D ulaze. Na primer, merenja koja obavi senzor se koriste za računanje količine goriva koja je potrebna svakom cilindru. Senzor obezbeđuje tačne analogne izlazne signale koji su proporcionalni pritisku koji deluje unutar cevi.

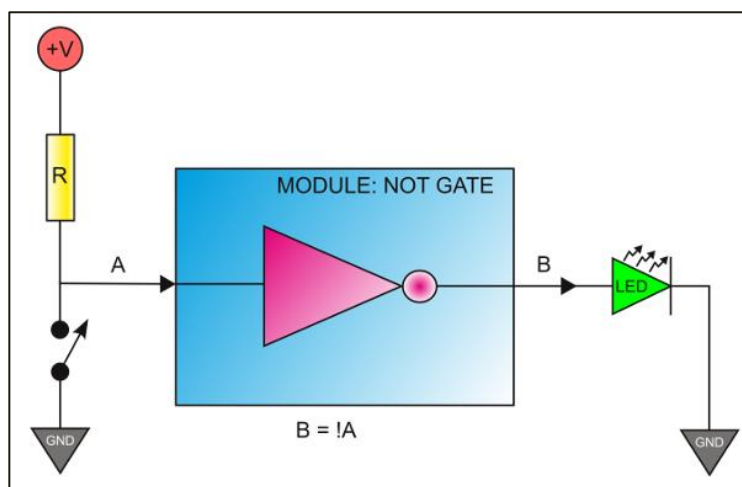
Ovaj Motorolin senzor svoje karakteristične metode merenja zasniva na merenju suvog vazduha pod pritiskom. Sve što bi se našlo u cevi sa senzorom osim suvog vazduha, dovelo bi do loših performansi i negativnih efekata. MPX meri pritisak od 20 do 250 kPa (2.9 do 36.3 psi) i šalje napon u opsegu od 0.2 do 4.9 V. U slučaju da se prekorači navedeni opseg pritiska, doći će do zasićenja na izlazu senzora. Radna temperatura se kreće od  $-40^{\circ}$  do  $+125^{\circ}\text{C}$ , a procena maksimalne greške koju može da napravi je 1.5% (otprilike  $\pm 3.45$  kPa).



Slika 11. Šema MPX4250A 867

Što se tiče FPGA, mala je razlika u programiranju u odnosu na druge ploče. Ima drugačiju I/O logiku kada se kreiraju moduli. Najbolje je tu razliku prikazati kroz jednostavan primer. Kod drugih ploča, logička nula bi se emitovala na nekom LED izlazu kao nula, odnosno ništa se ne bi dogodilo (jednostavno rečeno, ne bi svetleo LED). Kada bi se javila logička jedinica, LED bi odreagovao. To nije slučaj kod našeg Mimas V2 Spartan-6. Naš Mimas FPGA ima obrnutu logiku tj. kada se javi logička nula, Spartan 6 dovodi napon na to mesto (u našem primeru to znači da bi LED reagovao sve dok je 0). Analogno važi za logičku jedinicu.

Ako programer može da se navikne na ovu logiku, onda je može koristiti bez problema u svojim modulima. Međutim postoji i drugo rešenje, u slučaju da je potrebna konvencionalna I/O logika. Treba samo na sve ulazne promenljive u modulu da se postavi inverter (NOT kolo) i Spartan-6 će se ponašati kao i sve ostale ploče koje koriste klasičnu logiku.



Slika 12. NOT kolo

Nakon pravljenja modula, sledi implementacija, odnosno povezivanje I/O promenljivih iz modula sa realnom hardverskom platformom. To je ujedno i druga razlika u programiranju Spartana 6. Mimas V2 Spartan-6 nema takozvane *pull-up* ugrađene unutrašnje otpornike na svojim prekidačima i tasterima. Uglavnom to druge ploče imaju, ali to nije nikakav nedostatak. Zato Spartan-6 ima opciju da aktivira ove otpornike unutar UCF-a (User-Constraints-File). Tako da je potrebno pri definisanju promenljivih u UCF-u pre korišćenja svakog prekidača/tastera reći da je ta promenljiva „PULLUP“.

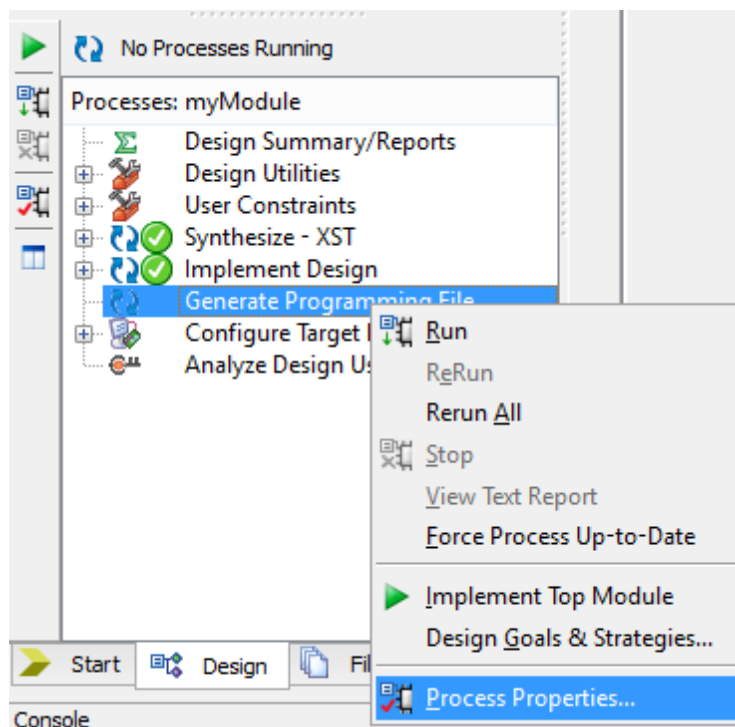
Ako bismo želeli da implementiramo naš prethodni primer sa NOT kolom, u UCF fajlu bi to izgledalo:

1. NET “B” LOC = T18;
2. NET “A” PULLUP;
3. NET “A” LOC = M16;

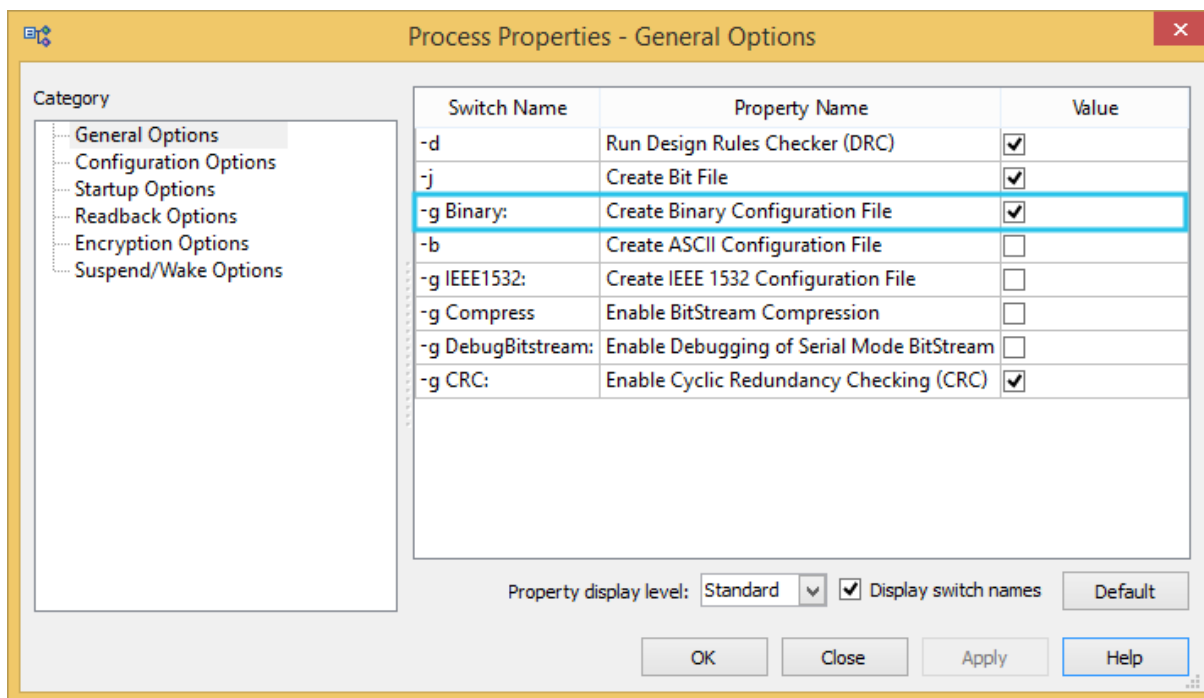
PULL-UP znači da će A dobiti napon i ponašaće se kao prekidač. U suprotnom, bez pull-up definisanja, neće doći napon i prekidač neće reagovati.

Poslednja stvar koja je specifična za ovaj FPGA je programiranje samog hardvera. Hardverska platforma Mimas V2 (i Elbert V2) zahteva da „bit stream“ fajl bude u *raw binary* formatu. Pošto ISE ne generiše po default-u takav format bit fajla, potrebno je to podesiti u opcijama. To se radi po sledećem principu:

- Nakon što se izvrše „Synthesize“ i „Implement Design“, desni klik na „Generate Programming File“, pa u otvorenom prozoru ići na „Processes Properties“.



- U otvorenom prozoru „Process Properties“ u kartici „General Options“ treba štiklirati „Create Binary Configuration File“ i kliknuti na „Apply“



Slika 14. Process Properties

Nakon postavljanja ove opcije, potrebno je još da se izvrši „Generate Programming File“ i iskoristi dobijeni fajl za podešavanje ploče. Za podešavanje Spartan-6 FPGA se koristi fajl sa ekstenzijom .bin, a ne fajl sa ekstenzijom .bit (kao što je to slučaj kod drugih FPGA ploča).

## LITERATURA

- <http://www.datasheetpdf.com/datasheet/MT46H32M16LF.html>
- <http://pdf1.alldatasheet.com/datasheet-pdf/view/443847/WINBOND/W949D6CBHX6E.html>
- <https://www.micron.com/parts/nor-flash/serial-nor-flash/m25p16-vmn6p>
- <http://numato.com/mimas-v2-spartan-6-fpga-development-board-with-ddr-sdram/>
- <https://www.wikipedia.org/>