

## Aufgabe 2

(10 + 20 Punkte)

**Lernziele:** Zähler jeglicher Art spielen in digitalen Systemen eine wichtige Rolle und werden häufig in zahlreichen Schaltungen eingesetzt, z.B. in Synchronisationsschaltungen oder als Frequenzteiler. Deshalb sollen Sie sich im Rahmen dieser Aufgabe mit der Funktionsweise, der Anwendung in FPGAs, der synthesesgerechten Verhaltensbeschreibung in VHDL sowie mit der Synthese solcher Komponenten vertraut machen. Außerdem vertiefen Sie Ihre Kenntnisse aus der vorherigen Aufgabe und erweitern Ihr Wissen, in dem Sie sich mit folgenden Punkten weiter befassen:

- a) Implementierung von VHDL-Komponenten bei vorgegebener Schnittstelle,
- b) synthesesgerechte Verhaltensbeschreibung einfacher Schaltwerke mit Hilfe von Prozeß- und IF-Anweisungen,
- c) Strukturbeschreibung im hierarchischen Entwurf durch Instanzierung von bereitgestellten oder selbst entwickelten Komponenten.

### Hinweise:

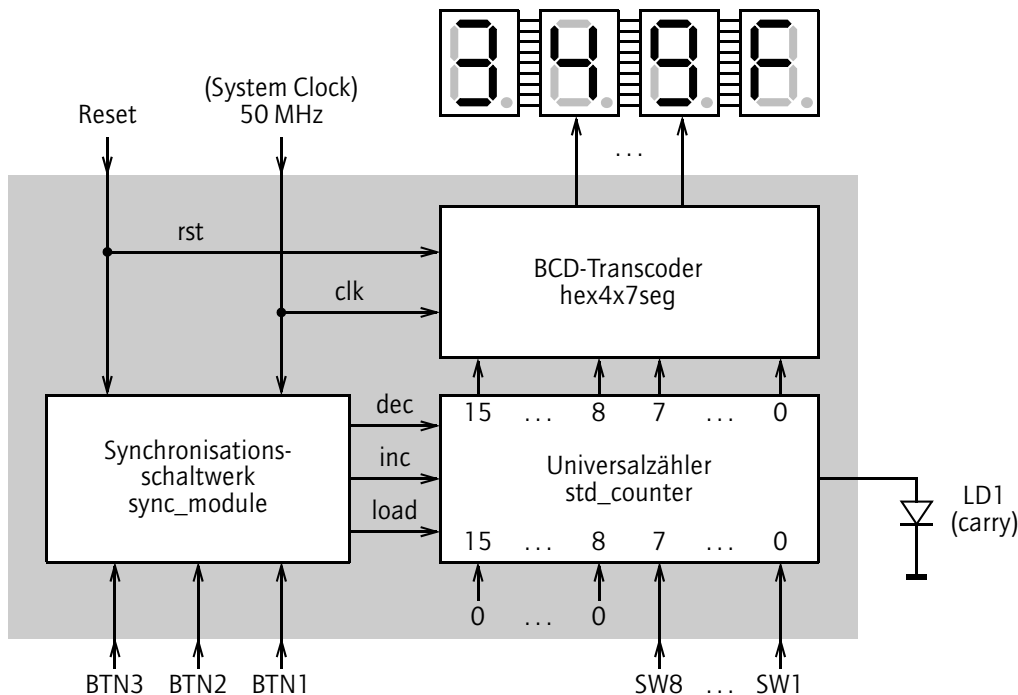
1. Vorgegebene Schnittstellen oder bereitgestellte Komponenten dürfen weder geändert noch durch andere ersetzt werden.
2. Der Takt in synchronen Digitalsystemen ist eine „unantastbare“ Größe und darf auf keinen Fall über Gattern mit anderen Signalen verknüpft werden. So etwas ist ein schlechter Programmierstil und Hinweis auf mangelnde Kenntnisse der Digitaltechnik. Der Takt darf nur direkt an die Clock-Eingänge von Flipflops angeschlossen werden.

### Aufgabenstellung.

Im Rahmen dieser Aufgabe sind folgende Schaltwerke zu entwickeln:

1. ein Basismodul (sync\_buffer, siehe Bild 3) zur Abtastung und Entprellung eines Eingangssignals (einer Taste) mit Hilfe der Hysterese-Funktion,
2. ein Synchronisationsschaltwerk (sync\_module, siehe Bild 1 und Bild 3), bestehend aus drei instanziierten Basismodulen (sync\_buffer) und aus einem Frequenzteiler zur Generierung der Zeitbasis für die Abtastung und
3. ein generischer, N-stelliger Universalzähler (std\_counter, siehe Bild 1) mit Lade-, Inkrement- und Dekrement-Funktionen.

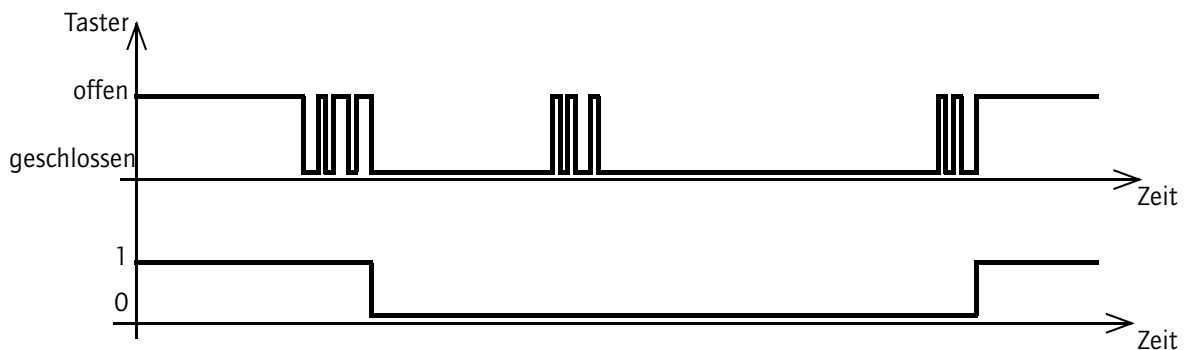
Das Bild 1, in dem der Inhalt des FPGAs grau hervorgehoben ist, zeigt schematisch den Aufbau des Systems. In der Einsatzumgebung des FPGAs befinden sich ein 50-MHz-Taktgenerator (System Clock), acht Schiebeschalter ( $sw_7..sw_0$ ), vier Taster ( $btn_3..btn_0$ ), eine Leuchtdiode LD0 und eine 4-stellige 7-Segmentanzeige. Die Ansteuerung der 4-stelligen 7-Segmentanzeige erfolgt mit der Komponente aus der vorherigen Aufgabe. Der Taster  $btn_3$  (User Reset) liefert ein zentrales Rücksetzsignal  $rst$ , mit dem alle Speicherelemente in der Schaltung zurückgesetzt werden sollen.



**Bild 1:** Schematischer Aufbau des Systems. Die beiden internen Signale  $rst$  und  $clk$  sind auch mit dem Universalzähler verbunden. Allerdings sind sie der Übersichtlichkeit halber im Bild nicht gezeichnet.

**Synchronisationsschaltwerk.** Ein Taster hat einen mechanischen Kontakt zum Schließen und Öffnen. Bedingt durch diese mechanische Konstruktion verläuft der Schließ- oder Öffnungsvorgang nicht störungsfrei. Solche Störungsphasen dauern gewöhnlich bis zu 30 ms. Das Bild 2 zeigt einen realitätsnahen Verlauf des Signals beim Schließen und beim Öffnen eines Tasters. Im Bild sind deutlich Folgen von Störimpulsen zu sehen, die, wenn sie ungefiltert ins digitale System gelangen, zu einem unvorhersehbaren Verhalten in Schaltungen führen können. Auch wenn ein Taster geschlossen ist, kann er gelegentlich Störimpulse generieren. Das untere Impulsdigramm zeigt den erwarteten, FPGA-internen Signalverlauf nach der Abtastung und der Synchronisation.

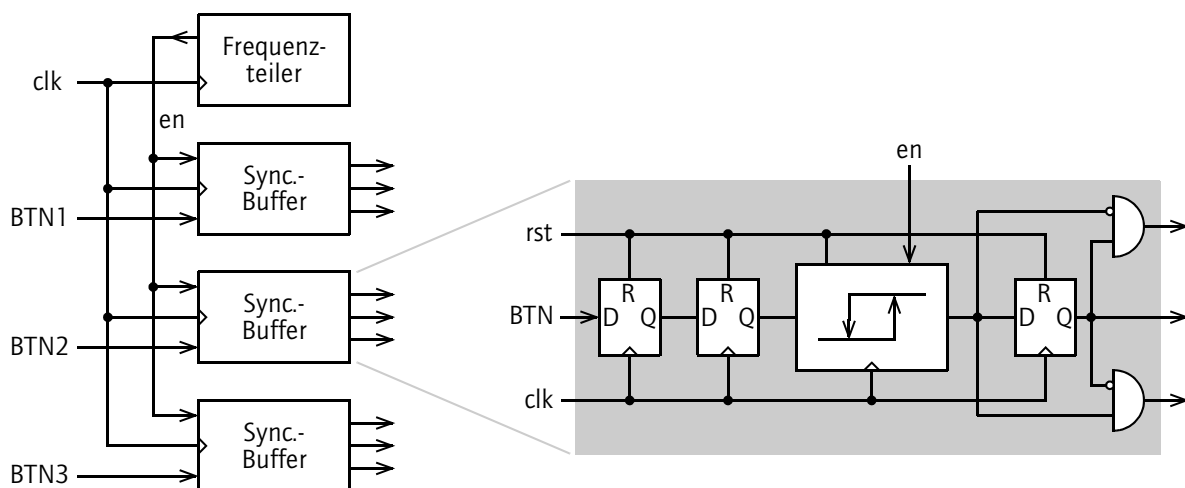
Der zeitliche Verlauf von Schließ- oder Öffnungsvorgängen lässt sich nur unzureichend vorhersehen, deshalb empfiehlt es sich, durch eine „geeignete“ Abtastung von Eingangssignalen eine Entprellung von Tasten vorzunehmen und auf diese Weise die Eingangssignalen mit dem digitalen System zu synchronisieren.



**Bild 2:** Ein realitätsnaher Verlauf eines Signals beim Schließen und beim Öffnen eines Tasters.

Eine einfache Schaltung, die aus zwei, in Reihe geschalteten D-Flipflops mit einem asynchronen Rücksetzeingang *rst* und eine gemeinsamen Systemtakt *clk*, ist in Bild 3 dargestellt, und dient dazu, metastabile Zustände zu verhindern. Erst danach dürfen Eingangssignale in digitalen Komponenten weiter verarbeitet werden.

Zur Abtastung der Eingangssignale BTN1, BTN2 und BTN3 ist eine Abtastfrequenz von 500 Hz bis 2 kHz sinnvoll. Diese Abtastfrequenz kann bei einem Systemtakt von 50 MHz z.B. mit einem Frequenzteiler auf der Basis eines Modulo-2<sup>15</sup>-Zählers erreicht werden. Höhere Abtastfrequenzen führen i.d.R. dazu, daß relativ viele Störimpulse erfaßt werden. Bei zu niedrigen Abtastfrequenzen kann während der Benutzung der Eindruck entstehen, daß das System träge auf Eingaben reagiert. Anschließend werden 32 Sampling-Werte mit Hilfe einer Hysterese-Schaltung ausgewertet. Das genaue Verhalten einer Hysterese-Schaltung wird in der Vorlesung besprochen.



**Bild 3:** Das Blockschaltbild des Synchronisationsschaltwerks *sync\_module* mit einer detaillierten Darstellung eines Synchronisationsbuffers *sync\_buffer*. Das Signal *rst* ist im linken Blockschaltbild der Übersichtlichkeit halbe nicht dargestellt. Mit den beiden AND-Gattern und einem D-Flipflop am Schaltungsanfang wird die steigende bzw. fallende Signaländerung detektiert.

**Universalzähler.** Der Universalzähler `std_counter` ist ein generischer, synchroner, N-stelliger Zähler mit vorgegebener Funktionstabelle (Tabelle 1).

Dieser Universalzähler verfügt insgesamt über folgende Steuersignale:

- ein asynchrones Rücksetzsignal *rst*: beim aktiven Rücksetzsignal wird der Inhalt des Universalzählers auf 0 gesetzt,
- das Taktsignal *clk*: der Universalzähler soll auf die steigende Taktflanke reagieren,
- ein synchrones „Software“-Rücksetzsignal *swrst*: dieses Signal bewirkt dasselbe wie das asynchrone Rücksetzsignal, allerdings ist das „Software“-Rücksetzsignal mit dem Takt synchronisiert,
- ein Enable-Signal *en*: mit diesem Signal werden die Lade-, Inkrement- und Dekrement-Funktionen des Universalzähler freigegeben (*en* = 1) oder blockiert (*en* = 0),
- ein Ladesignal *load*: beim aktiven Ladesignal (*load* = 1) wird der Universalzähler mit einem Wert geladen. In dieser Aufgabe wird dieser Wert als Konkatination, bestehend aus dem Wert 0x00 und der Einstellung der Schiebeschalter SW8..SW1, gebildet.
- ein Dekrementsignal *dec*, beim aktiven Dekrementsignal (*dec* = 1) wird der Inhalt des Universalzählers um 1 reduziert.
- ein Inkrementsignal *inc*, beim aktiven Inkrementsignal (*inc* = 1) wird der Inhalt des Universalzählers um 1 erhöht.

**Tabelle 1:** Funktionstabelle des Universalzählers. In der Tabelle ist der Fall dargestellt, in dem alle Steuersignale mit 1 aktiv sind. Bei den Signalen *rst* und *swrst* ist ggf. eine Anpassung an die generische Konstante `RSTDEF` vorzunehmen.

<i>rst</i>	<i>clk</i>	<i>swrst</i>	<i>en</i>	<i>load</i>	<i>dec</i>	<i>inc</i>	$q^{t+1}$
1	–	–	–	–	–	–	00..0
0	↑	1	–	–	–	–	00..0
0	↑	0	0	–	–	–	$q^t$
0	↑	0	1	1	–	–	din
0	↑	0	1	0	1	–	$q^t - 1$
0	↑	0	1	0	0	1	$q^t + 1$
0	↑	0	1	0	0	0	$q^t$

Ein auftretender Übertrag (carry) beim Inkrementieren (nur wenn 0xFFFF → 0x0000) oder beim Dekrementieren (nur wenn 0x0000 → 0xFFFF) des Universalzählers soll mit der Leuchtdiode LD1 angezeigt werden. Bei allen anderen Werteänderungen des Universalzählers (z.B. 0x0000 → 0x0001 oder 0xFFFF → 0xFFFE) soll die LED1 ausgeschaltet bleiben.

Ein Taster (BTN) kennt nur zwei stabile Zustände: entweder ist er offen oder er ist geschlossen. Somit ergeben sich auch zwei Zustandsübergänge: offen → geschlossen (beim Niederdrücken der Taste), geschlossen → offen (beim Loslassen der Taste).

Diese Zustandsübergänge sollen zur Ansteuerung des Universalzählers verwendet werden. Das Laden eines Wertes in den Universalzähler soll mit dem Niederdrücken des Tasters BTN3 erfolgen. Das Inkrementieren bzw. das Dekrementieren des Universalzählers soll hingegen beim Loslassen der Taster BTN2 und BTN1 ausgelöst werden.

**Tabelle 2:** Belegung der Taster mit Funktionen

Taster	Signal	Kommentar
BTN1	inc	der Universalzähler wird um 1 inkrementiert
BTN2	dec	der Universalzähler wird um 1 dekrementiert
BTN3	load	der Universalzähler wird mit (0x00 & SW8..SW1) geladen
BTN4	LED2	

Hinweis. Auch wenn in dieser Aufgabe noch nicht alle Steuersignale des Universalzählers an aktive Signale angeschlossen sind (*en*, *swrst*), versuchen Sie trotzdem, diesen Signalen sinnvolle Initialisierungswerte zuzuweisen.

**Resetphase.** Während der Resetphase sollen alle LED-Segmente der 4-stelligen 7-Segmentanzeige ausgeschaltet werden. In diese Phase sollen auch alle Zähler sowie Frequenzteiler zurückgesetzt bzw. auf Initialisierungswerte gesetzt werden.