

Universidad de Costa Rica

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

Tarea # 4

Jose Pablo Laurent Chaves Carné: B63761

28 de octubre de 2024

Resumen

La siguiente tarea pretende diseñar un generador y un receptor de datos utilizando el protocolo I^2C . En términos generales Para iniciar una transacción de I^2C , el generador de transacciones debe producir la condición de inicio. Es decir, debe bajar la señal SDA mientras el SCL permanece en alto. Una vez que se da la condición de inicio, en el siguiente flanco positivo de SCL se debe transmitir el primer bit de la transacción. Al completarse el envío de un byte, el generador debe esperar a que el receptor le envíe una señal de confirmación de que el byte se recibió correctamente, poniendo en 1 la señal de SDA. Una vez que se completa toda la transacción, el generador de transacciones debe enviar una condición de parada, que consiste en poner en alto la señal de SDA mientras el SCL también se encuentra en alto. En una transacción de I^2C , el primer byte se usa para identificar el dispositivo con el que se quiere comunicar, y el último bit del primer byte indica si se trata de una transacción de lectura o escritura. Se realizaron un total de 3 pruebas correspondientes al proceso de escritura, lectura y el ingreso de una dirección fallida hacia el receptor. Finalmente el diseño propuesto aprobó satisfactoriamente las pruebas estipuladas, concluyendo que es posible la elaboración del protocolo I^2C mediante una descripción conductual en verilog.

1. Descripción Arquitectónica

1.1. Generador

En la imagen de la Figura 1 se observa el diagrama de flujo del generador, de él, se parte de un estado INICIO, donde se inicializan las señales de salida como SCL y SDA_OUT en alto, caso de producirse una condición donde se recibe un pulso de START_STB y detectarse que SCL está en alto, la señal SDA_OUT pasa a ser un bajo, una vez que esto sucede se establece el inicio de una comunicación, por consiguiente el siguiente estado será el de ENVIAR_DIR_RECEPTOR.

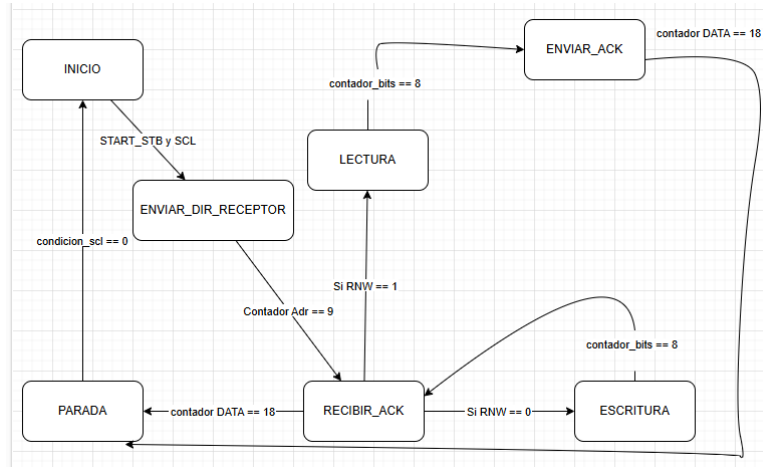


Figura 1: Diagrama de estado generador.

Una vez en el estado ENVIAR_DIR_RECEPTOR, el generador envía bit a bit la dirección del receptor en conjunto con un bit adicional que indica si se quiere realizar una operación de escritura o lectura, posteriormente se pasa al estado RECIBIR_ACK. En el estado RECIBIR_ACK se recibe por medio de SDA_IN, si el conjunto de bits enviados coinciden con la dirección del receptor, recibiendo un ACK en SDA_IN pasando ya sea al estado de LECTURA o ESCRITURA, caso contrario se permanece en el estado RECIBIR_ACK. Con respecto al estado de LECTURA, el generador recibe bit a bit el contenido de RD_DATA proveniente

del receptor, cada 9 bits enviados se envía un ACK desde el generador como confirmación de los datos, volviendo de nuevo al estado de LECTURA, finalmente cuando el contador interno contador_DATA llega a 18 se pasa al estado de PARADA. De manera análoga el estado de ESCRITURA cada 9 bits recibe un ACK del receptor confirmando que los datos llegaron, finalmente cuando la variable contador_DATA llega a 18 se pasa al estado de PARADA. Por último en el estado de PARADA se pone en alto la señal de SDA mientras el SCL también se encuentra en alto hasta que se detecte otro pulso START_STB y se quiera iniciar otro proceso de comunicación.

1.2. Receptor

En la imagen de la Figura 2 se observa el diagrama de flujo del receptor, se parte de un estado IDLE donde se inicializan todas las variables internas posteriormente se pasa al estado INICIO cuando SCL está en alto SDA_OUT pasa a bajo, en el estado INICIO es solamente un estado de transición para pasar al estado de ENVIAR_ACK. En el estado ENVIAR_ACK, se evalúa si la dirección recibida desde el generador es valida, en caso de serlo se envía un ACK y se puede pasar al estado de LECTURA o ESCRITURA, caso contrario se mantiene en el estado de ENVIAR_ACK.

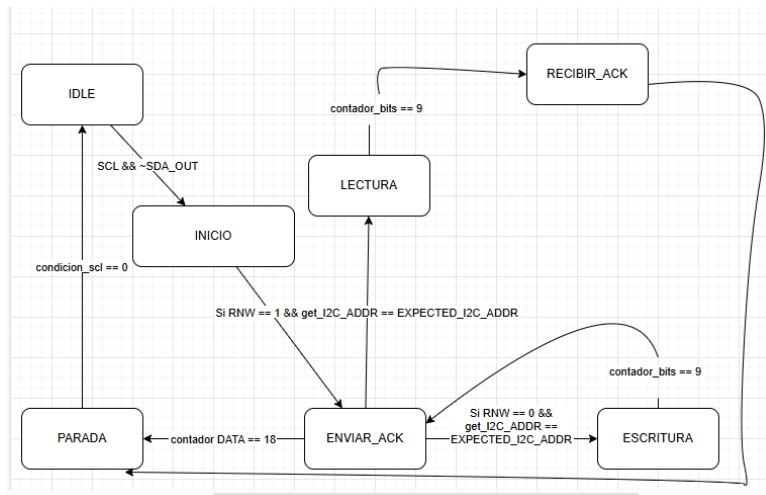


Figura 2: Diagrama de estado receptor.

En el estado de LECTURA, se envían 8 bits desde el receptor hasta el generador y al llegar al noveno bit se recibe un ACK desde el generador. En cuanto al estado de ESCRITURA este lee 8 bit enviados desde el generador y al noveno bit se envía un ACK. Tanto en los estados de RECIBIR_ACK ENVIAR_ACK a la hora de que el contador_DATA sea igual a 18 se establece una condición de PARADA, donde el receptor permanece hasta que el generador quiera entablar otra comunicación.

2. Plan de Pruebas

El plan de pruebas consiste en 3 pruebas que se detallan a continuación.

2.0.1. Transacción de escritura de dos bytes de datos / Prueba # 1

La transacción de escritura consiste en provocar una condición de inicio por parte del generador. Una vez que se da la condición de inicio, en el siguiente flanco positivo de SCL se

debe transmitir el primer bit de la transacción, el cual contiene la dirección del dispositivo del receptor con el cual se quiere emparejar el generador. Posteriormente, el receptor envía un ACK si la dirección enviada es la correcta. Posteriormente, el generador envía 1 byte de datos, el receptor envía un ACK, luego se envía el segundo byte de datos y el receptor vuelve a enviar un ACK. Finalmente, el generador de transacciones debe enviar una condición de parada, que consiste en poner en alto la señal de SDA mientras el SCL también se encuentra en alto.

2.0.2. Transacción de lectura de dos bytes de datos / Prueba # 2

La transacción de lectura consiste en provocar una condición de inicio por parte del generador. Una vez que se da la condición de inicio, en el siguiente flanco positivo de SCL se debe transmitir el primer bit de la transacción, el cual contiene la dirección del dispositivo del receptor con el cual se quiere emparejar el generador. Posteriormente, el receptor envía un ACK si la dirección enviada es la correcta. Posteriormente, el generador recibe 1 byte de datos, el receptor recibe un ACK, luego se recibe el segundo byte de datos en el generador y el receptor vuelve a recibir un ACK. Finalmente, el generador de transacciones debe enviar una condición de parada, que consiste en poner en alto la señal de SDA mientras el SCL también se encuentra en alto.

2.0.3. Dirección incorrecta del receptor / Prueba # 3

En este caso el receptor ignora las transacciones cuando van dirigidas hacia otros dispositivos, por consiguiente tanto en el generador como receptor no se pueden efectuar operaciones de lectura y escritura.

3. Instrucciones de utilización de la simulación

Ejecute el siguiente Makefile en el sistema operativo Linux con el comando “make” en la terminal dentro de la carpeta “src”.

4. Resultados

4.1. Transacción de escritura de dos bytes de datos / Prueba # 1

En la imagen de la Figura 3 se observa la operación de escritura entre un generador y un receptor. Inicialmente se tiene en la señal de entrada I2C_ADDR el valor de 61 que en binario es 111101. Estos bit se envían uno por uno en SDA_OUT, hasta que el contador_adr llegue a un valor de 7, posteriormente se envía un bit adicional que indica que es una operación de escritura, posteriormente contador_adr llega a 9 y recibe un ACK de parte del receptor poniendo SDA_IN en bajo, en la variable interna get_I2C_ADDR se almacena el valor bit a bit de I2C_ADDR, cuyo valor final es 61 en decimal. Una vez ingresada la correcta dirección del receptor, cada 8 bit de vistos en contador bits son enviados por SDA_OUT y almacenados dentro de WR_DATA_receptor. Una vez que se han transmitido todos los bit de WR_DATA el generador y el receptor entran en un estado de parada donde SDA_OUT y SCL permanecen en alto.

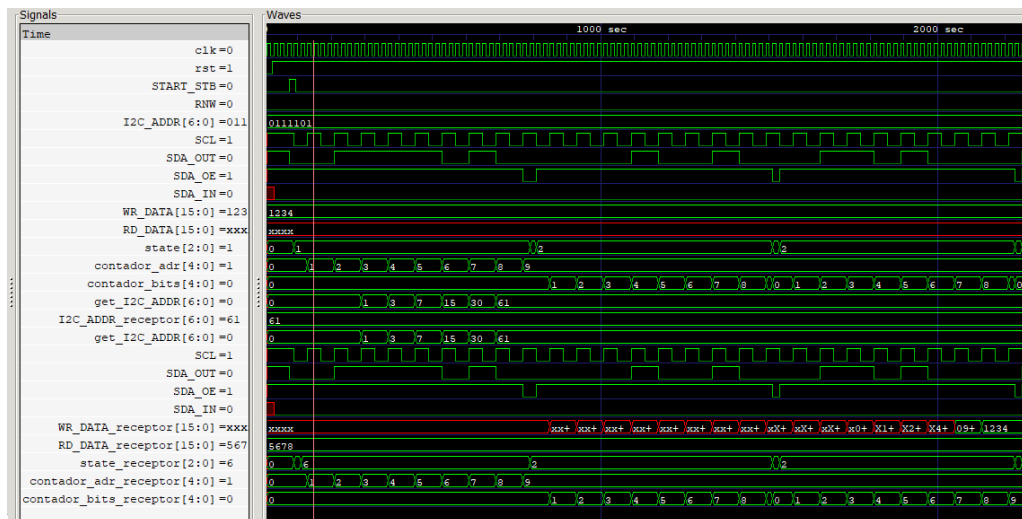


Figura 3: Operación de escritura.

4.2. Transacción de lectura de dos bytes de datos / Prueba # 2

En la imagen de la Figura 5 se realiza una operación de escritura en la señal RD_DATA_receptor se desea transmitir su contenido desde el receptor hasta el generador y ver el resultado en la señal RD_DATA. Para ello se envía primero la dirección del receptor con la indicación de la operación de lectura, una vez que la dirección es validada, el generador empieza a transmitir el contenido de RD_DATA_receptor cada 8 bits al noveno bit recibe un ACK de parte del generador, esto continua hasta que se agota el contenido de RD_DATA_receptor y tanto el generador como el receptor entrar en un estado de parada donde SCL y SDA están en alto.

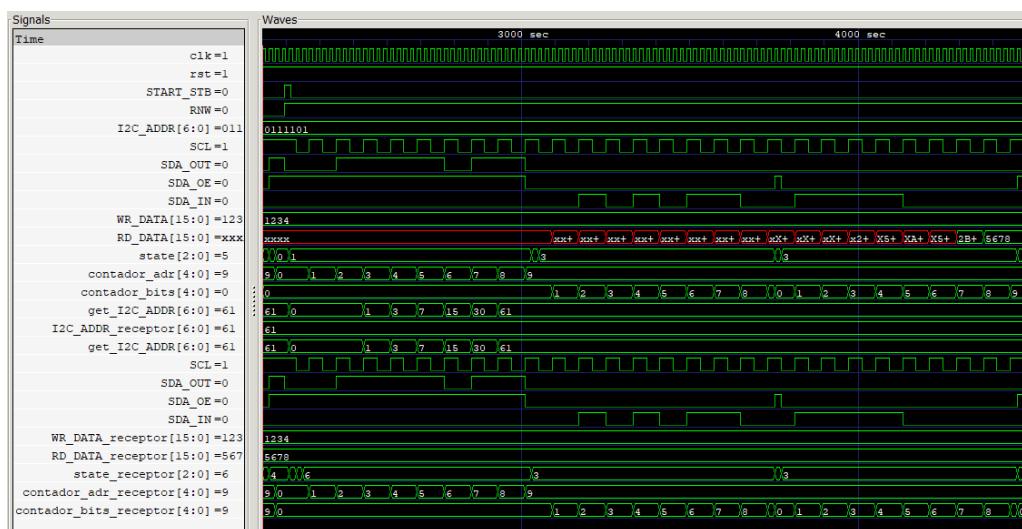


Figura 4: Operación de lectura.

4.3. Dirección incorrecta del receptor / Prueba # 3

En la imagen se ingresa una dirección incorrecta de la dirección del receptor, en ella se observa que se envía la dirección por medio del generador, luego es recibido por el receptor, como el valor no es igual a 61 en decimal, tanto el generador como el receptor no realizan ninguna operación de escritura o lectura.

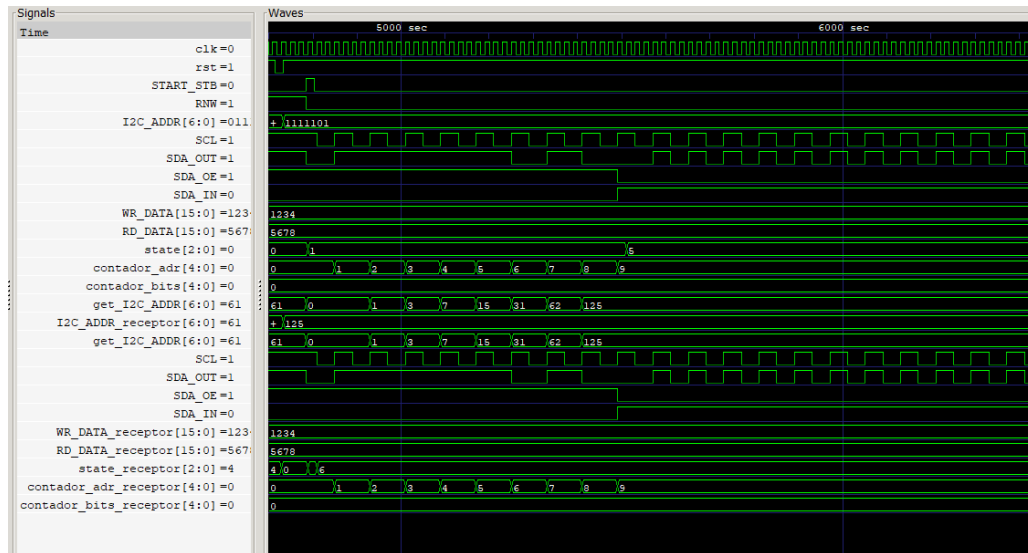


Figura 5: Dirección incorrecta del receptor.

5. Conclusiones y recomendaciones

Se concluye que laa tarea logró diseñar y simular un sistema generador y receptor de datos utilizando el protocolo de comunicación I2C en un entorno de simulación. Esto demuestra que, mediante una descripción en Verilog, es posible implementar este tipo de comunicación de manera funcional y compatible con las especificaciones. Las pruebas de escritura y lectura ejecutadas confirmaron la correcta comunicación entre el generador y el receptor. El generador pudo enviar y recibir datos de manera precisa, siguiendo los estados y secuencias correspondientes de inicio, transmisión, confirmación (ACK), y parada, lo que valida la robustez del diseño. Entre las recomendaciones si se planea implementar este diseño en hardware físico, es recomendable considerar la sincronización de tiempos y posibles condiciones de ruido en la línea de datos, ajustando el diseño para trabajar con variaciones de señal en aplicaciones reales.