

Nome: \_\_\_\_\_

**NÃO DESTAQUE AS FOLHAS DA PROVA.**

Apresente suas respostas com organização, no espaço reservado para cada questão.

**QUESTÃO 1:** Assunto: diversificado (valor total: 5 pontos)

Responda 'V' (verdadeiro) ou 'F' (falso) para as afirmativas abaixo. Cada marcação correta corresponderá a 0,5 (meio) ponto. Cada marcação deixada em branco corresponderá a 0 ponto. Cada marcação errada corresponderá a -0.5 (menos meio)!

- ( V ) Os registradores HI e LO do MIPS são usados para a realização da divisão.
- ( V ) A codificação para NaN (*Not a Number*) em ponto flutuante (formato IEEE 754, precisão simples) é: expoente igual a 255 e fração diferente de 0.
- ( F ) Na microarquitetura 'ciclo único' as instruções são armazenadas no registrador de instruções (IR) em todos os ciclos de clock.
- ( F ) Na microarquitetura 'ciclo único' alguns registradores necessitam ser adicionados após cada unidade funcional.
- ( V ) Na microarquitetura 'multi-ciclo' nem todas as instruções usam todos os estágios.
- ( V ) Na notação IEEE -754, precisão dupla o valor do deslocamento de correção do expoente vale 1023.
- ( F ) As microarquiteturas 'multi-ciclo' e 'pipelining' apresentam as mesmas características.
- ( F ) Na microarquitetura 'pipelining' é proibido que um estágio do pipeline faça um acesso de leitura ao um registrador, enquanto outro estágio faz um acesso de escrita no mesmo ciclo de clock ao mesmo registrador.
- ( F ) *Pipeline* é uma técnica que permite acelerar a execução de uma instrução.
- ( V ) Dois números negativos quando somados podem ocasionar *overflow*.

**QUESTÃO 2:** Assunto: Conversão de números em notação de ponto flutuante. **(valor: 5 pontos)**

- a) Converta o número 1,125 para a notação ponto flutuante de precisão simples obedecendo a norma IEEE-754.
- a.1) O valor do sinal obtido após a conversão é igual a: **0 (0,5 pontos)**
  - a.2) O expoente em binário é igual a: **0111 1111 (1.0 ponto)**
  - a.3) Os 4 bits mais significativos da mantissa são: **0010 (1.0 ponto)**

Mostre seus cálculos.

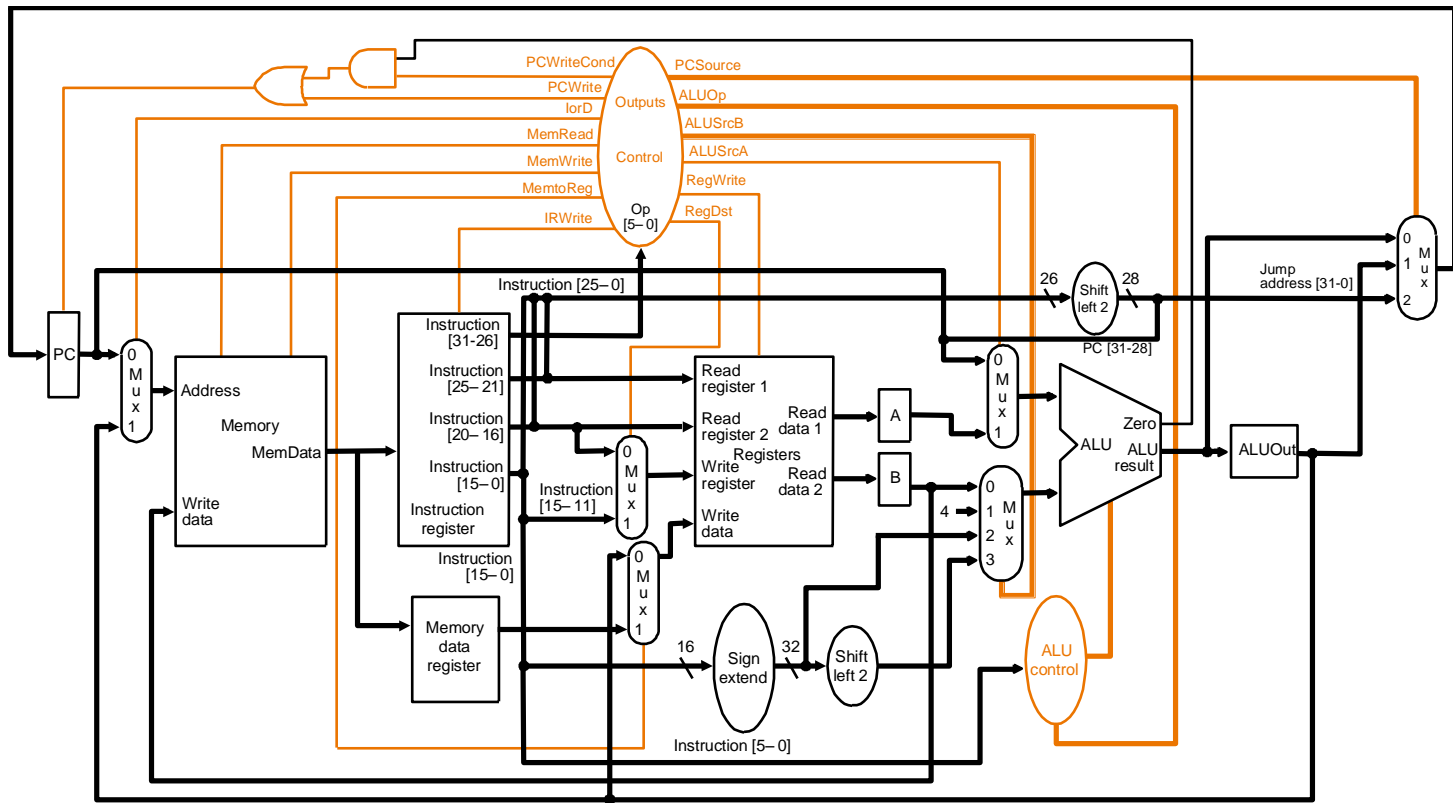
- b) Sabendo-se que o dado em hexadecimal 0xC0E00000 armazenado em um registrador de uma CPU é um número representado em precisão simples na notação IEEE-754, pede-se:
- b.1) Quantos bits serão necessários para representar a mantissa? **23 bits**
  - b.2) Qual o valor do expoente em decimal? **2**
  - b.3) Qual o valor do número real (na base 10) armazenado neste registrador? **-7**

Mostre seus cálculos.

**QUESTÃO 3:** Assunto: MIPS Ciclo-único e controle. (valor: 5 pontos)

Dada a microarquitetura na figura 1. Insira nas tabelas abaixo:

- Os nomes dos estágios, que são necessários para executar cada instrução.
- Os estados ('0', '1' ou 'X') dos sinais na tabela em cada estágio.



### Figura 1

Instrução: ***add \$s1,\$t1, \$t2***

	Nome do estágio	IF	ID	EX	ME M	
Nome do sinal	RegWrite	0	0	0	1	
	ALUSrcA	0	0	1	X	
	MemRead	1	0	0	0	
	lorD	0	X	X	X	
	PCWrite	1	0	0	0	

Instrução: ***lw \$s1,5(\$s5)***

	Nome do estágio	IF	ID	EX	ME M	WB
Nome do sinal	RegWrite	0	0	0	0	1
	ALUSrcA	0	0	1	X	X
	MemRead	1	0	0	1	0
	lorD	0	X	X	1	X
	PCWrite	1	0	0	0	0

**QUESTÃO 4:** Assunto: MIPS Multiciclo e controle. (valor: 5 pontos)

É dada na figura 2 uma microarquitetura reduzida do tipo MIPS multi-ciclo. Esta microarquitetura pode executar todas as instruções lógicas e aritméticas de “tipo R” e a instrução *addi* (opcode = 0x08). Desenhe a máquina de estados finitos com todos estados necessários, ações nos estados, transições e condições, para o correto funcionamento desta microarquitetura.

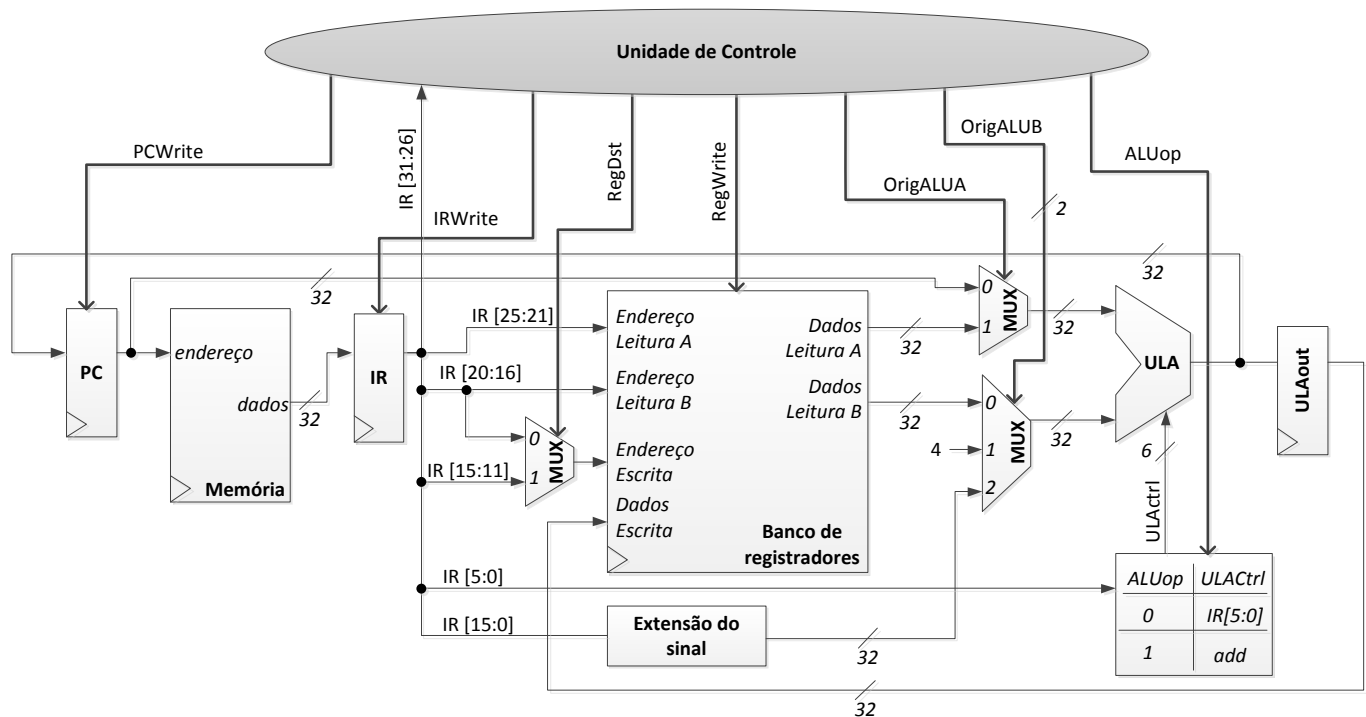
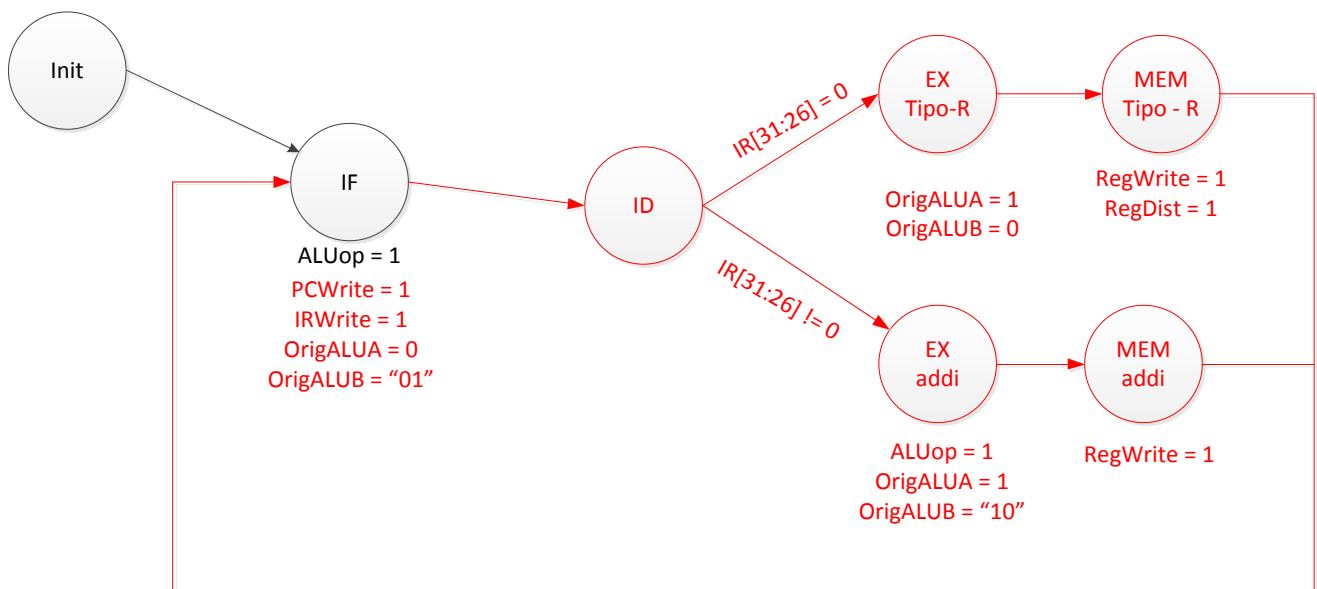


Figura 2



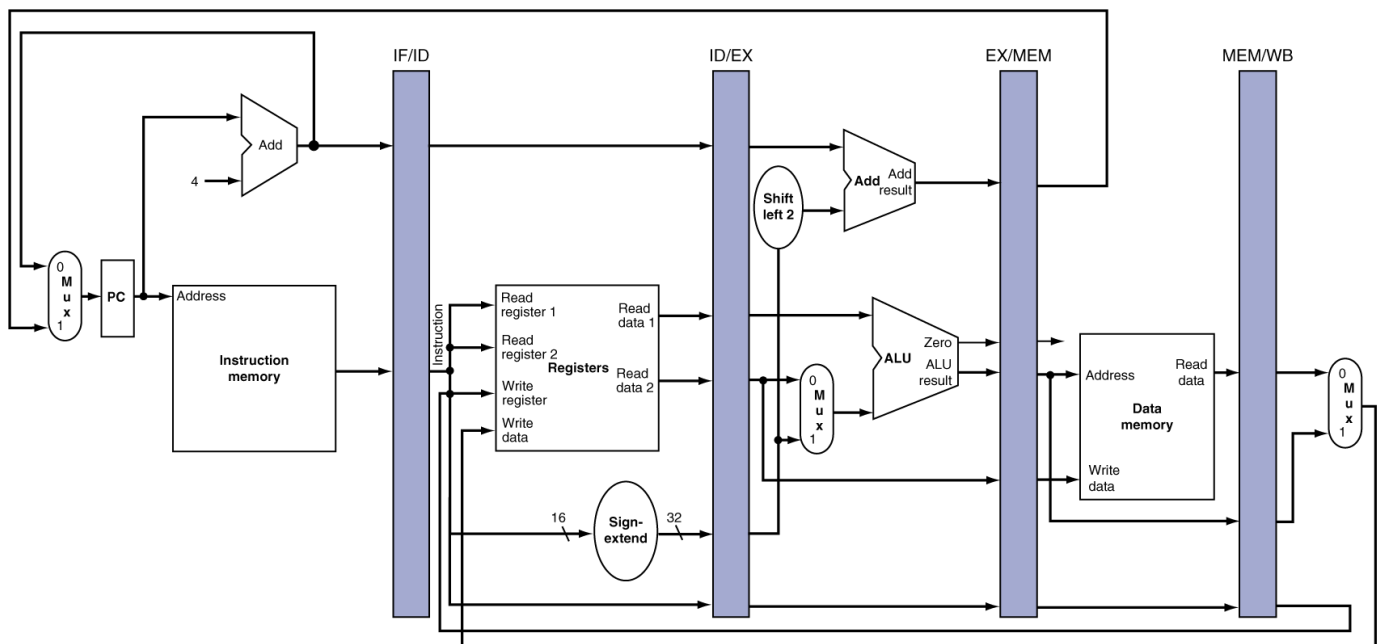
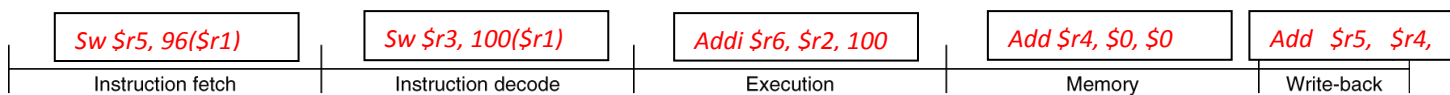
**QUESTÃO 5.** Assunto: MIPS Pipeline. (Valor total: 5 pontos)

Considere **somente** as informações abaixo que forem **relevantes** para a sua solução:

- 1 ns equivale a  $10^{-9}$  de 1 segundo.
- Número de estágios do MIPS pipeline: 5
- Período de clock do pipeline: 40 ns
- Considere o atraso de 1 período de clock para resolução de cada tipo de conflito.
- Programa que será executado na CPU:

```
Lw $r0, 40($r1)
Lw $r2, 36($r1)
Lw $r4, 32($r1)
Add $r3, $r0, $r2
Add $r5, $r4, $r2
Add $r4, $0, $0
Addi $r6, $r2, 100
Sw $r3, 100($r1)
Sw $r5, 96($r1)
Sw $r6, 92($r1)
```

- a) Dado o diagrama do caminho de dados pipeline, preencha os retângulos com a instrução corrente que estará executando por cada um dos estágios do pipeline no décimo período de clock. (2,5 pontos)



- b) Em quanto tempo será executado o referido programa na microarquitetura pipeline? Mostre os cálculos que fez para que você chegasse ao resultado. (2,5 pontos)

Número de estágios do pipeline = 5; Período de cada estágio = 40 ns. Número de instruções do programa = 10. Número de períodos necessários para a execução do programa =  $5 + 9 = 14$ .

Como haverá um único conflito de dados, devido a primeira instrução add não ter ainda o resultado \$r2 pronto no estágio ID, é necessário +1 stall. Logo o Tempo de execução do programa =  $15 \times 40 \text{ ns} = 600 \text{ ns}$ .