

LISTA 4 de SPP – 2017_1

QUESTÃO 1: Assunto: diversificado

Responda 'V' (verdadeiro) ou 'F' (falso) para as afirmativas abaixo.

- () Na microarquitetura 'ciclo único' as instruções são armazenadas no registrador de instruções (IR) em todos os ciclos de clock.
- () Na microarquitetura 'ciclo único' alguns registradores necessitam ser adicionados após cada unidade funcional.
- () Na microarquitetura 'multi-ciclo' nem todas as instruções usam todos os estágios.
- () As microarquiteturas 'multi-ciclo' e 'pipelining' apresentam as mesmas características.
- () Na microarquitetura 'pipelining' é proibido que um estágio do pipeline faça um acesso de leitura ao um registrador, enquanto outro estágio faz um acesso de escrita no mesmo ciclo de clock ao mesmo registrador.
- () *Pipeline* é uma técnica que permite acelerar a execução de uma instrução.

QUESTÃO 2: Assunto: Microarquitetura MIPS ciclo único

Exercício 7.3 do Livro dos Harris (versão traduzida para o Português)

QUESTÃO 3: Assunto: Microarquitetura MIPS multiciclo

Exercício 7.13 do Livro dos Harris (versão traduzida para o Português)

QUESTÃO 4: Assunto: Microarquitetura MIPS *pipeline*

Exercício 7.28 do Livro dos Harris (versão traduzida para o Português)

QUESTÃO 5: Assunto: MIPS Ciclo-único e controle.

Dada a microarquitetura na figura 1. Insira nas tabelas abaixo:

- Os nomes dos estágios, que são necessários para executar cada instrução.
- Os estados ('0', '1' ou 'X') dos sinais na tabela em cada estágio.

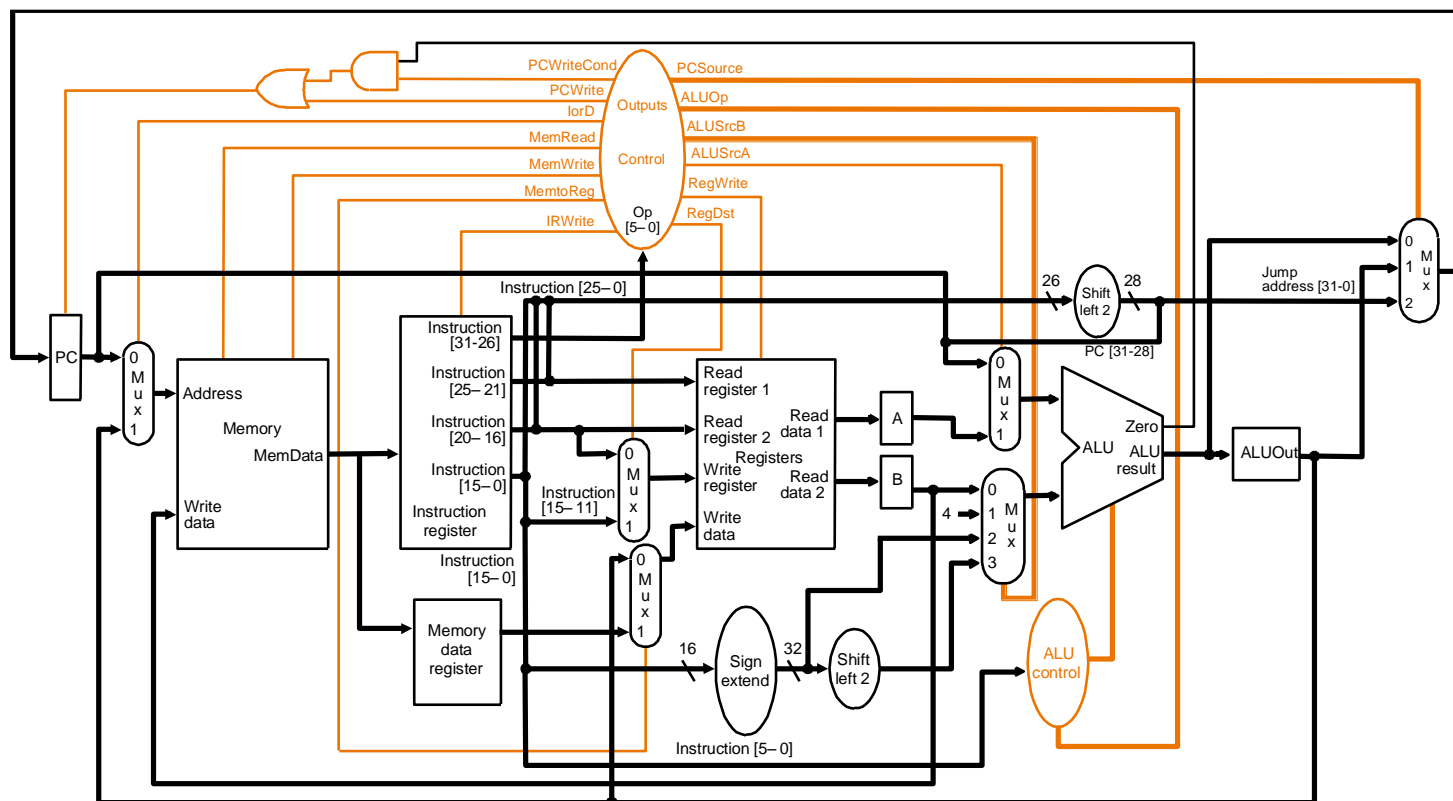


Figura 1

Instrução: ***add \$s1, \$t1, \$t2***

	Nome do estágio	IF	ID	EX	MEM	
Nome do sinal	RegWrite					
	ALUSrcA					
	MemRead					
	lorD					
	PCWrite					

Instrução: ***lw \$s1,5(\$s5)***

	Nome do estágio	IF	ID	EX	MEM	WB
Nome do sinal	RegWrite					
	ALUSrcA					
	MemRead					
	lrd					
	PCWrite					

QUESTÃO 6: Assunto: MIPS Multiciclo e controle.

É dada na figura 2 uma microarquitetura reduzida do tipo MIPS multi-ciclo. Esta microarquitetura pode executar todas as instruções lógicas e aritméticas de “tipo R” e a instrução *addi* (opcode = 0x08). Desenhe a máquina de estados finitos com todos estados necessários, ações nos estados, transições e condições, para o correto funcionamento desta microarquitetura.

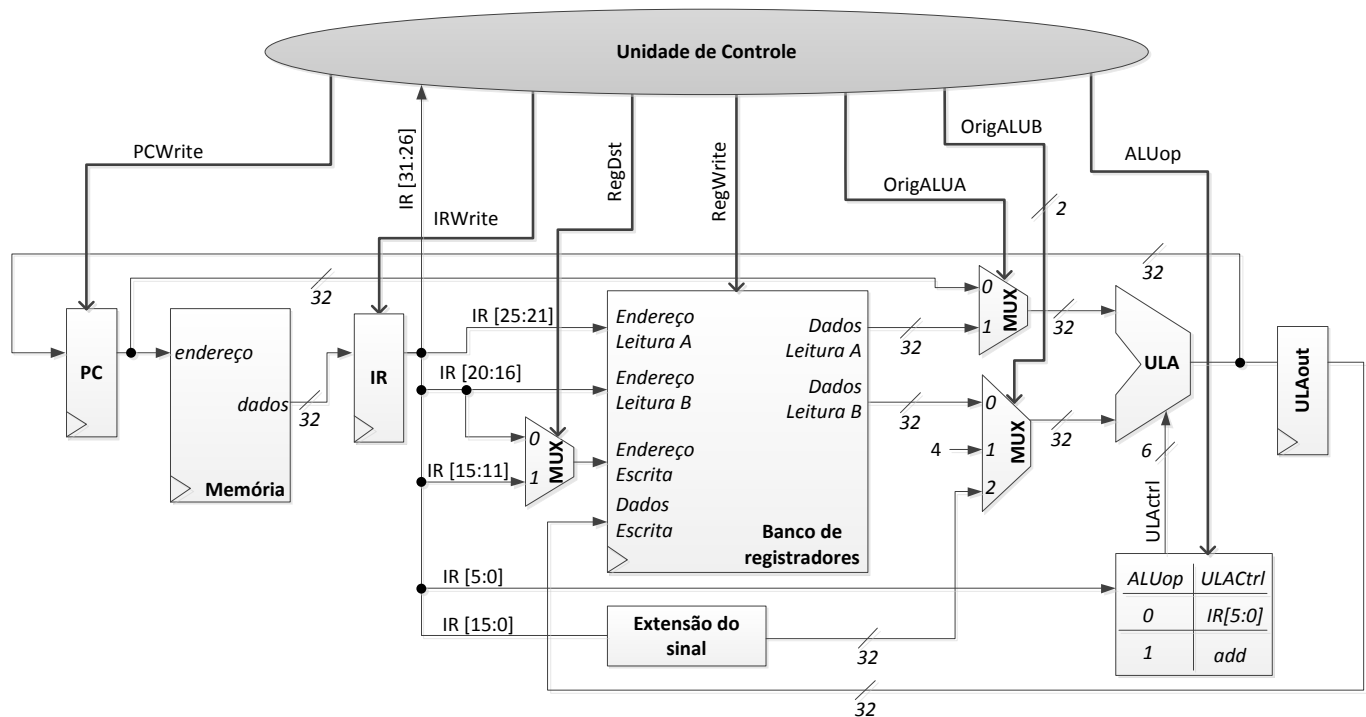


Figura 2

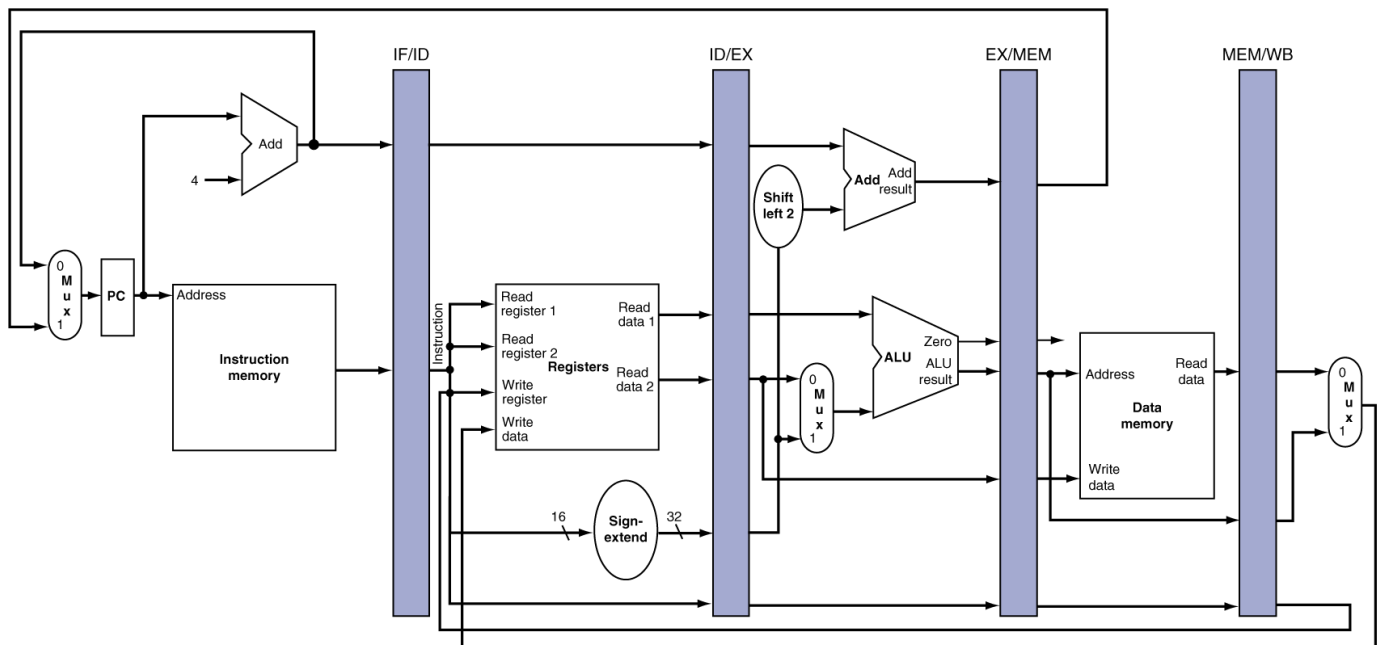
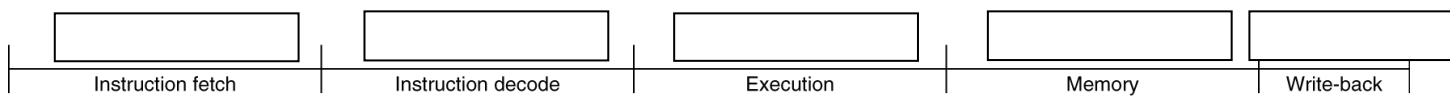
QUESTÃO 7. Assunto: MIPS Pipeline.

Considere **somente** as informações abaixo que forem **relevantes** para a sua solução:

- 1 ns equivale a 10^{-9} de 1 segundo.
- Número de estágios do MIPS pipeline: 5
- Período de clock do pipeline: 40 ns
- Considere o atraso de 1 período de clock para resolução de cada tipo de conflito.
- Programa que será executado na CPU:

Lw \$r0, 40(\$r1)
Lw \$r2, 36(\$r1)
Lw \$r4, 32(\$r1)
Add \$r3, \$r0, \$r2
Add \$r5, \$r4, \$r2
Add \$r4, \$0, \$0
Addi \$r6, \$r2, 100
Sw \$r3, 100(\$r1)
Sw \$r5, 96(\$r1)
Sw \$r6, 92(\$r1)

- a) Dado o diagrama do caminho de dados pipeline, preencha os retângulos com a instrução corrente que estará executando por cada um dos estágios do pipeline no décimo período de clock.



- b) Em quanto tempo será executado o referido programa na microarquitetura pipeline? Mostre os cálculos que fez para que você chegasse ao resultado.