

# APB总线协议学习

参考资料：[AMBA总线—APB总线协议详解-CSDN博客](#)

## 一、APB总线介绍

- 1、总线相关概念
- 2、APB总线的定义
- 3、APB信号列表

## 二、APB状态机

## 三、APB总线传输

- 1、写操作
  - 1.1. with no wait states
  - 1.2. with wait states
  - 1.3. PSTRB signal
- 2、读操作
  - 2.1. with no wait states
  - 2.2. with wait states

## 3、错误响应

## 四、APB模块接口

- 1、APB Bridge
- 2、APB Slave

## 五、面试问答

# 一、APB总线介绍

## 1、总线相关概念

1. **总线**：计算机内部和计算机之间传输数据的公共通道。
2. **总线工作频率**：系统时钟的频率。
3. **总线位宽**：一次最多可以传输的二进制数据位数。
4. **总线带宽**：单位时间内传输的数据量。总线带宽=总线工作频率 × 数据位数。
5. **波特率**：单位时间内传输的二进制数据位数。

## 2、APB总线的定义

1. APB全称：Advanced Peripheral Bus，即**先进外设接口**。
2. APB总线一般用于**低速且低功耗消耗**的外设。在APB总线中，**唯一的 Master 是APB Bridge，其他一些低速且低功耗消耗的外设均为 Slave**。

3. 所以通常来说，APB总线由APB Bridge和APB上的从设备两部分组成。
4. APB Bridge可以存储所有地址、数据、控制信号，并通过译码电路来产生APB从设备选择信号。

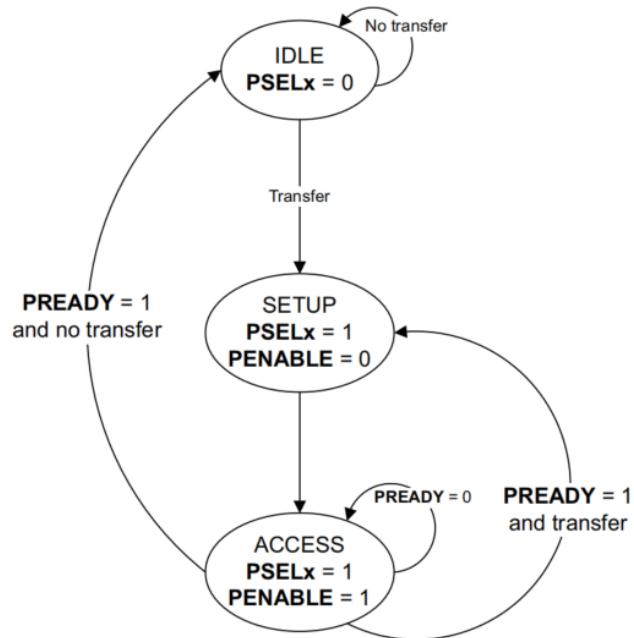
### 3、APB信号列表

信号名	IO	位宽	源	描述
<b>PCLK</b>	I	1	系统时钟	APB总线时钟。规定在时钟上升沿有效。
<b>PRESETn</b>	I	1	系统总线	APB总线复位。低有效。一般连到地。
<b>PSELx</b>	I	1	M	从设备选择信号。表示哪个S被操作。
<b>PENABLE</b>	I	1	M	APB选通。表示APB传输第二个字节。
<b>PWRITE</b>	I	1	M	传输方向。1-写，0-读。
<b>PADDR</b>	I	ADDR_WIDTH	M	APB地址总线。
<b>PWDATA</b>	I	DATA_WIDTH	M	写数据总线。
<b>PRDATA</b>	O	DATA_WIDTH	S	读数据总线。
<b>PREADY</b>	O	1	S	Slave准备好信号。表示Slave已经准备好数据。
<b>PSLVERR</b>	O	1	S	传输错误信号。表示Slave发送了错误的数据。
<b>PPROT</b>	I	3	M	保护信号。表示所传输数据的类型（如：指令、数据等）。
<b>PSTRB</b>	I	DATA_WIDTH/8	M	写入字节信号。表示写入到哪个字节。

1. 所有信号都是以“P”开头表示APB，在后面学习AHB的时候可以发现所有信号都是以“H”开头。
2. PREADY、PSLVERR是APB3.0协议添加的信号。
3. PPROT、PSTRB是APB4.0协议添加的信号，也是从AHB迁移过来的。

---

## 二、APB状态机

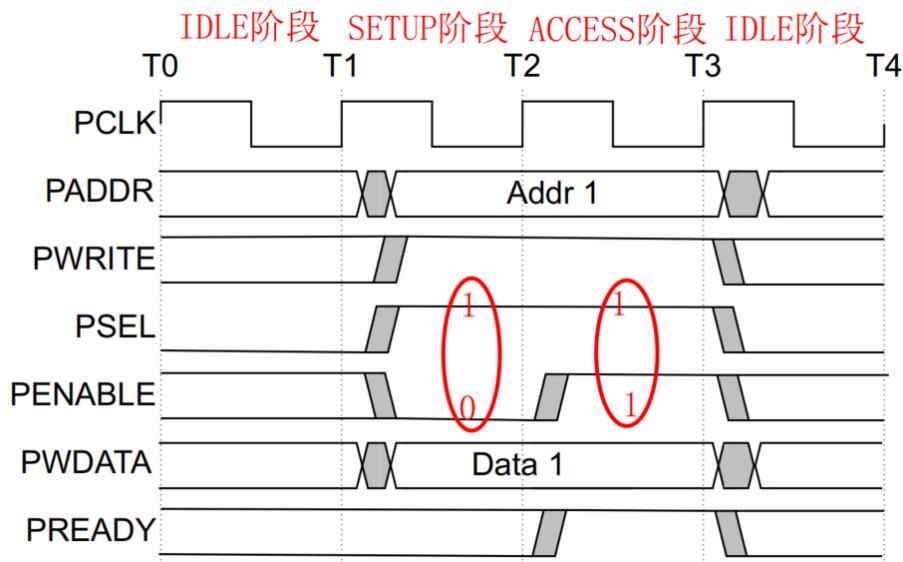


状态	含义	跳转条件	
IDLE	默认状态	1. no transfer: IDLE -> IDLE; 2. no transfer and PREADY=1: ACCESS -> IDLE	APB总线
SETUP	建立状态	1. transfer: IDLE -> SETUP; 2. transfer and PREADY=1: ACCESS -> SETUP	当有数据 SETUP状 在此阶段 阶段仅保 个周期自
ACCESS	访问状态	1. no condition: SETUP -> ACCESS; 2. PREADY=0: ACCESS -> ACCESS	在此阶段 高。 从SETUP 据、地址 PPROT需 在此阶段 则完成一 直等待。 到SETUP 阶段。

### 三、APB总线传输

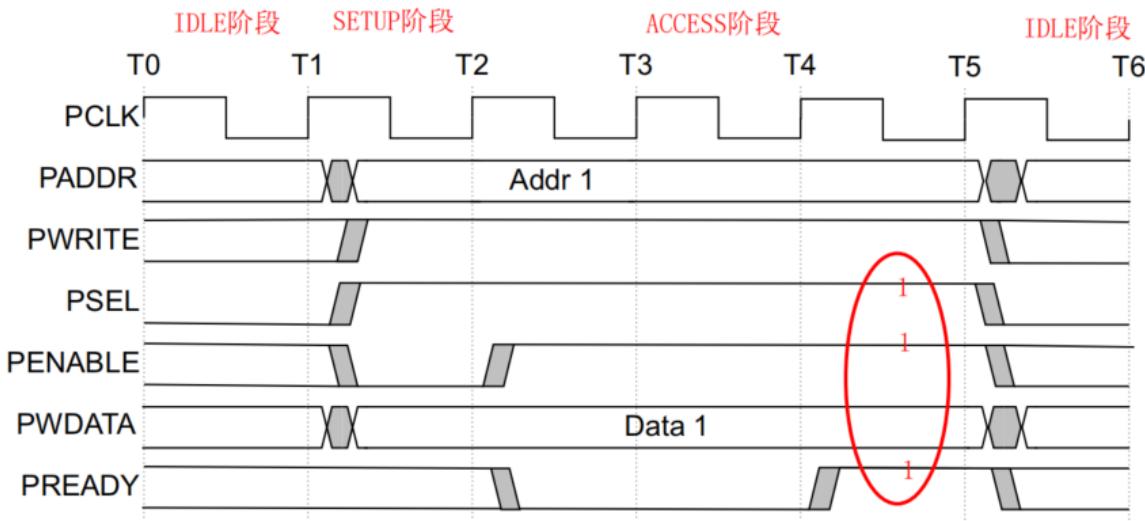
# 1、写操作

## 1.1. with no wait states



1. T0: PSEL=0, 有限状态机进入默认的IDLE状态。
2. T1: PADDR、PWDATA、PWTIRE逐步开始建立稳定状态，且PSEL逐渐由0->1，有限状态机此时进入SETUP阶段。注意：在PCLK上升沿来到时，从图中看此时采样到的PSEL并不是1，但是实际来说时钟会有一定的建立和保持时间，因此在这里可以理解为有一定的滞后。  
Master在T1时刻驱动PADDR、PWRTE、PSEL、PWDATA，此时Slave看不到这些信号的变化，在T2时刻才能看到。
3. T2: PENABLE逐渐由0->1，有限状态机自动进入ACCESS阶段。
4. T3: 此时PREADY为1，完成1次数据的传输，之后无额外的传输，因此进入IDLE阶段。
5. **以上数据传输共经历 2 个时钟周期**，由此也可以看出APB协议无法完成流水线操作。
6. 要点：**PSEL=1, PENABLE=0——>建立, PSEL=1, PENABLE=1——>访问。**

## 1.2. with wait states



1. 与上述“with no wait states”不同的是，这里的ACCESS阶段持续了3个周期：
  - a. 原有T3时刻转变为IDLE阶段，现有T3时刻“PREADY=0”，因此仍然停留在ACCESS阶段；
  - b. 现有T5时刻“PREADY=1”，且无新的传输，因此由ACCESS变为IDLE阶段。
2. 在PREADY由0->1的期间，PADDR、PWRITE、PSEL、PENABLE、PWDATA、PSTRB、PPROT信号应该保持稳定。“MASTER采样PREADY信号得知此时slave还未准备好接收数据，因此将维持这些信号不变”。
3. 对PREADY信号的理解：
  - a. PREADY是由SLAVE发出的信号，用于告知外界自身是否准备好接收/发送数据；
  - b. 若该SLAVE有较明确的数据传输时间要求，则这里ACCESS阶段持续的周期可以是固定的；但是一般情况下，数据传输时间较为复杂，PREADY可能由其余设备进行控制，所以ACCESS阶段持续的周期也可能不固定。

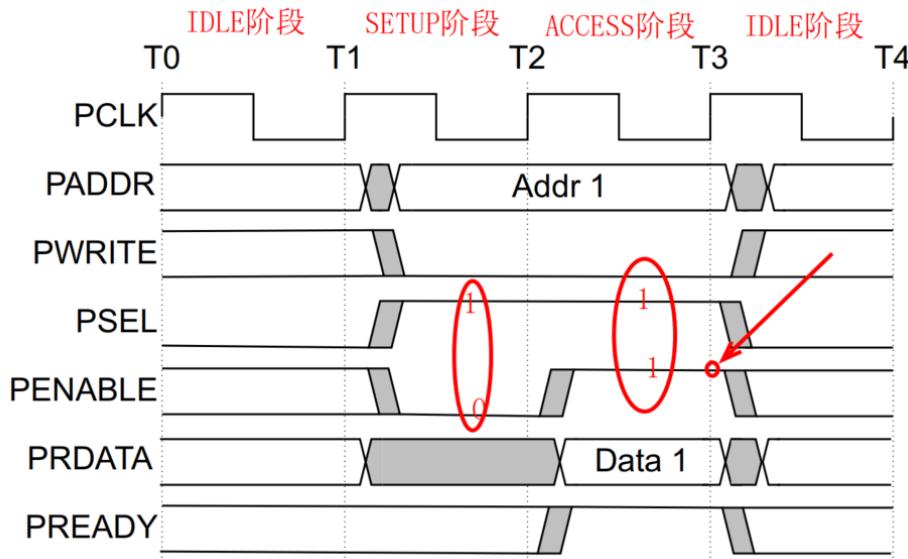
### 1.3. PSTRB signal

31	24 23	16 15	8 7	0
PSTRB[3]	PSTRB[2]	PSTRB[1]	PSTRB[0]	

1. PSTRB：该信号是APB4.0协议新增的信号，可以支持数据的稀疏性写入。
2. 场景：PWDATA是32bit，则PSTRB为4bit (32/8)
  - a. PSTRB[0]为1时，稀疏性写入PWDATA[7:0].....以此类推。
  - b. 告知Slave是多少字节的读写，8bit、16bit....
  - c. 当Master无该接口而Slave有该接口时，可将Slave的PSTRB接口连接至Master的PWRITE接口，使得可以正常写入PWDATA。

## 2、读操作

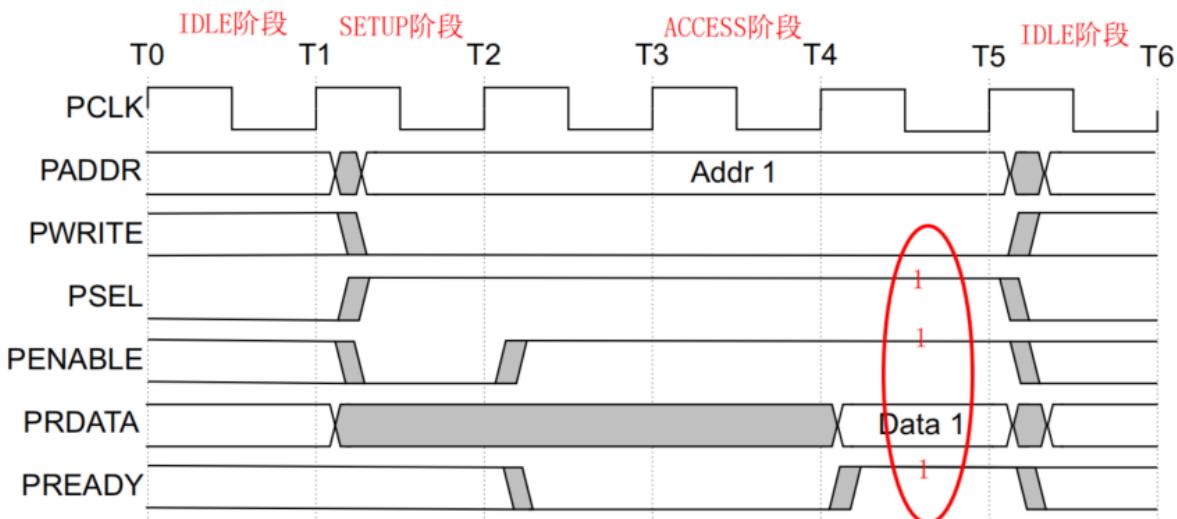
## 2.1. with no wait states



1. 与写操作的区别：

- PWRITE=0**, 表示读操作；
- 由**PRDATA**输出给MASTER要读的数据。注意在**ACCESS阶段****PRDATA**应把数据准备好，以便Master在**T3**时刻进行采样时能够正确读到数据。也就是在**PREADY**信号被拉高之前需要把数据准备好。

## 2.2. with wait states



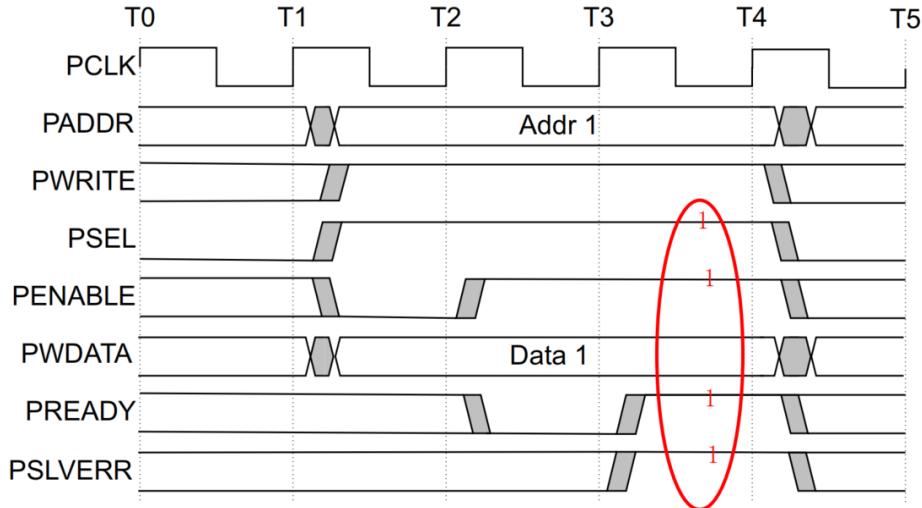
- 在**PREADY**由0->1的期间，**PADDR**、**PWRITE**、**PSEL**、**PENABLE**、**PPROT**信号应该保持稳定。
- T3、T4时刻Master对**PREADY**信号进行采样时结果为0，说明**PRDATA**数据还没有准备好，不接收**PRDATA**数据；T5时刻，**PREADY**信号为1，此时**PRDATA**数据已准备好，Master接收**PRDATA**数据。

### 3、错误响应

#### 1. PSLVERR:

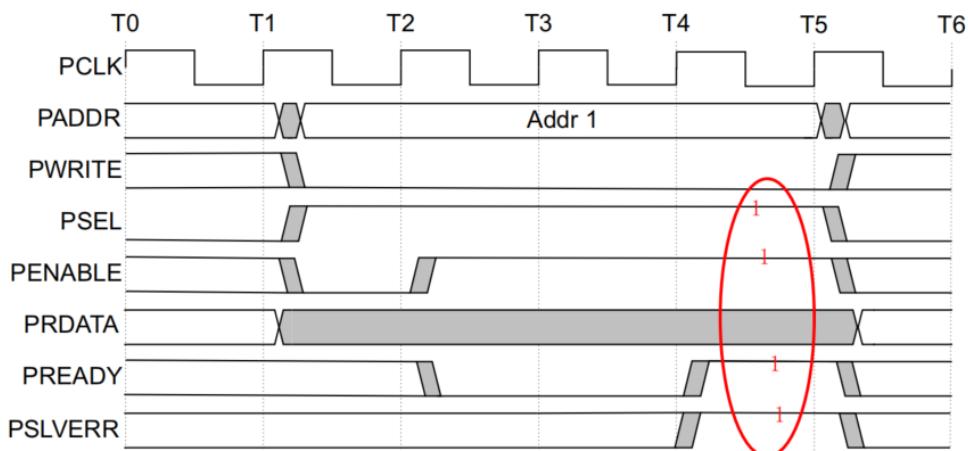
- 该信号是APB3.0新增的信号，指示APB传输时出现错误，写入/接收数据可能失败；
- PSLVERR一般在PSEL、PENABLE、PREADY为高电平期间有效。**

#### 2. 写操作:



- 当 PSEL、PENABLE、PREADY 均为高电平时， $PSLVERR=1$ ，此时表示该次数据写入操作可能失败（不绝对失败），即可能写入的是正确的也可能是错误的，有一定风险。

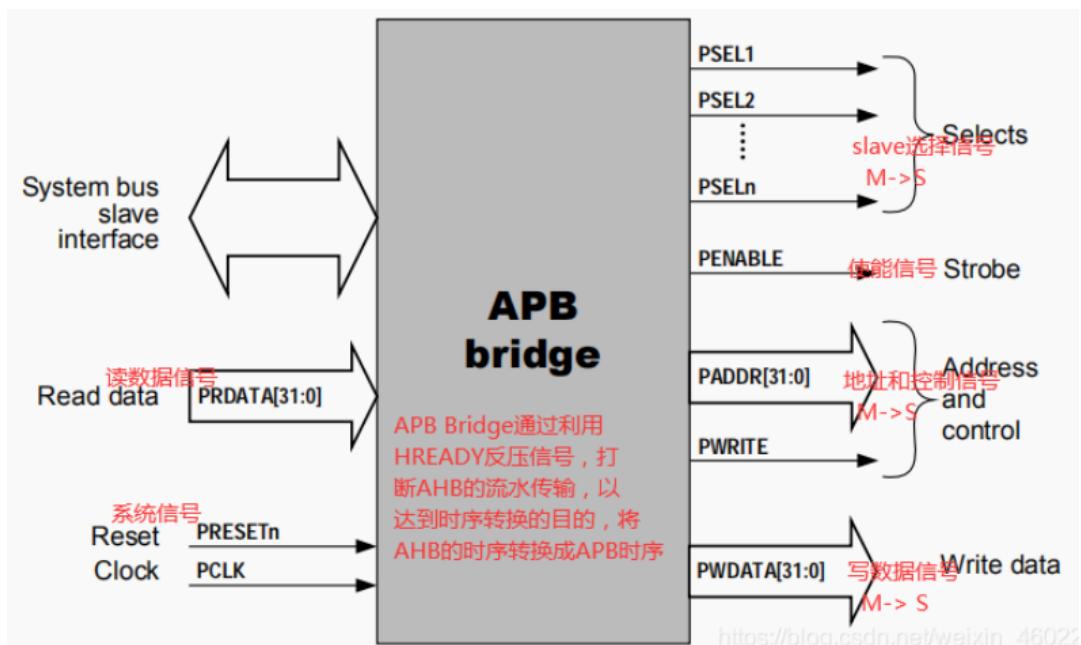
#### 3. 读操作:



- 当 PSEL、PENABLE、PREADY 均为高电平时， $PSLVERR=1$ ，此时可以不把要读出的数据放在总线上，由此Master读出的可能是无效的数据；
  - 但若把读出的数据放在了PRDATA上，Master也无法根据PSLVERR的值拒绝接收该数据值。
4. 当Master不支持该信号线时，可以把此信号线置为低电平。

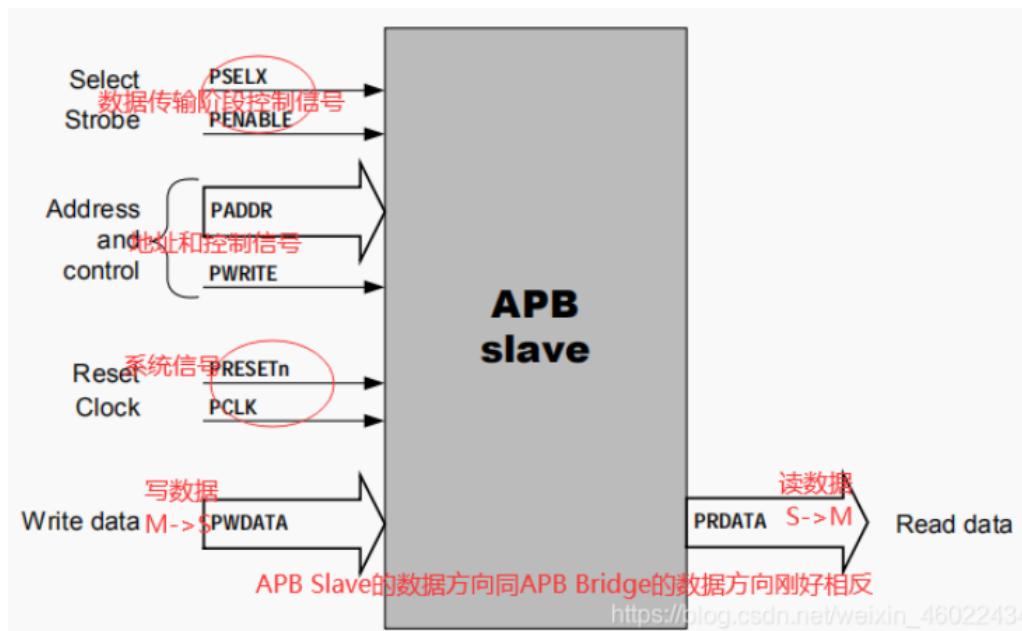
## 四、APB模块接口

### 1、APB Bridge



1. APB Bridge是AHB的一个从设备，而APB Bridge是APB总线中唯一一个主设备。
2. APB Bridge内部具有仲裁器、译码器等部件，以使能PSEL1...PSELn中其中一个信号，从而选中一个slave执行读写操作。

### 2、APB Slave



## 五、面试问答

1. APB为什么适合接低速且低功耗的外设?
  - a. 低速：至少需要两个时钟周期；无流水线操作。
  - b. 低功耗：信号少；无时钟翻转；APB Bridge作为主设备，要访问时才被激活。