

## PRÁCTICO 3 - Lógica Combinacional

## Minitérminos y maxitérminos para tres variables binarias

$x$	$y$	$z$	Minitérminos		Maxitérminos	
			Términos	Designación	Términos	Designación
0	0	0	$x'y'z'$	$m_0$	$x + y + z$	$M_0$
0	0	1	$x'y'z$	$m_1$	$x + y + z'$	$M_1$
0	1	0	$x'y'z'$	$m_2$	$x + y' + z$	$M_2$
0	1	1	$x'y'z$	$m_3$	$x + y' + z'$	$M_3$
1	0	0	$xy'z'$	$m_4$	$x' + y + z$	$M_4$
1	0	1	$xy'z$	$m_5$	$x' + y + z'$	$M_5$
1	1	0	$xyz'$	$m_6$	$x' + y' + z$	$M_6$
1	1	1	$xyz$	$m_7$	$x' + y' + z'$	$M_7$

Mapas de Karnaugh de 2, 3 y 4 variables:

$m_0$	$m_1$
$m_2$	$m_3$

a)

		$y$	
		$0$	$1$
$x$	$0$	$x'y'$	$x'y$
	$1$	$xy'$	$xy$

b)

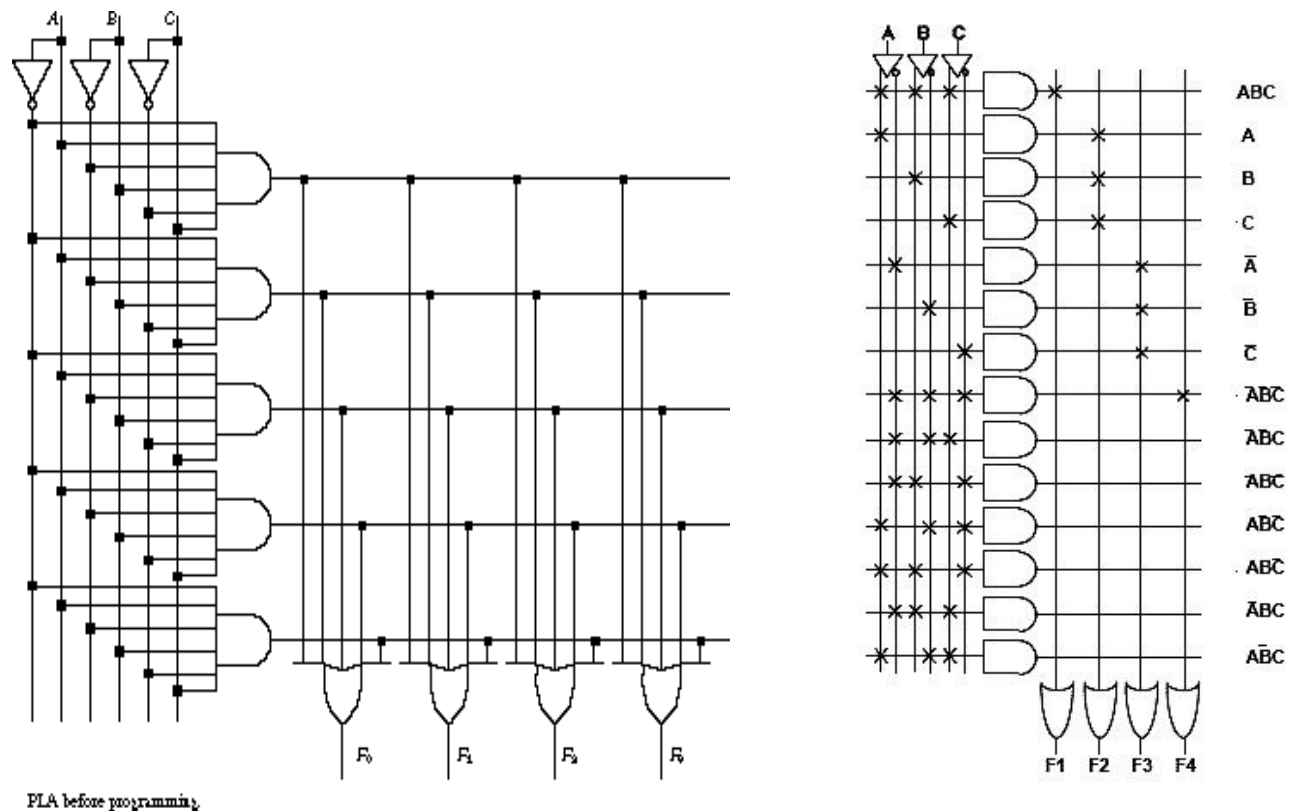
<table> <tr><td><math>m_0</math></td><td><math>m_1</math></td><td><math>m_3</math></td><td><math>m_2</math></td></tr> <tr><td><math>m_4</math></td><td><math>m_5</math></td><td><math>m_7</math></td><td><math>m_6</math></td></tr> </table>				$m_0$	$m_1$	$m_3$	$m_2$	$m_4$	$m_5$	$m_7$	$m_6$	<table> <tr> <td></td> <td colspan="2"><math>yz</math></td> <td colspan="2"><math>y</math></td> </tr> <tr> <td><math>x \backslash</math></td> <td>00</td> <td>01</td> <td>11</td> <td>10</td> </tr> <tr> <td>0</td> <td><math>x'y'z'</math></td> <td><math>x'y'z</math></td> <td><math>x'yz</math></td> <td><math>x'yz'</math></td> </tr> <tr> <td>1</td> <td><math>xy'z'</math></td> <td><math>xy'z</math></td> <td><math>xyz</math></td> <td><math>xyz'</math></td> </tr> <tr> <td></td> <td colspan="4"><math>z</math></td> </tr> </table>		$yz$		$y$		$x \backslash$	00	01	11	10	0	$x'y'z'$	$x'y'z$	$x'yz$	$x'yz'$	1	$xy'z'$	$xy'z$	$xyz$	$xyz'$		$z$			
$m_0$	$m_1$	$m_3$	$m_2$																																		
$m_4$	$m_5$	$m_7$	$m_6$																																		
	$yz$		$y$																																		
$x \backslash$	00	01	11	10																																	
0	$x'y'z'$	$x'y'z$	$x'yz$	$x'yz'$																																	
1	$xy'z'$	$xy'z$	$xyz$	$xyz'$																																	
	$z$																																				
a)				b)																																	

$m_0$	$m_1$	$m_3$	$m_2$
$m_4$	$m_5$	$m_7$	$m_6$
$m_{12}$	$m_{13}$	$m_{15}$	$m_{14}$
$m_8$	$m_9$	$m_{11}$	$m_{10}$

a)

		yz		y	
		00	01	11	10
wx	00	$w'x'y'z'$	$w'x'y'z$	$w'x'yz$	$w'x'yz'$
	01	$w'xy'z'$	$w'xyz$	$w'xyz'$	$w'xyz$
	11	$wxy'z'$	$wxyz$	$wxyz'$	$wxyz$
	10	$wx'y'z'$	$wx'y'z$	$wx'yz$	$wx'yz'$

b)

**Programmable Logic Array (PLA):**

Leer los siguientes pdf para poder resolver los ejercicios 1 y 2 :

- Practico3\_ExpresionesCanonicas.pdf
- Practico3\_ImplementacionConNandYNor.pdf
- Practico3\_ArregloDeLogicaProgramable.pdf

Estos corresponden a las secciones 2.5, 3.6 y 7.6 (respectivamente) del libro Diseño Digital - Morris Mano - Tercer edición.

**Ejercicio 1:**

Un detector de paridad impar de 4 entradas y una salida funciona de la siguiente manera: si la cantidad de entradas con valor '1' es impar la salida se pone en '1', en el resto de los casos la salida toma valor '0'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con compuertas NAND de la cantidad de entradas requeridas.
- Implementar el sistema con una PLA.

Ejercicio resuelto en el archivo: Practico3\_Ej1Resuelto.pdf

**Ejercicio 2:**

Un sistema digital recibe información en forma de palabras de 5 bits (**ABCDE**) en un código protegido contra errores, de tal forma que cualquier dato que se reciba debe contener 3 y sólo 3 bits en '1'. Diseñar un circuito con las entradas **ABCDE** y una salida **err** que se *activa por bajo* cuando se recibe un dato incorrecto.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con una PLA.

**Leer el siguiente pdf para poder resolver el ejercicio 3 :**

- Practico3\_MapadeKarnaugh.pdf

**Estos corresponden a las secciones 3.1 a 3.6 (puede obviarse la sección 3.3) del libro Diseño Digital - Morris Mano - Tercer edición.**

**Ejercicio 3:**

Verificar los resultados obtenidos de cada función lógica en la Guía 2 - Ejercicio 1, mediante la utilización de mapas de Karnaugh, el cual garantiza la obtención de la mínima expresión.

- $x.y + x.y'$
- $(x + y).(x + y')$
- $x.y.z + x'.y + xyz'$
- $z.x + z.x'.y$
- $(A + B).(A' + B)'$
- $y.(w.z' + w.z) + x.y$

**Ejercicio resuelto en el archivo: Practico3\_Ej3Resuelto.pdf**

**Ejercicio 4:**

Dadas la siguientes tablas de verdad para las funciones  $F_x$ :

(F1)

x3	x2	x1	x0	$F(x3,x2,x1,x0)$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

(F2)

x3	x2	x1	x0	$F(x3,x2,x1,x0)$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

(F3)

x2	x1	x0	$F(x2,x1,x0)$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

- Encontrar las expresiones canónicas de cada  $F_x$  como suma de minitérminos y como producto de maxitérminos.
- Encontrar la expresión minimizada de cada  $F_x$  utilizando mapas de Karnaugh.

**Ejercicio resuelto (F2) en el archivo: Practico3\_Ej4Resuelto.pdf**

**Ejercicio 5:**

Un circuito combinacional comparador toma dos números de 2 bits,  $\mathbf{A} = (A_1, A_0)$  y  $\mathbf{B} = (B_1, B_0)$  y retorna tres salidas (" $\mathbf{A} > \mathbf{B}$ ", " $\mathbf{A} = \mathbf{B}$ " y " $\mathbf{A} < \mathbf{B}$ ") de 1 bit cada una.

Ej: si  $\mathbf{A} = (00)$  y  $\mathbf{B} = (10)$ , entonces " $\mathbf{A} > \mathbf{B}$ " = '0', " $\mathbf{A} = \mathbf{B}$ " = '0' y " $\mathbf{A} < \mathbf{B}$ " = '1'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos.

- c. Encontrar la función minimizada de cada salida como suma de productos usando mapas de Karnaugh.
- d. Implementar el sistema con compuertas lógicas básicas.

**Ejercicio resuelto en el archivo: Practico3\_Ej5Resuelto.pdf**

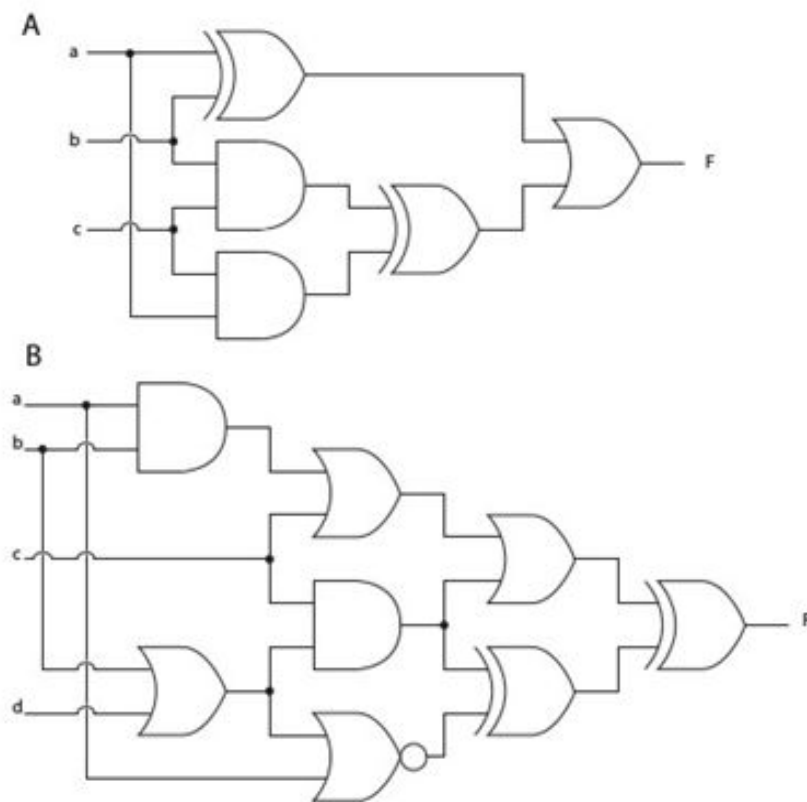
**Leer el siguiente pdf para poder resolver el ejercicio 6:**

- **Practico3\_AnalisisDeCircuitosCombinacionales.pdf**

**Este corresponden a la sección 4.2 del libro Diseño Digital - Morris Mano - Tercer edición.**

### Ejercicio 6:

Analizar los circuitos de lógica combinacional de la figura. Para cada uno:



- a. Escribir la función booleana correspondiente.
- b. Encontrar la tabla de verdad para la función obtenida.
- c. Obtener la función minimizada como suma de productos a partir el mapa de Karnaugh.
- d. Dibujar el circuito de lógica combinacional resultante del punto (c).

Leer el siguiente pdf para poder resolver los ejercicios 7 y 8:

- Practico3\_Decodificadores.pdf

Este corresponde a la sección 4.8 del libro Diseño Digital - Morris Mano - Tercer edición.

#### Ejercicio 7:

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a '2<sup>N</sup>' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un Decodificador activo por bajo (salida activa = '0') con N=2 y 2<sup>N</sup>=4 (deco 2 x 4).

- Expresar las tablas de verdad de las cuatro salidas X<sub>0</sub>, X<sub>1</sub>, X<sub>2</sub> y X<sub>3</sub>.
- Encontrar las expresiones de X<sub>0</sub>, X<sub>1</sub>, X<sub>2</sub> y X<sub>3</sub> como suma de minitérminos y como producto de maxitérminos.
- Encontrar expresiones minimizadas de X<sub>0</sub>, X<sub>1</sub>, X<sub>2</sub> y X<sub>3</sub> utilizando el método de Karnaugh o un método algebraico.
- Implementar las expresiones anteriores a través del uso de compuertas lógicas.
- Repetir el punto (d) agregando una entrada de HABILITACIÓN (**E**) activa por bajo, de tal forma que cuando **E**='1' ninguna señal de salida permanezca habilitada.

#### Ejercicio 8:

Implementar un decodificador de 3 x 8 y otro de 4 x 16 a partir de decodificadores 2 x 4 activos por bajo, con entrada de habilitación (**E**) activa por bajo y compuertas lógicas.



Ejercicios 7 y 8 resueltos en el archivo: Practico3\_Ej7y8Resuelto.pdf

Leer el siguiente pdf para poder resolver el ejercicio 9:

- Practico3\_SumadorBinario.pdf

Este corresponde a la sección 4.4 del libro Diseño Digital - Morris Mano - Tercer edición.

#### Ejercicio 9:

- Diseñar un circuito SUMADOR COMPLETO (3 entradas: **X**, **Y**, **C<sub>IN</sub>**; 2 salidas: **S**, **C<sub>OUT</sub>**) mediante el uso de un Decodificador de salida activa por alto y compuertas OR. Tip: La salida que vale 1 representa el minitérmino equivalente al número binario que está a la entrada.
- Diseñar un sumador completo usando dos semisumadores y una compuerta.

**Ejercicio 9 resuelto en el archivo: Practico3\_Ej9Resuelto.pdf**

**Leer el siguiente pdf para poder resolver el ejercicio 10:**

**- Practico3\_Multiplexor.pdf**

**Este corresponde a la sección 4.10 del libro Diseño Digital - Morris Mano - Tercer edición.**

**Ejercicio 10:**

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee ' $2^N$ ' entradas de información (**D**) requiere '**N**' señales de selección (**S**).

- a. Expresar la tabla de verdad de un MUX de 2 entradas (y una salida) y su implementación mediante el uso de compuertas lógicas (AND, OR, NOT, NOR, NAND, etc.)
- b. Mostrar cómo se puede usar un MUX para obtener una compuerta NOT.
- c. ¿Cómo obtener un MUX de 4 entradas (y una salida) en base a multiplexores de 2 entradas?
- d. ¿Cómo obtener un multiplexor de '**N**' entradas con multiplexores de 2 entradas?

**Ejercicio 10 resuelto en el archivo: Practico3\_Ej10Resuelto.pdf**