

Implementación de un Contador Ascendente/Descendente Controlado por UART en FPGA

Ing. José Roberto Castro

October 19, 2024

1 Introducción

Este documento presenta la implementación de un contador ascendente/descendente controlado mediante un sistema UART en una FPGA. El proyecto se organiza en varios módulos, que incluyen un receptor UART, un controlador UART y un contador ascendente/descendente. Este sistema permite enviar comandos a través de una interfaz UART para gestionar el comportamiento del contador de manera efectiva.

2 Estructura del Proyecto

El proyecto se compone de los siguientes módulos clave:

2.1 Receptor UART (`uart_rx`)

El módulo `uart_rx` es responsable de recibir datos a través de la interfaz UART. Este módulo detecta el bit de inicio, recopila 8 bits de datos y señala la finalización de la recepción. La detección del bit de inicio es crucial para sincronizar la recepción de datos.

2.2 Controlador UART (`uart_controller`)

El módulo `uart_controller` maneja la lógica de control basada en los datos recibidos del receptor UART. Dependiendo del comando recibido, genera una señal de control que determina si el contador debe contar de manera ascendente o descendente.

2.3 Contador Ascendente/Descendente (`contador_asc_desc`)

El módulo `contador_asc_desc` implementa un contador que puede contar en ambas direcciones, ascendente o descendente, según la señal de control proporcionada. Este módulo es fundamental para el funcionamiento del sistema.

2.4 Nivel Superior (`top_level`)

El módulo `top_level` integra los módulos mencionados anteriormente y añade un Virtual Input/Output (VIO) para monitorear y controlar las señales en tiempo real, facilitando el ajuste y la verificación del sistema.

3 Diagrama de Bloques

A continuación, se presenta el diagrama de bloques que ilustra la interacción entre los módulos del sistema.

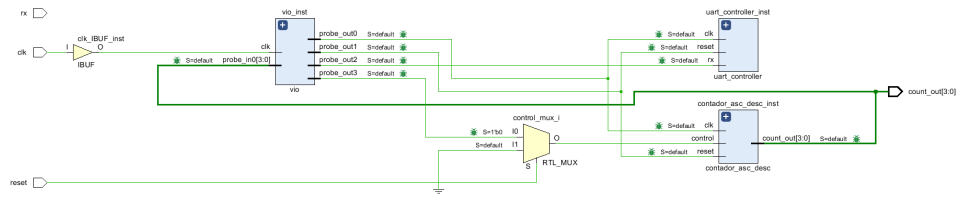


Figure 1: Diagrama de bloques del sistema implementado.

4 Simulaciones

A continuación, se presentan capturas de las simulaciones más relevantes realizadas durante el desarrollo del proyecto.

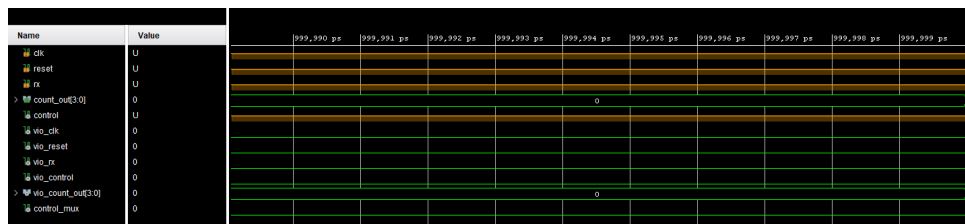


Figure 2: Simulación en Vivado.

Name	Value	Activity	Direction	VIO
vio_clk	[B] 1		Output	hw_vio_1
vio_control	[B] 0		Output	hw_vio_1
vio_reset	[B] 0		Output	hw_vio_1
vio_rx	[B] 0		Output	hw_vio_1
vio_count_out[3:0]	[H] 0		Input	hw_vio_1
vio_count_out...			Input	hw_vio_1
vio_count_out...			Input	hw_vio_1
vio_count_out...			Input	hw_vio_1
vio_count_out...			Input	hw_vio_1

Figure 3: Simulación con FPGA.

5 Uso de Recursos

Se presenta a continuación una tabla que detalla el uso de recursos de la FPGA tras la implementación del proyecto.

Recurso	Utilizado	Disponible	Porcentaje de Uso
LUT	587	17600	3.34%
LUTRAM	24	6000	0.40%
FF	1002	35200	2.85%
IO	6	100	6.00%

Table 1: Uso de recursos en la FPGA.