

Jean Simatic

Président startup technologique *Hawai.tech*

37, rue Raymond de Mareuil
91470 Mennecy, France
☎ +33 6 28 13 37 12
✉ jean@simatic.org

Formation

- 2014 — 2017 **Thèse de doctorat**, *Laboratoire TIMA*, Grenoble, France.
Flot de conception pour la faible consommation : échantillonnage non uniforme et circuits asynchrones
- 2013 — 2014 **Master**, *Université Pierre et Marie Curie*, Systèmes électroniques et systèmes informatiques.
Circuits mixtes et analogiques, bruit, conception pour le test, MEMS
- 2013 — 2014 **Ingénieur**, *ENSTA ParisTech*, Robotique et Systèmes Embarqués.
Multiprocesseur sur puce, logiciel embarqué, robotique, mécatronique
- 2010 — 2013 **Ingénieur**, *École polytechnique*, Electrical Engineering.
Circuits numériques ASIC et FPGA, architecture des processeurs, semi-conducteurs, optoélectronique, réseau, statistiques

Expérience

- 2017 — Auj. **Incubation et présidence d'une startup**, *Hawai.tech*, Grenoble, France.
○ Conception d'une architecture modulaire pour des circuits probabilistes basse-consommation.
○ Développement commercial et financier.
- 2014 **Stage de fin d'étude**, *Tiempo Secure*, Montbonnot Saint Martin, France.
6 mois ○ Conception d'un outil de vérification pour des modèles Verilog de cellules standards.
○ Évaluation d'un outils commercial de simulation de fautes sur des circuits QDI.
- 2013 **Stage de recherche**, *Asynchronous Research Center*, Portland (Oregon), USA.
4 mois ○ Conception de composants asynchrones réalisant un tri fusion.
○ Contribution au développement d'un outil de CAO (ARCWelder).
- 2012 **Stage**, *EADS Astrium*, *Groupe électronique numérique*, Élancourt, France.
1 mois ○ Développement d'un environnement de test pour un bus CAN spatial.
- 2011 – 2012 **Coupe de Fance de robotique**, *Club de robotique de l'École polytechnique*.
1 an ○ Co-responsable électronique : Conception et réalisation des cartes électroniques du robot
○ Trésorier : Gestion financière du projet

Compétences

Outils CAO ModelSim, Design Compiler, Quartus, CatapultC
Programmation VHDL, Verilog, SystemC, Spice, Python, Java, GNU Make, C/C++
OS Linux (Ubuntu, ArchLinux), Windows, RTEMS
Divers Git, Subversion, L^AT_EX, Scilab, Matlab, Eclipse

Langues

Français	Langue martenelle	Allemand	Lu, écrit, parlé
Anglais	Courant	Portuguais	Lu, écrit, parlé

Intérêts

Musique Altiste et trompettiste en orchestre et en fanfare. Amateur de musique classique et jazz.
Sports Badminton, randonnée et ski de fond.
Pyrotechnie Artificier formé C4/T2.

Thèse de doctorat

Titre	Flot de conception pour l’ultra-faible consommation : échantillonnage non uniforme et circuits asynchrone
Encadrement	Laurent Fesquet (Directeur), Rodrigo Possamai Bastos (Co-encadrant)
Résumé	L’internet des objets nécessite le développement de plateformes peu consommantes embarquant actuateurs, capteurs et traitement du signal. L’échantillonnage et les circuits basés sur les événements permettent de réduire la quantité de données échantillonnées, l’activité du circuit et donc la consommation. Pour aider les concepteurs dans le développement rapide de plateformes ultra-faible consommation et basées sur les événements, cette thèse présente un flot complet ALPS: Architectural tools for ultra-Low Power (event-driven) Systems. Le framework ALPS permet de choisir et simuler un schéma d’échantillonnage spécifique au signal visé et de synthétiser un circuit asynchrone dédié pour traiter les données échantillonnées non uniformément.
Mots clés	échantillonnage non uniforme, circuits asynchrones, synthèse de haut niveau

Enseignement

- 2015—2017 **Monitorat**, *Phelma*, Grenoble, France, 128h Eq. TD.
- Travaux dirigés niveau M1 : OS et Réseau (64h), Conception VHDL (32h)
 - Tutorat de projets étudiants niveau L3 (12h)
 - Ateliers conception Nano@School (18h) : Sensibiliser des lycéens aux outils de la microélectronique.

Publications

Conférences internationales à comité de relecture

J. Simatic, A. Cherkaoui, F. Bertrand, R. P. Bastos, and L. Fesquet, “A practical framework for specification, verification, and design of self-timed pipelines,” in *2017 23rd IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*, May 2017, pp. 65–72.

A. Skaf, J. Simatic, and L. Fesquet, “Seeking low-power synchronous/asynchronous systems: A FIR implementation case study,” in *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2017, pp. 1–4.

S. M. Qaisar, J. Simatic, and L. Fesquet, “High-level synthesis of an event-driven windowing process,” in *3rd International Conference on Event-based Control, Communication and Signal Processing (EBCCSP)*, May 2017, pp. 1–8.

A. El-Hadbi, A. Cherkaoui, O. Elissati, J. Simatic, and L. Fesquet, “On-the-fly and sub-gate-delay resolution TDC based on self-timed ring: A proof of concept,” in *15th IEEE International New Circuits and Systems Conference (NEWCAS)*, June 2017, pp. 305–308.

J. Simatic, R. P. Bastos, and L. Fesquet, “High-level synthesis for event-based systems,” in *2nd International Conference on Event-based Control, Communication, and Signal Processing (EBCCSP)*, June 2016, pp. 1–7.

J. Simatic, A. Cherkaoui, R. P. Bastos, and L. Fesquet, “New asynchronous protocols for enhancing area and throughput in bundled-data pipelines,” in *29th Symposium on Integrated Circuits and Systems Design (SBCCI)*, Aug 2016, pp. 1–6.

J. Simatic, L. Fesquet, and B. Bidegaray-Fesquet, “Correctly sizing FIR filter architecture in the framework of non-uniform sampling,” in *International Conference on Sampling Theory and Applications (SampTA)*, 2015, pp. 269–273.