

APPENDIX

Japanese Patent Application Laid-Open (JP-A) No. 5-260373

There is proposed a technique that programmable processing modules are connected according to a pipe line aspect or a directed acyclic graph (DAG) aspect, thereby making it possible to execute a desired image processing. The structure is made such as to freely set contents of a computing process in each of plural programmable computing process sections and a connection aspect of each of the programmable computing process sections by a network section, from an external section through a host control means, thereby achieving a digital picture signal processing apparatus capable of executing a high-speed and high-level computing process and having a high freedom with respect to a function change and a system change.

In the case that the image processing apparatus executing a desired image processing is structured by optionally combining plural kinds of image processing modules, there are problems mentioned below. In other words, each of the image processing modules has a unit (for example, pixel unit, one line unit, plural line unit, surface unit or the like) easily treated in correspondence to the kind and contents of the image processing to be executed. However, in order to make it possible to couple the respective image processing modules in an optional order so as to process in harmony, it is necessary to align output units of all the image processing modules or structure the respective image processing modules capable of corresponding to an optional input unit, and the structures of the respective image processing modules become complicated. Further, since each of the image processing modules operates with the other image processing modules, a section controlling a process of delivering an image data between the self module and the other coupled image processing modules is necessary for each of the image processing modules, in addition to the section actually applying the image processing to the input image data, and the structure of each of the image processing modules becomes more complicated.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-260373

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H04N 5/262

H04N 7/00

(21)Application number : 04-054991

(71)Applicant : TOSHIBA CORP
NIPPON HOSO KYOKAI <NHK>

(22)Date of filing : 13.03.1992

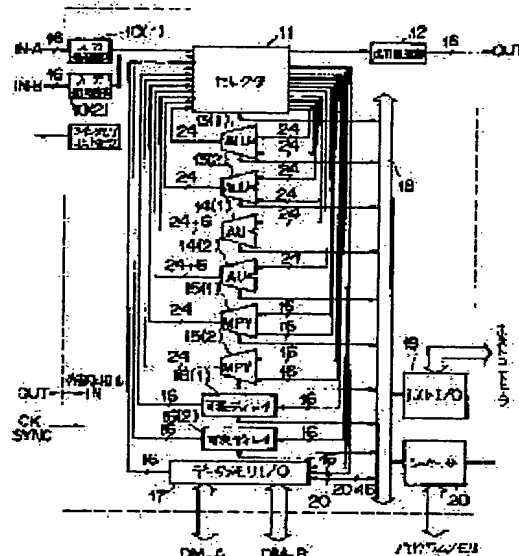
(72)Inventor : SASAKI NOBUYUKI
KONNO YUJI
SAITO HIDETAKA
TOMITA RYUICHIRO
YAGI NOBUYUKI
FUKUI KAZUO
ENAMI KAZUMASA

(54) DIGITAL VIDEO SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To make the processor compatible with the High Vision system by executing parallel arithmetic operation processing for plural programmable arithmetic operation processings at an operating speed being a half of a High Vision rate as to one instruction so as to realize the sophisticated arithmetic operation processing at a high speed thereby improving the degree of freedom of function revision and system revision.

CONSTITUTION: Input processing sections 10(1), 10(2) receive 2-systems of 16-bit data IN-A, IN-B of a network 4 to apply synchronization flag processing and output the result to a selector 11. The selector 11 selects channel inputs selectively and sends the output to a processing section 12. An ALU 13 fetches output data of two systems of two channels selected by the selector 11, applies arithmetic operation processing and sends the result to one system of internal channel of the selector 11. AU14(1), 14(2) implement address operation for accessing a data memory and waveform generation and input the result to the selector 11. A mode processing section of the AU14 easily realizes 4-point interpolation calculation of the geometrical transformation and makes processing at an operating speed of a 1/2 of the sampling frequency as a High Vision Y signal especially.



BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-260373

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

H 0 4 N 5/262
7/00

識別記号

庁内整理番号

7337-5C

A 9070-5C

F I

技術表示箇所

審査請求 未請求 請求項の数6(全13頁)

(21)出願番号 特願平4-54991

(22)出願日 平成4年(1992)3月13日

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(71)出願人 000004352

日本放送協会
東京都渋谷区神南2丁目2番1号

(72)発明者 佐々木 信之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝小向工場内

(72)発明者 金野 雄二

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝小向工場内

(74)代理人 弁理士 鈴江 武彦

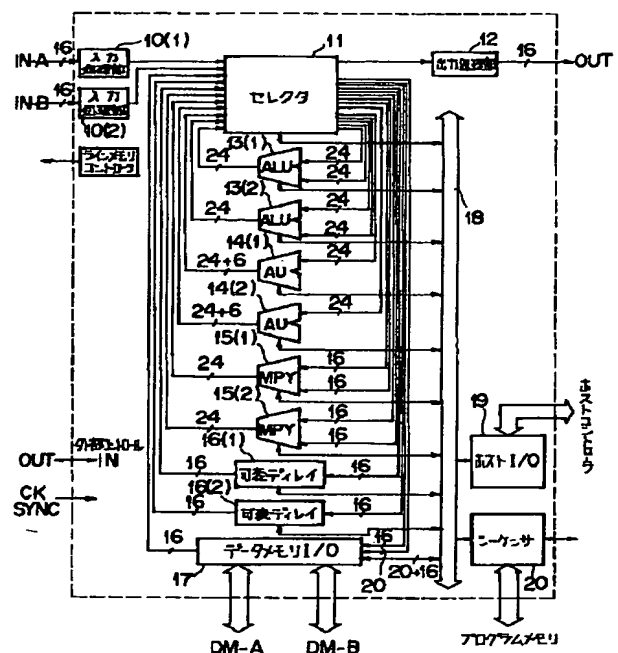
最終頁に続く

(54)【発明の名称】 デジタル映像信号処理装置

(57)【要約】

【目的】この発明の目的は、高速かつ高度な演算処理が可能で、機能変更、系統変更に対する自由度が高く、ハイビジョン方式にも対応できるデジタル映像信号処理装置を提供することにある。

【構成】この発明は、複数のプログラマブル演算処理部の各演算処理内容とネットワーク部による各プログラマブル演算処理部の接続形態とをホストコントロール手段を通じて外部から自在に設定できるように構成され、さらにプログラマブル演算処理部は、それぞれ、複数のオペランドの各演算処理内容とセレクタによる各オペランドの接続形態とをホストコントロール手段を通じて外部から自在に設定できるように構成され、少なくとも1命令についてハイビジョンレートの1/2の動作速度を有することを特徴とする。



【特許請求の範囲】

【請求項 1】それぞれ、映像信号が供給される 2 つの入力部を有し、該入力部に入力された映像信号をプログラムに従って演算処理し、その結果を導出する複数のプログラマブル演算処理部と、

この複数のプログラマブル演算処理部からの各出力信号がそれぞれ供給される各入力部と、外部から複数の映像信号をそれぞれ供給することができる各入力部と、前記複数のプログラマブル演算処理部の入力部にそれぞれ対応した出力部及び最終出力を導出するための複数の出力部とを有し、プログラマブルに該各入力部の信号を前記複数のプログラマブル演算処理部に供給することができ、いずれかの入力信号を最終出力信号として導出するネットワーク部と、

前記複数のプログラマブル演算処理部及びネットワーク部のプログラムを外部命令に従ってコントロールするホストコントロール手段とを備え、

前記プログラマブル演算処理部の演算処理内容とネットワーク部による各プログラマブル演算処理部の接続形態とを外部から自在に設定できるように構成されたデジタル映像信号処理装置において、

前記プログラマブル演算処理部は、

それぞれ、映像信号が供給される 2 つの入力部を有し、該入力部に入力された映像信号をプログラムに従って演算処理し、その結果を導出する複数のオペランドと、この複数のオペランドからの各出力信号がそれぞれ供給される各入力部と、前記ネットワーク部から 2 つの映像信号をそれぞれ供給することができる各入力部と、前記複数のオペランドの入力部にそれぞれ対応した出力部及び最終出力を導出するための 1 つの出力部とを有し、プログラマブルに該各入力部の信号を前記複数のオペランドに供給することができ、いずれかの入力信号を最終出力信号として導出するセレクタと、

前記複数のオペランド及びセレクタのプログラムを前記ホストコントロール手段からの命令に従ってコントロールするプログラム制御手段とを備え、

前記オペランドの演算処理内容とセレクタによる各オペランドの接続形態とをホストコントロール手段を通じて外部から自在に設定できるように構成され、少なくとも 1 命令についてハイビジョンレートの 1/2 の動作速度を有することを特徴とするデジタル映像信号処理装置。

【請求項 2】さらに、前記プログラマブル演算処理部に対して、ハイビジョン映像信号を少なくとも 2 系統に分けて並列演算処理させる並列演算処理手段を備えることを特徴とする請求項 1 記載のデジタル映像信号処理装置。

【請求項 3】前記プログラマブル演算処理部は、前記オペランドの一方の映像信号入力部に設けられる可変ディレイと、この可変ディレイの遅延量を前記プログラム制御手段を通じて調整して他方の映像信号入力部と入力カ

イミングを一致させる遅延量制御手段と、前記オペランドの出力部に設けられ出力データを保持する出力レジスタとを具備し、前記セレクタにより任意のオペランドを縦続接続可能な可変パイプライン構造をとることを特徴とする請求項 1 記載のデジタル映像信号処理装置。

【請求項 4】前記プログラム制御手段は、前記複数のオペランドそれぞれに対する複数のプログラムをテーブル化して格納されるプログラムメモリと、前記ホストコントロール手段からの命令に基づいて前記プログラムメモリから対応するテーブルのプログラムを読み出し、目的のオペランドに送出するシーケンサとを備えることを特徴とする請求項 1 記載のデジタル映像信号処理装置。

【請求項 5】前記プログラム制御手段は、予めブレークポイントとしてアドレス値が格納されるブレークポイントレジスタと、このレジスタに格納されたアドレス値と前記シーケンサの前記プログラムメモリに対するアドレス値とを比較する比較器と、この比較器で両アドレス値の一致が検出されたとき前記シーケンサの動作を止めると共に全てのクロックを停止させて各オペランドの出力データ更新を停止させるデバッキング処理手段とを備えることを特徴とする請求項 4 記載のデジタル映像信号処理装置。

【請求項 6】前記プログラマブル演算処理部は、入力データのビット数を増大して演算処理した後、そのビット数に変換出力することを特徴とする請求項 1 記載のデジタル映像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば放送局などの放送信号処理設備に用いられるデジタル映像信号処理装置に係り、特にハイビジョン方式に対応するための改良に関する。

【0002】

【従来の技術】一般に、放送局などで用いられるデジタル映像信号処理装置は、映像信号の処理目的に応じた個々の専用処理ユニットで構成される。このため、処理項目が多くなればなるほどユニット数も多くなり、装置全体としては大掛りなものとなる。これに伴い、装置の設計、保守、ユニットの組み合わせといった、目的の処理機能を実現するための構築作業等には多大な労力を必要とする。

【0003】そこで、最近ではソフトウェアにより目的の処理機能を実現でき、物理的な接続作業を要しないデジタル映像処理装置の実用化が進められている。この装置は複数の演算処理部とネットワーク部を備え、各演算処理部に外部から映像信号の処理項目に応じたプログラムを与えて目的の処理機能を実現させ、ネットワーク部に外部から全体的な映像信号処理目的に応じたプログラムを与えて、各演算処理部で得られた機能を結び付ける接続回路を実現するようにしたものである。

【0004】一方、放送映像の高品位化を目的として、ハイビジョン方式が開発されている。このハイビジョン方式は、従来のNTSC方式等と比較して、極めて標準化周波数が高く、かつ多種多様な処理機能が要求される。放送局などではこのハイビジョン方式と従来方式の各映像信号を共に扱う方向にある。しかし、従来のデジタル映像信号処理装置では演算処理能力、機能変更、系統変更に対する自由度が低く、ハイビジョン方式に対応することができない。

【0005】このような背景から、上記のソフトウェアによるデジタル映像信号処理装置を發展させ、ハイビジョン方式にも対応可能とし、従来方式と併用できるようにすることが強く要求されている。

【0006】

【発明が解決しようとする課題】以上述べたように、従来のデジタル映像信号処理装置では、演算処理能力、機能変更、系統変更に対する自由度が低く、ハイビジョン方式に対応することができない。

【0007】この発明は上記の課題を解決するためになされたもので、高速かつ高度な演算処理を実現すると共に、機能変更、系統変更に対する自由度を向上させることができ、これによってハイビジョン方式にも対応できるデジタル映像信号処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するためにこの発明は、複数のプログラマブル演算処理部の各演算処理内容とネットワーク部による各プログラマブル演算処理部の接続形態とをホストコントロール手段を通じて外部から自在に設定できるように構成されたデジタル映像信号処理装置において、前記プログラマブル演算処理部は、それぞれ、映像信号が供給される2つの入力部を有し、該入力部に入力された映像信号をプログラムに従って演算処理し、その結果を導出する複数のオペランドと、この複数のオペランドからの各出力信号がそれぞれ供給される各入力部と、前記ネットワーク部から2つの映像信号をそれぞれ供給することができる各入力部と、前記複数のオペランドの入力部にそれぞれ対応した出力部及び最終出力を導出するための1つの出力部とを有し、プログラマブルに該各入力部の信号を前記複数のオペランドに供給することができ、いずれかの入力信号を最終出力信号として導出するセレクトと、前記複数のオペランド及びセレクトのプログラムを前記ホストコントロール手段からの命令に従ってコントロールするプログラム制御手段とを備え、前記オペランドの演算処理内容とセレクトによる各オペランドの接続形態とをホストコントロール手段を通じて外部から自在に設定できるように構成され、少なくとも1命令についてハイビジョンレートの1/2の動作速度を有することを特徴とする。

【0009】

【作用】上記構成によるデジタル映像信号処理装置では、複数のプログラマブル演算処理部が、それぞれ1命令についてハイビジョンレートの1/2の動作速度を有するが、それぞれが有する複数のオペランドで並列演算処理が可能であるため、ハイビジョン方式の映像信号であってもリアルタイム処理が可能であり、しかも例えばNTSCなどの従来方式にも対応可能である。

【0010】

【実施例】以下、図面を参照してこの発明の一実施例を詳細に説明する。

【0011】図1はこの発明に係るデジタル映像信号処理装置の全体的な構成を示すもので、1(1)~1

(n) (nは任意)はそれぞれ入力チャンネルが16、出力チャンネルが16の信号処理クラスタである(各チャンネルは16ビットパラレル、以下同様)。各クラスタ1(1)~1(n)は縦続接続され、それぞれLAN(ローカル・エリア・ネットワーク)2を通じて、ホストコンピュータ3により、オペレータからの指令入力に応じた処理機能及び接続回線に切換制御される。

【0012】図2は上記クラスタ(ここでは1(1)を代表して示す)の内部構成を示すもので、ネットワーク4、16個のプログラマブル演算器(PU)5(1)~5(16)、ホストコントローラ6を備える。

【0013】上記ネットワーク4は外部入力チャンネルが16(IN1~IN16)、内部入力チャンネルが16(IN17~IN32)、外部出力チャンネルが16(OUT1~OUT16)、内部出力チャンネルが32(OUT17~OUT48)で、ホストコントローラ6からの制御信号に応じて、任意の入力チャンネルを任意の出力チャンネルに接続することができる。

【0014】上記プログラマブル演算器5(1)~5(16)は共に同一構成であり、NTSC方式からハイビジョン方式まで適用可能としたビデオレート映像信号処理LSIであり、ネットワーク4の所定の内部出力チャンネル2系統の出力データを受取り、ホストコントローラ6で指定されるプログラムに従って演算処理し、その処理結果をネットワーク4の所定の内部入力チャンネル1系統に送出する。特に、映像信号処理にあっては、各種演算を27ns(=1/37.125MHz)のサイクル、24ビット精度で行う。

【0015】ホストコントローラ6はLAN2を通じてホストコンピュータ3とネットワーク4及びプログラマブル演算器5(1)~5(16)を結合するためのものである。

【0016】図3は上記プログラマブル演算器(ここでは5(1)を代表して示す)の具体的な構成を示すもので、7はデジタル信号処理を行うDSP(デジタル・シグナル・プロセッサ)ユニット、8はDSPユニット7に与える処理機能及び接続回線のプログラムが格納されるプログラムメモリ、9はDSPユニット7の処理過程

で必要なデータを適宜記憶するデータメモリである。このデータメモリ9はDM-A、DM-Bの2系統あり、それぞれ最大1Mバイトまで（ハイビジョン信号の1フィールド分に相当する）記憶可能であり、またルックアップテーブル（LUT）として非線形演算器に使用できる。図4に上記DSPユニット7の具体的な構成を示す。

【0017】図4において、入力処理部10（1）、10（2）はそれぞれネットワーク4の内部出力チャンネル2系統の16ビットデータIN-A、IN-Bを入力し、同期フラグ処理を行う。同期フラグは前段回路との間で同期をとるために用いられ、8000H（-32768）の値をとる。よって、データとしては7FFFH（32767）～8001H（-32767）が取り得る範囲となる。各入力処理部10（1）、10（2）の出力はセクタ11の外部入力チャンネル（16ビット）2系統に送られる。

【0018】セクタ11は外部入力チャンネルが2系統、内部入力チャンネルが9系統、外部出力チャンネルが1系統、内部出力チャンネルがデータ出力が14系統であり、与えられたプログラムデータに従って、任意のチャンネル入力を任意のチャンネル出力に選択的に切換導出する。

【0019】出力処理部12はセクタ11の外部出力チャンネル1系統（16ビット）の出力データを取り込み、同期フラグ処理を行ってネットワーク4の内部入力チャンネル1系統に送出する。ここでの同期フラグ処理としては、同期オフの場合、データが8000Hのとき8001Hに置き換え、同期オンの場合、強制的に8000Hに置き換える。

【0020】ALU（算術論理演算部）13（1）、13（2）は、それぞれセクタ11で選択されたチャンネル（24ビット）2系統の出力データを取り込み、与えられたプログラムデータで指定される演算処理を行い、その処理結果（24ビット）をセクタ11の内部入力チャンネル1系統に送出する。演算処理としては、通常の算術論理演算の他に、TV信号処理によく用いられる最大値/最小値、絶対値演算の機能を含み、24ビットで処理される。24ビットでの演算中のオーバーフロー時は、正または負の最大値にクリップされる。

【0021】具体的には図5に示すように構成され、一方のチャンネル入力は最大3タップの可変ディレイA1で他方のチャンネル入力タイミングと一致するように遅延補償され、他方のチャンネル入力と共に演算器A2に供給される。可変ディレイA1の遅延量及び演算器A2の演算内容はプログラムデータに応じて切換設定される。演算器A2の演算結果はレジスタバンクA3に供給される。

【0022】このレジスタバンクA3は複数（ここでは6個とする）の24ビット演算レジスタを備える。その

うちの1個（または2個）はグローバルレジスタA31として用いられ、その保持データはALU出力となり、他の4個はローカルレジスタA32として用いられ、その保持データは必要に応じて演算器A2の演算に供される。グローバルレジスタA31はパイプラインレジスタとして機能する。

【0023】AU（アドレス演算部）14（1）、14（2）は、データメモリ9をアクセスするためのアドレス演算、もしくは波形発生に使用され、例えば一方が水平、他方が垂直のアドレス演算を行うことができる。それぞれセクタ11で選択されたチャンネル（24ビット）1系統の出力アドレスデータを取り込み、与えられたプログラムデータで指定されるアドレス演算処理を行い、その処理結果（24+6ビット）をセクタ11の内部入力チャンネル1系統に送出する。

【0024】具体的には図6に示すように構成され、内部にアドレス発生部B1を備える。このアドレス発生部B1はアドレス演算器B11、アドレスレジスタバンクB12で構成される。アドレスレジスタバンクB12は6個の演算レジスタを持ち、アドレス演算器B11と共になって加算、減算、1/2等の演算ができる。演算内容はプログラムデータによって設定される。

【0025】このアドレス発生部B1で発生されたアドレスデータは外部入力アドレスデータ（セクタ11の内部出力）と共に内部セクタB2に供給される。この内部セクタB2は内部発生アドレスデータと外部入力アドレスデータを取り込み、プログラムデータに従っていずれか一方を比較器B3及びアドレス処理部B4に選択的に導出する。

【0026】比較器B3は入力アドレスデータを予め設定された規定値（例えば最大、最小の限界値）と比較し、規定値を越える場合にはフラグを立ててアドレス処理部B4に送出する。

【0027】このアドレス処理部B4は置換処理部B41、シフト部B42、モード処理部B43に分けられる。置換処理部B41は、例えばクリッピングに使用され、比較器B3からのフラグに応じて入力アドレスデータを所定値に置換える。シフト部B42は8種のモードのビットシフトが可能なバレルシフトであり、24ビットの入力アドレスデータの小数点位置を任意に設定できる。

【0028】モード処理部B43はシフト部B42でシフトされた後の整数部についてスルー、プラス1、右1ビットシフト、LSB処理の選択が可能であり、小数部についてスルー、1マイナスの選択が可能である。選択はプログラムデータにより行われ、固定に選択される場合と、算出された整数部のLSBにより自動的に選択される場合がある。処理データは整数部20ビット、小数部6ビットに分けて出力される。小数部6ビットはデジタル特殊効果における縮小/拡大時の隣接4点補間計算

のために使用される。

【0029】このモード処理により、幾何学変換時の4点補間の計算が容易に実現できる。特にハイビジョンのY信号のように、標準化周波数の1/2でサブサンプルされるときには、「整数部のLSBによる自動選択モード」が有効である。この構成によるAU14(1), 14(2)を利用すると、データ演算と並行してデータメモリ9のアクセスが可能となる。

【0030】MPY(乗算器)15(1), 15(2)は16×16=32ビットのマクロセルを用い、32ビットから3種のモードで24ビットを切り出せる。それぞれセクタ11で選択されたチャンネル(16ビット)2系統の出力データを取り込み、与えられたプログラムデータで指定される形式で両入力データを乗算し、その演算結果をセクタ11の内部入力チャンネル(16ビット)1系統に送出する。

【0031】具体的には図7に示すように構成され、一方のチャンネル入力は最大3タップの可変ディレイC1で他方のチャンネル入力タイミングと一致するように遅延補償され、他方のチャンネル入力と共に乗算器C2に供給される。可変ディレイC1の遅延量及び乗算器C2の演算内容はプログラムデータに応じて切換設定される。乗算器C2の演算結果はレジスタバンクC3に供給される。

【0032】このレジスタバンクC3は複数(ここでは6個とする)の24ビット演算レジスタを備える。そのうちの1個(または2個)はグローバルレジスタC31として用いられ、その保持データはMPY出力となり、他の4個はローカルレジスタC32として用いられ、その保持データは必要に応じて乗算器C2の演算に供される。グローバルレジスタC31はパイプラインレジスタとして機能する。

【0033】可変ディレイ16(1), 16(2)は、それぞれセクタ11で選択されたチャンネル(16ビット)1系統の出力データを取り込み、16タップでタイミング調整を行い、セクタ11の内部入力チャンネル(16ビット)1系統に送出する。主にマルチプロセッサ動作時のディレイ調相に用いられる。各ディレイ16(1), 16(2)を縦続に接続するようにセクタ11を組めば、32タップディレイとすることも可能である。

【0034】データメモリI/O(インターフェース)17は、セクタ11で選択されたチャンネル(16ビット)1系統の出力データ、チャンネル(20ビット)1系統の出力アドレスデータを取り込み、プログラムデータに応じてデータメモリ9の書き込み、読出しを行う。読み出されたデータ、アドレスデータはセクタ11の内部入力チャンネル(16ビット)1系統に送出される。

【0035】具体的には図8に示すように、データ(1

6ビット)、アドレスデータ(20ビット)それぞれをシフトD1, D2で必要に応じてビットシフトし、プログラムデータに従って、セクタD3, D4でデータメモリ9のいずれかのバンク領域を選択して、書き込みまたは読出しを行う。

【0036】ここで、データメモリ9は2バンク構成(DM-A, DM-B)であり、A系、B系とも512KW(1024KB)のアドレス空間を持つ。ハイビジョン時、ワードで1/2フィールド、バイトで1フィールドのデータに対応できる。この構成により、例えば一方のデータメモリ(フィールドメモリ)を使って計算した動きベクトルを他方のデータメモリから読み出すという処理をリアルタイムで実現したり、ルックアップテーブル(LUT)として画像信号データの変換処理をリアルタイムで行うという処理を実現することが可能となる。

【0037】上記セクタ11、ALU13(1), 13(2)、AU14(1), 14(2)、MPY15(1), 15(2)、可変ディレイ16(1), 16(2)、データメモリI/O17(以下、総称してオペランドと称する)はいずれも内部バス18に接続される。この内部バス18には、さらにホストI/O19及びシーケンサ20が接続される。

【0038】ホストI/O19はホストコントローラ6を通じてホストコンピュータ3とDSPユニット7の各オペランドを結合するためのものである。ホストとの受け渡し用として16W×16ビットのレジスタ群を2バンク持つ。

【0039】片方のバンクはホストに向いており、0番目のレジスタのMSBを操作することでこの2バンクが入れ替わる。また、0番目のレジスタにプログラムスタートアドレスを入れておくことにより、1つのプログラムメモリ8に複数動作を書き込んでおき、スタートアドレスのみを切り替えることで、機能の入れ替えを瞬時に実現できる。通常、このような切替動作は、垂直ブランキングに同期して行い、映像の有効期間に影響を与えることなく実行することが可能であり、また複数のプログラマブル演算器による同期動作も容易に行うことができる。

【0040】シーケンサ20は制御機構の中心部であり、プログラムメモリ8を用いて、インストラクションのラッチ、デコード、分岐制御、オペランドの制御等を行うマイクロプログラム制御方式を採用し、条件分岐の際に崩れないパイプライン動作、オペランドの並列動作など、映像信号処理に適した構造をとる。プログラムは外付けのプログラムメモリ8に格納され、1サイクルが27nsで、フェッチ、デコード、実行の3段のパイプラインで動作する。

【0041】プログラムメモリ8は外部32KWと内部64Wの2モードが切替可能であり、マイクロプログラ

ムのビット幅は48ビットに設定される。外部モード時は、内部プログラム用RAMが分岐命令発生時のキャッシュとして使用され、分岐時もパイプブレイクが生じない構造となっている。

【0042】48ビットのマイクロ命令の構造は、分岐制御を行うSEQ命令と、演算制御を行うFUNC命令が独立に1命令内にセットできる標準構成命令と、イミディエイト値をオペランドに持つフルフィールド命令の2種に別れる。SEQ命令は、通常の汎用プロセッサと異なり、リピート、コンティニュー、ジャンプの3分岐構造をとり、同一処理を各画素に繰り返すことの多い画像信号処理の特性をリピートに、演算フラグと同一信号による条件分岐を同時に行うTV信号処理の特性をコンティニュー、ジャンプに反映している。

【0043】SEQ命令には、このほか、プログラムスタートのためのRST命令や、サブルーチンのためのPUSH、POP命令、標準TVのコンポーネント信号のような時間軸多重化された信号をハイビジョンレートで扱うとき、全てのオペランドを同時に制御するためのFNC命令がある。

【0044】ここで、プログラムメモリ8及びシーケンサ20は、概念的には図9に示すように構成され、各オペランドごとのルックアップテーブルLUT1~LUT9を備える。各テーブルにはそれぞれ機能別のプログラムデータが格納されている。シーケンサ20は、ホスト命令から各テーブルに対する機能インデクスデータを識別し、各テーブルから対応するプログラムデータを読み出し、内部バス18を通じて各オペランドに送出する。また、シーケンサ20は制御信号に応じて各テーブルの機能別プログラムデータを書き換えることもできる。

【0045】このように、各オペランドごとの制御テーブルのいずれかをインデクスにより指定することで、1命令内に複数のオペランドに対するインデクスを命令ビット幅の増大なしに実現している。この命令により、RGB信号のような時間軸多重化された低速信号処理時に、RGBの各信号に対する処理を変えることができ、1つのDSPユニットで対応することができる。

【0046】上記DSPユニット7の内部では、16ビットと24ビットの2つのデータ形式が混在する。この間のデータ形式変換には標準転送モードと拡張転送モードの2種があり、十分な精度を確保できるようになっている。

【0047】例えば、標準転送モードは、図10に示すように、16ビットデータの前に4ビットの符号拡張データを付加し、後に4ビットの0データを付加して、24ビットのデータ形式に変換する。演算後は前後ビットを切り捨てて16ビットデータを取り出す。拡張転送モードは、図11に示すように、8ビットデータを4+4ビットに分け、中間に16ビット相当の書き込み不可領域を設けて、24ビットのデータ形式に変換する。演算

後は前後4ビットのみを取り出して8ビットデータに変換する。

【0048】尚、詳細は説明しないが、上記DSPユニットは、さらにラインメモリの駆動回路、プログラムデバック支援用の回路、複数プロセッサの並列動作のための同期回路も搭載している。さらに、この発明の特徴とする可変パイプライン構造について詳述する。

【0049】従来のデジタル映像信号処理装置では、機能の異なる多数の演算器（オペランド）を固定の経路で接続してパイプラインを形成していた。このような回路は一種のみの信号処理を行う場合はよいが、操作パネル上の操作にしたがって、スイッチ押し換えにより複数の機能を実現する場合、機能の数に応じた回路を用意していた。

【0050】そこで、複数の演算器の接続をパイプの本数も変えられる可変パイプライン構造とし、接続変更により単一の回路で複数の異なる機能に対応可能とするため、図5、図7に示したように、一方のオペランド入力ラインに可変ディレイA1、C1を設け、出力ラインにレジスタバンクA3、C3を設けるようにした。

【0051】この構造によれば、セレクト11によって任意の演算器間を接続することができる。例えば、出力 = (入力1) + (定数) × (入力2) の機能ブロックは図12(a)に示すようになるが、これはALU13

(1)及びMPY15(1)を用い、セレクト11を図12(b)に示すように接続することで実現する。また、出力 = (入力1) × (定数1) + (入力2) × (定数2) の機能ブロックは図12(c)に示すようになるが、これはさらにMPY15(2)を用いてセレクト11を図12(d)に示すように接続することで実現する。

【0052】図12からわかるように、単一の回路によって2種の異なる演算処理が接続変更によって実現できる。すなわち、可変パイプライン構造の採用により任意の回路を実現できる。図12(a)ではパイプ2本、(c)ではパイプ3本であり、パイプの本数も任意に設定できる。この接続変更時に発生する経路差（ラッチの累積数の差異）を吸収するため、入力可変ディレイA1、C3が有効に働く。

【0053】したがって、上記可変パイプライン構造の採用により、セレクト11の接続を変えることで任意の回路を単一の回路で実現でき、汎用性が向上し、演算器の使用効率を高くすることができる。

【0054】ところで、高速のCPUまたはシグナルプロセッサにおいては、デバッグ方法として、内部割込みを用いたソフト的な方法と、エミュレータを用いたハード的な方法がある。ところが、TVデジタル信号を処理するような実時間性を重視するシグナルプロセッサの場合、ソフト的な方法ではデバッグしていない状態と完全に対応しなくなる可能性がある。一方、インサーキットエミュレータによるハード的な方法はマルチプロセッ

サ構成やクロック周波数の高速化を考えると現実的でない。結局、従来では画像で見て判断するか、出力結果を画像メモリを介してオフラインで解析することでデバギングしなければならなかった。

【0055】そこで、ここでは容易にデバギング作業を実現できるように、デバギングに必要なハードウェアを予めDSPユニット7に組み込んでおく。図13にその構成を示す。

【0056】図13において、8は前述したプログラムメモリ、20はシーケンサである。このシーケンサ20に対してアドレスラッチF1、命令ラッチF2が設けられる。シーケンサ20はプログラム命令フェッチのため、アドレスをアドレスラッチF1にラッチさせ、プログラムメモリ8をアクセスして命令ラッチF2に命令を取り込み、取り込んだ命令をデコードして演算フラグ等による分岐制御を行う。

【0057】アドレスラッチF1へのアドレス出力は同時に比較器F3に送られ、予め設定されたブレイクポイントレジスタF4の内容と比較される。この比較で一致が判別されると比較器F3の出力として一致フラグをたて、シーケンサ20は一致フラグが立つとその動作を止めると共に、全てのクロックを止めてオペランド(ALLU13(1)など)の出力レジスタの内容更新を停止させる。その際、外部インターフェースF5を通じて、オペランドの出力レジスタがDSPユニット7の外部からデータを読み取れるようにする。

【0058】上記構成において、ブレイクポイントレジスタF4に中断させたいプログラムアドレスを予めセットしておく、比較器F3はブレイクポイントアドレスとアクセスされたプログラムアドレスの比較を行う。比較器F3でその一致が判別されると、オペランドの出力レジスタが外部インターフェースF5を通じて外部からのデータを読み取るようになる。

【0059】したがって、任意のプログラム箇所での処理を中断し、内部オペランドの出力レジスタをチェックすることで、容易に実時間性の高いデバギング処理を実現することができる。以上の構成によるデジタル映像信号処理装置について、いくつかアプリケーションをあげておく。

【0060】図14はハイビジョン方式の2つのデジタル映像信号A、Bについて、1つのクラスタでキーミキシングを行う場合の機能構成を示すものである。尚、各映像信号A、Bはそれぞれ輝度信号がY1、Y2、色信号がPr、Pbとして2系統に分配されている。この場合、クラスタ動作速度はハイビジョンレートの1/2であるから、並列演算によりハイビジョンレートでリアルタイム処理を行う。

【0061】図14において、Kはキー信号である。クラスタ内はY1処理、Y2処理、Pr処理、Pb処理の4つに分割され、Y1処理にはプログラマブル演算器5

(1)～5(3)が用いられ、Y2処理には演算器5(4)～5(6)が用いられ、Pr処理には5(7)～5(9)が用いられ、Pb処理には5(10)～5(12)が用いられる。

【0062】Y1処理において、5(1)は乗算器、5(2)は減算器及び乗算器、5(3)は加算器にプログラミングされる。ネットワーク4(図示せず)により、5(1)にはK及びA-Y1が供給され、5(2)にはK及びB-Y1が供給され、5(3)には5(1)及び5(2)の各演算出力が供給される。すなわち、5

(1)はK=1のときA-Y1を導出し、5(2)はK=0のときB-Y1を導出し、5(3)は5(1)及び5(2)の各演算出力を加算合成する。これによって、A-Y1、B-Y1のキーミキシング信号が得られる。

【0063】Y2処理において、5(4)は乗算器、5(5)は減算器及び乗算器、5(6)は加算器にプログラミングされる。ネットワーク4(図示せず)により、5(4)にはK及びA-Y2が供給され、5(5)にはK及びB-Y2が供給され、5(6)には5(4)及び5(5)の各演算出力が供給される。すなわち、5

(4)はK=1のときA-Y2を導出し、5(5)はK=0のときB-Y2を導出し、5(6)は5(4)及び5(5)の各演算出力を加算合成する。これによって、A-Y2、B-Y2のキーミキシング信号が得られる。

【0064】Pr処理において、5(7)は乗算器、5(8)は減算器及び乗算器、5(9)は加算器にプログラミングされる。ネットワーク4(図示せず)により、5(7)にはK及びA-Prが供給され、5(8)にはK及びB-Prが供給され、5(9)には5(7)及び5(8)の各演算出力が供給される。すなわち、5

(7)はK=1のときA-Prを導出し、5(8)はK=0のときB-Prを導出し、5(9)は5(7)及び5(8)の各演算出力を加算合成する。これによって、A-Pr、B-Prのキーミキシング信号が得られる。

【0065】Pb処理において、5(10)は乗算器、5(11)は減算器及び乗算器、5(12)は加算器にプログラミングされる。ネットワーク4(図示せず)により、5(10)にはK及びA-Pbが供給され、5

(11)にはK及びB-Pbが供給され、5(12)には5(10)及び5(11)の各演算出力が供給される。すなわち、5(10)はK=1のときA-Pbを導出し、5(11)はK=0のときB-Pbを導出し、5(12)は5(10)及び5(11)の各演算出力を加算合成する。これによって、A-Pb、B-Pbのキーミキシング信号が得られる。

【0066】図15はNTSC方式の2つのデジタル映像信号A、Bについて、1つのクラスタでキーミキシングを行う場合の機能構成を示すものである。この場合、クラスタ動作速度に対して信号レートが1/4と低いので、輝度信号、色信号についてまとめて処理可能であ

る。

【0067】図15において、クラスタ内では3つのプログラマブル演算器5(1)~5(3)が用いられ、5(1)は乗算器、5(2)は減算器及び乗算器、5(3)は加算器にプログラミングされる。ネットワーク4(図示せず)により、5(1)にはK及びAが供給され、5(2)にはK及びBが供給され、5(3)には5(1)及び5(2)の各演算出力が供給される。すなわち、5(1)は $K=1$ のときAを導出し、5(2)は $K=0$ のときBを導出し、5(3)は5(1)及び5(2)の各演算出力を加算合成する。これによって、A、Bのキーミキシング信号が得られる。

【0068】図16はハイビジョン方式のデジタル映像信号における色信号Pr、Pbについて、1つのクラスタでクロマキーを生成する場合の機能構成を示すものである。

【0069】この場合は3つのプログラマブル演算器5(1)~(3)を用い、ネットワーク4(図示せず)によって5(1)、5(2)にPr、Pbをそれぞれ供給し、5(3)に5(1)、5(2)の各演算出力を供給する。

【0070】5(1)、5(2)は共に同構成であり、内部のMPY15(1)、15(2)で入力されたPr、Pbに係数を乗じて増幅した後、ALU13(1)で両者を加算し、データメモリ9に格納されたテーブルプログラムに従ってクロマ信号を生成する。5(3)は内部ALU13(1)で5(1)、5(2)で得られた各クロマ信号を加算し、データメモリ9に格納されたテーブルプログラムに従ってクロマキー信号を生成する。

【0071】この機能構成は、NTSC方式のデジタル映像信号における色信号CR、CBについて、1つのクラスタでクロマキーを生成する場合にも適用可能である。その機能構成図は省略する。図17は1つのクラスタでハイビジョン方式デジタル映像信号のRGBを3系統に合成出力するマトリクス機能構成の一部を示すものである。

【0072】ハイビジョン方式ではデータレートが高いため、RGBそれぞれについて独立に演算する必要がある。この場合、6つのプログラマブル演算器5(1)~5(6)を用いる。5(1)、5(3)、5(5)は2入力それぞれをMPY15(1)、15(2)で増幅し、さらにALU13(1)で加算出力する。5(2)、5(4)、5(6)は一方の入力をMPY15(1)で増幅し、さらにALU13(1)で他方の入力と加算出力する。

【0073】すなわち、5(1)によりR、Gが加算され、さらに5(2)でBが加算されて第1の系統OUT1に送られる。5(3)によりR、Gが加算され、さらに5(4)でBが加算されて第2の系統OUT2に送られる。5(5)によりR、Gが加算され、さらに5

(6)でBが加算されて第3の系統OUT3に送られる。尚、図17の回路ではハイビジョン方式の1/2のデータレートの処理を行っており、実際には図17の回路と同一構成のものがもう一つ必要になる。

【0074】一方、NTSC方式ではデータレートが低いため、RGBをまとめて演算処理することができる。図18はその機能構成を示すもので、RGB信号は演算器5(1)、5(2)に供給される。5(1)において、RGB入力は2系統に分配され、それぞれMPY15(1)、15(2)で増幅された後、ALU13

(1)、13(2)で定数が加算されて第1、第2の系統OUT1、OUT2の出力となる。5(2)において、RGB入力はMPY15(1)で増幅された後、ALU13(1)で定数が加算されて第3の系統OUT3の出力となる。

【0075】以上のアプリケーションからも明らかなように、1つのクラスタを高速かつ高度な演算処理を実現し、機能変更、系統変更に対する自由度を向上させることにより、従来のNTSC方式に限らず、ハイビジョン方式にも対応することができる。

【0076】尚、上記各具体例はこの発明を限定するものではなく、その他、この発明の要旨を逸脱しない範囲で種々変形しても、同様に実施可能であることはいうまでもない。

【0077】

【発明の効果】以上のようにこの発明によれば、高速かつ高度な演算処理を実現すると共に、機能変更、系統変更に対する自由度を向上させることができ、これによってハイビジョン方式にも対応できるデジタル映像信号処理装置を提供することができる。

【図面の簡単な説明】

【図1】この発明に係るデジタル映像信号処理装置の一実施例として全体的な構成を示すブロック図。

【図2】同実施例のクラスタの具体的な構成を示すブロック図。

【図3】同実施例のプログラマブル演算器の具体的な構成を示すブロック図。

【図4】同実施例のDSPユニットの具体的な構成を示すブロック図。

【図5】同実施例のALUの具体的な構成を示すブロック図。

【図6】同実施例のAUの具体的な構成を示すブロック図。

【図7】同実施例のMPYの具体的な構成を示すブロック図。

【図8】同実施例のデータメモリI/Oの具体的な構成を示すブロック図。

【図9】同実施例のプログラムメモリ及びシーケンサの概念的な構成を示す概念図。

【図10】同実施例のDSPユニットにおける標準転送

モードのデータ形式を示す図。

【図11】同実施例のDPSユニットにおける拡張転送モードのデータ形式を示す図。

【図12】同実施例の可変パイプライン構造を説明するための機能構成図。

【図13】同実施例のデバッキング処理を行うハードウェア構成を示すブロック図。

【図14】同実施例のアプリケーションとしてハイビジョン方式のキーミキシング機能構成を示すブロック図。

【図15】同実施例のアプリケーションとしてNTSC方式のキーミキシング機能構成を示すブロック図。

【図16】同実施例のアプリケーションとしてハイビジョン方式のクロマキー生成機能構成を示すブロック図。

【図17】同実施例のアプリケーションとしてハイビジョン方式のRGBマトリクス機能構成を示すブロック図。

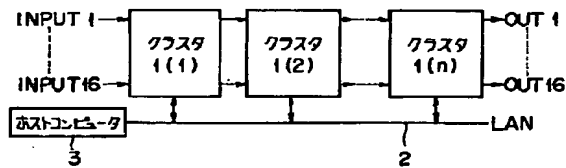
*

*【図18】同実施例のアプリケーションとしてNTSC方式のRGBマトリクス機能構成を示すブロック図。

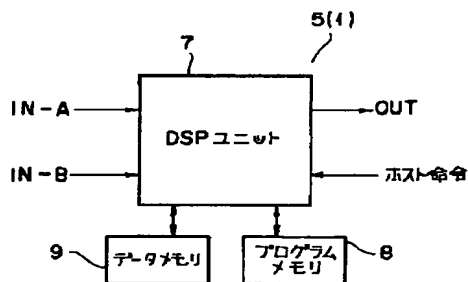
【符号の説明】

1(1)～1(n)…信号処理クラスタ、2…LAN、3…ホストコンピュータ、4…ネットワーク、5(1)～5(16)…プログラマブル演算器(PU)、6…ホストコントローラ、7…DSPユニット、8…プログラムメモリ、9…データメモリ、10(1)、10(2)…入力処理部、11…セレクタ、12…出力処理部、13(1)、13(2)…算術論理演算部(ALU)、14(1)、14(2)…アドレス演算部(AU)、15(1)、15(2)…MPY(乗算器)、16(1)、16(2)…可変ディレイ、17…データメモリI/O、18…内部バス、19…ホストI/O、20…シーケンサ。

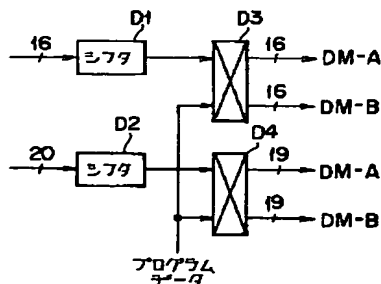
【図1】



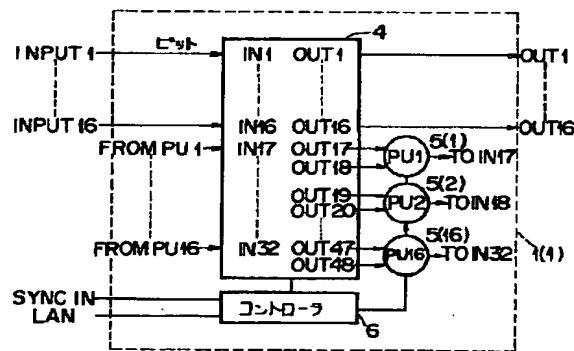
【図3】



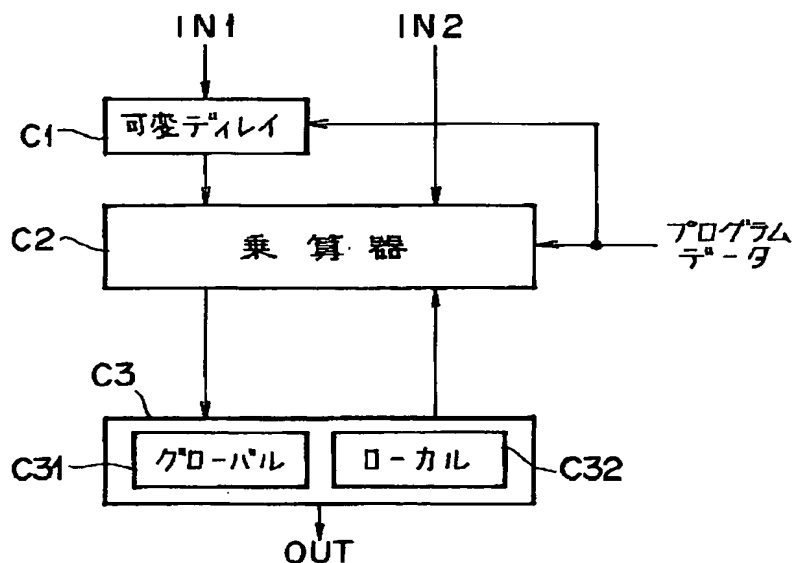
【図8】



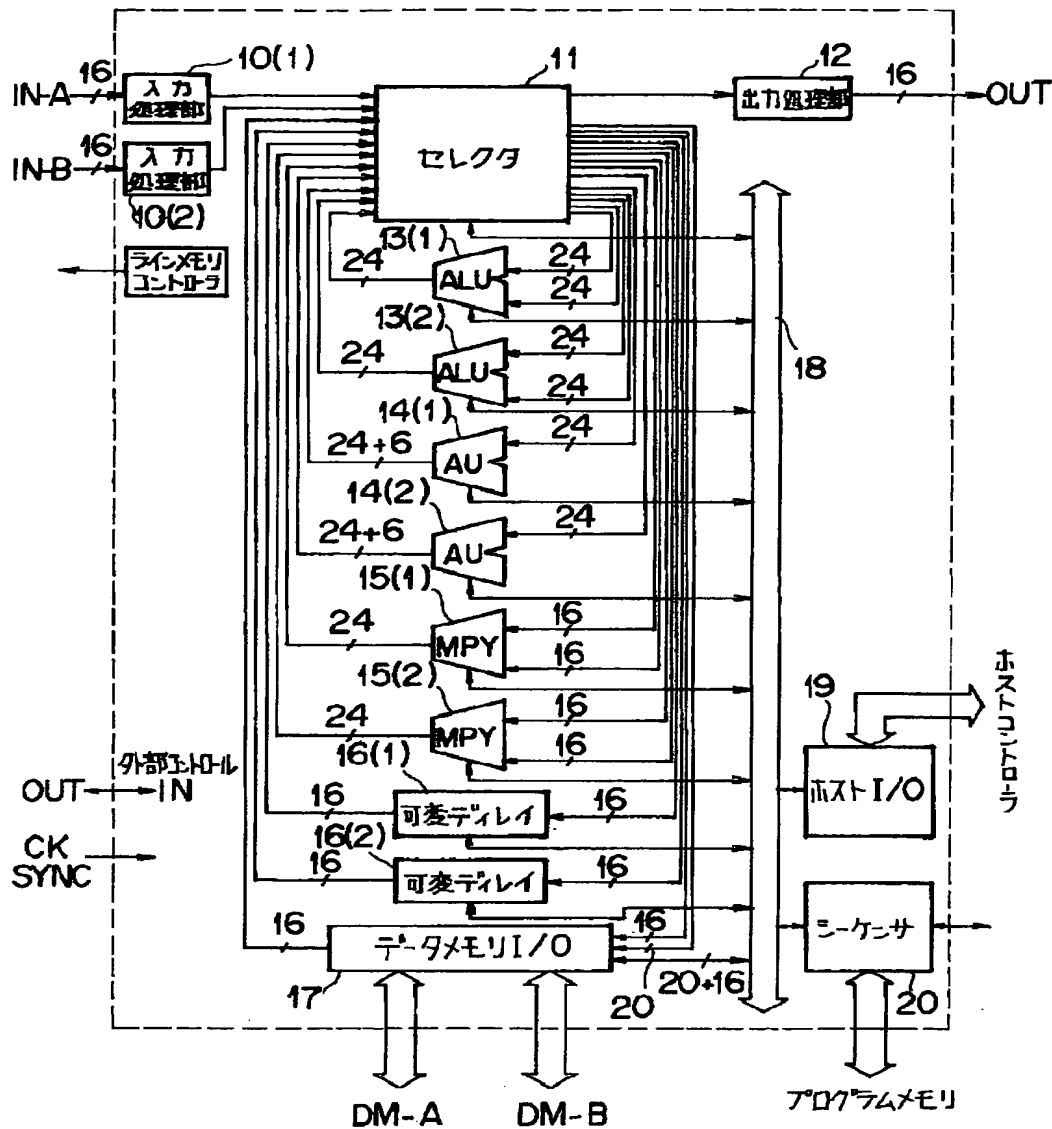
【図2】



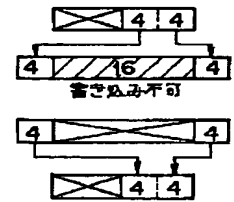
【図7】



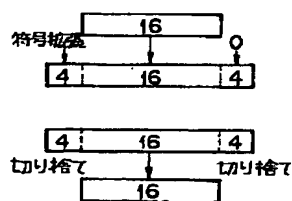
【図4】



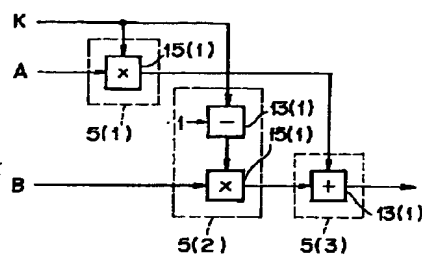
【図11】



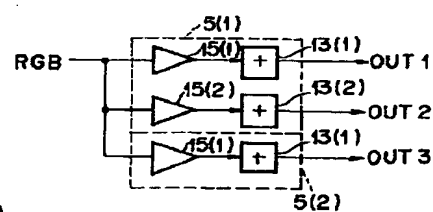
【図10】



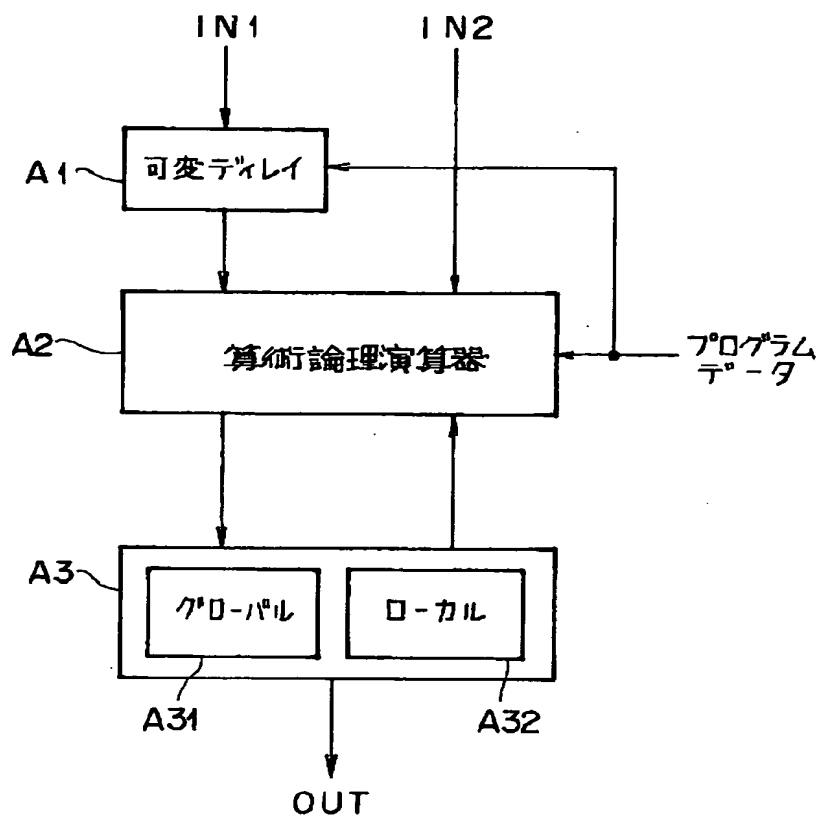
【図15】



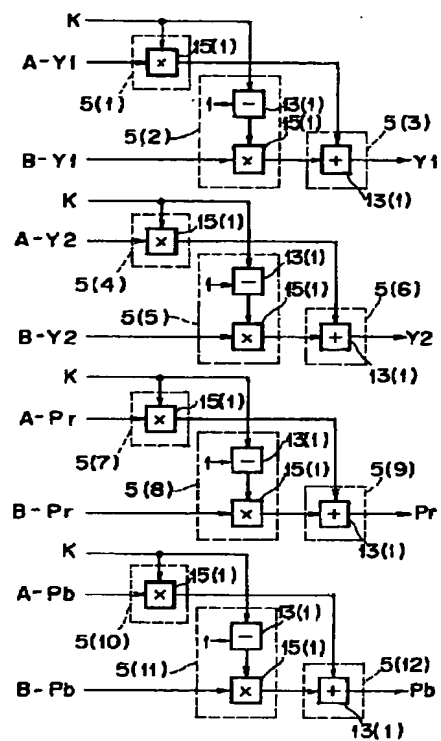
【図18】



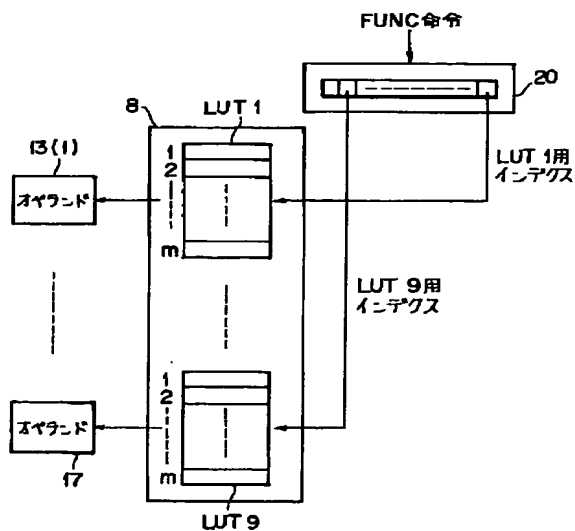
【図5】



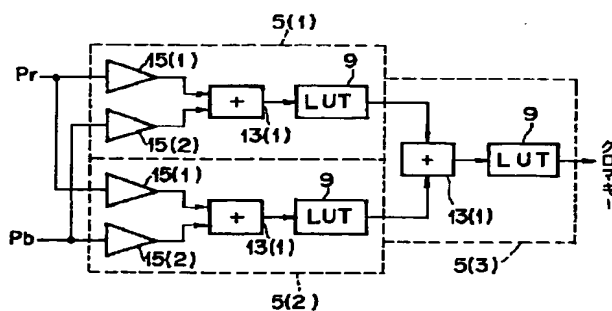
【図14】



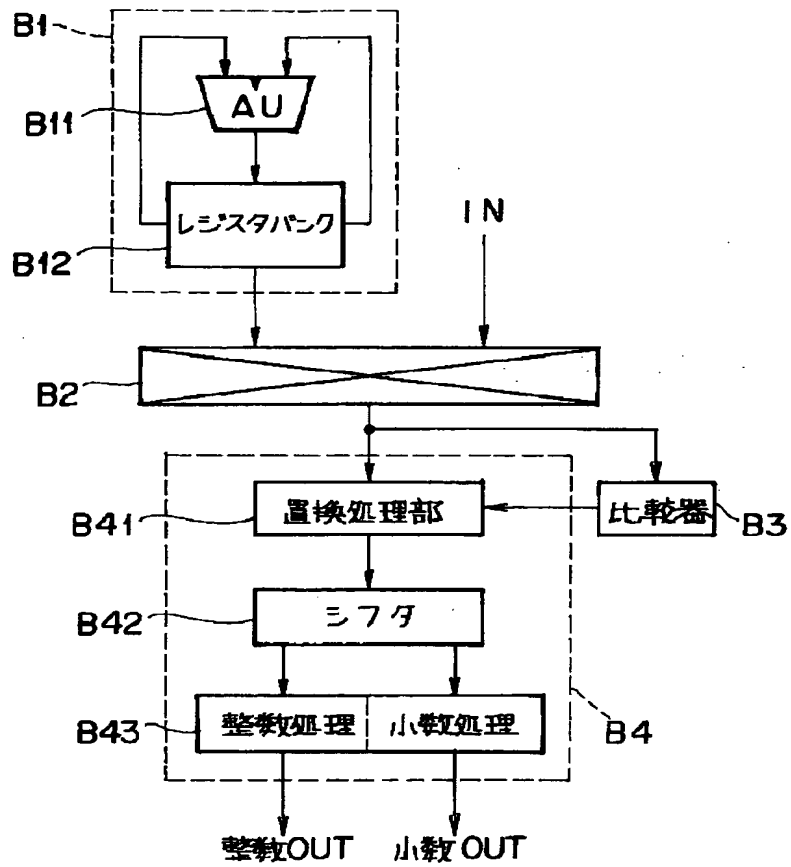
【図9】



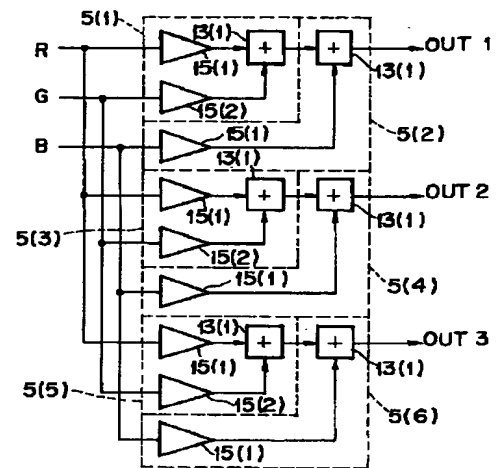
【図16】



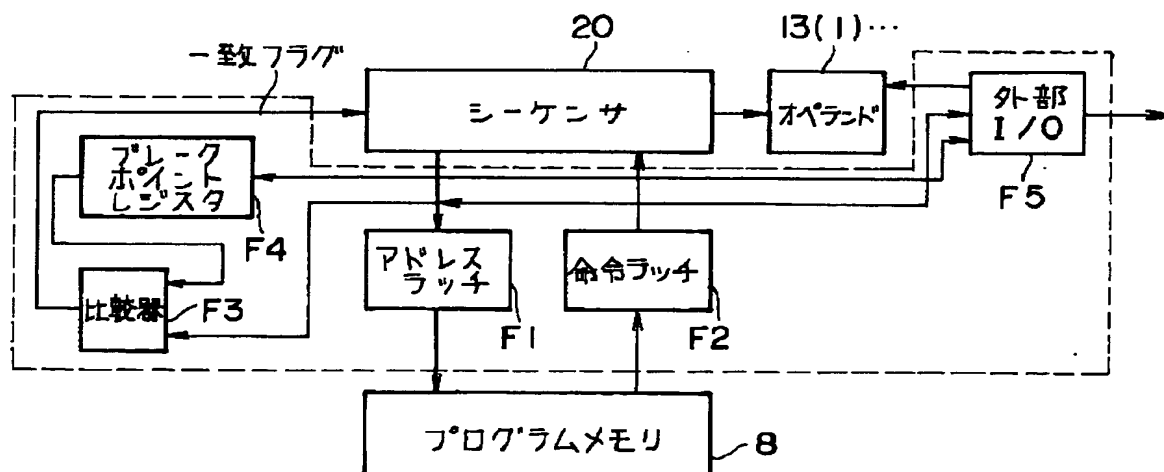
【図6】



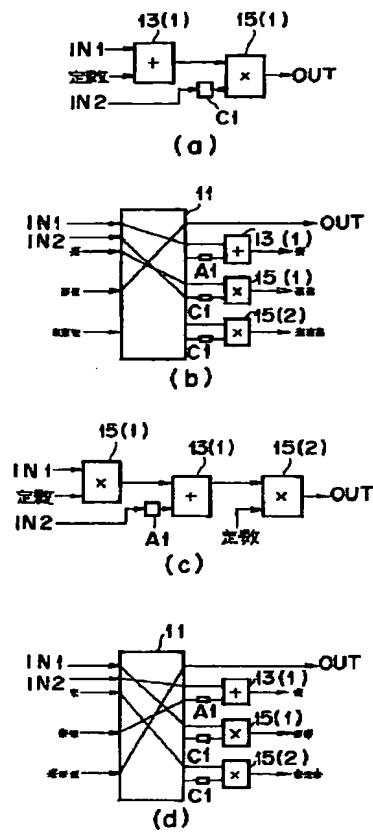
【図17】



【図13】



【図 12】



フロントページの続き

(72)発明者 齊藤 英貴
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝小向工場内

(72)発明者 富田 龍一郎
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝小向工場内

(72)発明者 八木 伸行
東京都世田谷区砧一丁目10番11号 日本放
送協会放送技術研究所内

(72)発明者 福井 一夫
東京都世田谷区砧一丁目10番11号 日本放
送協会放送技術研究所内

(72)発明者 榎並 和雅
東京都世田谷区砧一丁目10番11号 日本放
送協会放送技術研究所内