

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-023572

(43)Date of publication of application : 25.01.1990

(51)Int.Cl.

G11B 20/10

(21)Application number : 63-170828

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.07.1988

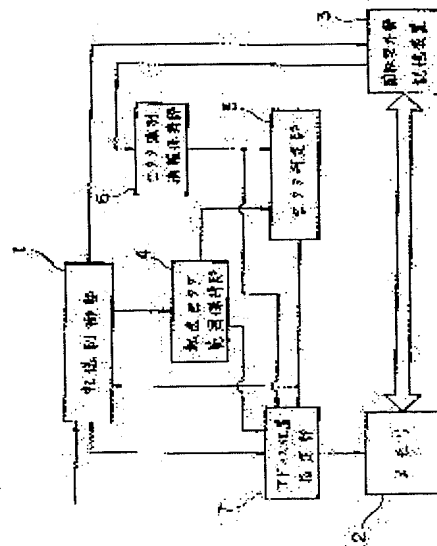
(72)Inventor : KATAGIRI HIROYUKI

(54) EXTERNAL STORAGE CONTROLLER

(57)Abstract:

PURPOSE: To successively transfer data in the order of sectors arriving at an accessing point and to reduce the rotation waiting time of an external storage device by producing the offset address of a memory in corresponding to the sectors arriving at the accessing point.

CONSTITUTION: A transfer control section 1 designates a sector extent to be transferred by analyzing an access instruction to an external storage device 3 and causes a transferring sector extent holding section 4 to hold the extent information. The storage device 3 holds the identifying information of the sector number at an accessing position in a successive sector identifying information holding section 6. When it is discriminated by a sector discriminating section 5 that the sector at the accessing position belongs to the sector extent to be transferred, an address designating section 7 designates an address to a memory 2 based on the extent information and identifying information. Accordingly, the control section 1 successively transfers data in the order of sectors arriving at the accessing position irrespective of the arranged order of the sectors. Therefore, the rotation waiting time can be reduced, since access to one track can be completed during one turn.



⑫ 公開特許公報(A)

平2-23572

⑮ Int. Cl.⁵
G 11 B 20/10識別記号 庁内整理番号
A 7923-5D

⑭ 公開 平成2年(1990)1月25日

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 外部記憶制御装置

⑯ 特 願 昭63-170828

⑰ 出 願 昭63(1988)7月11日

⑱ 発 明 者 片 桐 啓 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 土 橋 皓

明 細 書

1. 発明の名称

外部記憶制御装置

2. 特許請求の範囲

メモリ装置(2)と、トラック毎のセクタ単位でデータの記録を行う回転型の外部記憶装置(3)との間で当該単位でデータの転送の制御を行う外部記憶制御装置において、

前記記憶装置(3)におけるアクセス位置にあるセクタについて当該セクタを識別する識別情報を順次保持するセクタ識別情報保持部(6)と、

転送の対象となるセクタの範囲を表す範囲情報を保持する転送セクタ範囲保持部(4)と、

当該識別情報及び範囲情報に基づいてアクセス位置にある前記セクタが転送の対象であるか否かを判定するセクタ判定部(5)と、

転送の対象であると判定された場合には当該セクタの識別情報及び範囲情報に基づいてメモリ(2)の対応するアドレスを指定するアドレス指定部(7)と、

前記セクタ範囲を指定するとともに、アクセス位置にあるセクタが転送の対象であると判定された場合にデータの転送を行う転送制御部(1)とを有することを特徴とする外部記憶制御装置。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術(第5, 6, 8図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用(第1図)

実施例(第2, 3, 4, 5, 6, 7図)

発明の効果

(概要)

メモリ装置と、トラック毎のセクタ単位でデータの記録を行う回転型の外部記憶装置との間で当該単位でデータの転送の制御を行う外部記憶制御

装置に関し、

高速にアクセス及び転送を行うことができる外部記憶制御装置を提供することを目的とし、

前記記憶装置におけるアクセス位置にあるセクタについて当該セクタの識別情報を順次保持する識別情報保持部と、転送の対象となるセクタ範囲を指定する範囲情報を保持するセクタ範囲保持部と、前記識別情報及び範囲情報に基づいてアクセス位置にある前記セクタが転送の対象となるかを判定するセクタ判定部と、転送の対象と判定された場合には当該セクタの識別情報及び範囲情報に基づいてメモリの対応するアドレスを指定するアドレス指定部と、前記セクタ範囲を指定するとともに、アクセス位置にあるセクタが転送対象と判定された場合にデータの転送を行う転送制御部とを有するものである。

(産業上の利用分野)

本発明は外部記憶装置アクセス制御装置に係り、特にメモリ装置と、トラック毎のセクタ単位

一致した場合には前記制御部81に一致信号を送出する比較器85と、転送対象となるメモリのアドレスについての計数を行う転送アドレスカウンタ87とを有する。

本装置は次のように動作する。

ステップSA1で前記主制御部81が前記外部記憶装置83に対するアクセス命令を解析し、最初に、転送するセクタ番号を転送セクタ番号レジスタ84aに、転送セクタ数を転送セクタカウンタ84bに、転送対象となるメモリ82の開始アドレスを転送アドレスカウンタ87に各々設定する。

また、アクセス位置セクタ番号レジスタ86には前記外部記憶装置83から送られてくるアクセス位置に到達したセクタの番号が順次設定される。

ステップSA2で前記比較器85は転送セクタ番号レジスタ84aに保持されている値を、アクセス位置レジスタ86に保持されている値とを比較し、一致した場合には前記制御部81に

でデータの記録を行う回転型の外部記憶装置との間で当該単位でデータの転送の制御を行う外部記憶制御装置に関する。

(従来の技術)

従来、第8図に示すような外部記憶制御装置があった。

本装置は半導体メモリ82と磁気ディスク等の回転型の外部記憶装置83との間のデータの転送の制御を行う主制御部81と、順次転送する対象となるセクタ番号を保持する転送セクタ番号レジスタ84aと、転送されたセクタの偶数について順次計数を行う転送セクタ・カウンタ84bと、比較器85と、前記外部記憶装置83での書き込みまたは読出し等のアクセス位置にあるセクタを識別する識別情報としてのセクタ番号を保持するアクセス位置セクタ番号レジスタ86と、当該レジスタ86に保持されているセクタ番号と前記セクタ番号レジスタ84a及び前記転送セクタカウンタ84aに保持されている値とを比較し、

対して一致信号を送出する。

ステップSA3で前記制御部81は当該比較器85からの一致信号があった場合には前記転送アドレスカウンタの値をインクリメント(増加)させながら1セクタ分のデータの転送を行うことになる。

ステップSA4で1セクタ分のデータの転送が終了した場合には前記制御部81は前記転送セクタ番号レジスタ84aに保持されている値をインクリメント(増加)させ、当該転送セクタカウンタ84bをデクリメント(減少)させる。

ステップSA5で当該転送セクタカウンタ84bが“0”でない場合には前述したステップSA2に戻り、データの転送を継続する。

一方、ステップSA6で前記転送セクタカウンタ84bが“0”ならば、外部記憶装置83とのデータ転送を終了する。

(発明が解決しようとする課題)

ところで、従来の外部記憶制御装置にあって

は、前述したような手順でアクセスを行うため、複数のセクタを転送する際に、複数のセクタに対してアクセスを行う場合にはセクタ番号の小さなセクタに関するデータから順次アクセスを行わなければならない。

したがって、複数のセクタに対するアクセスを行う際には、アクセス位置に後続のセクタが位置した場合であっても、当該セクタに対してアクセスを行うことができず、先頭のセクタがアクセス点に位置するまで、長時間待たなければならないという問題点を有していた。

すなわち、第5図(a)及び(b)に示すように外部記憶装置のあるトラックのセクタ0～5のセクタ領域についてアクセスする場合にあって、アクセスを開始するアクセス位置、すなわちヘッド位置が(a)のA点(セクタ10)にある場合には同図(b)に示すようにセクタ0～5については α (交代用セクタ)の後、直ちにアクセスが行われることになるが、ヘッド位置が(a)のB点にある場合にはセクタ4、セクタ5

がアクセス対象であるにも拘らず、一旦セクタ0まで進んだ後に順次アクセスが行われることになる。

また、交代セクタが存在する場合には、第6図(b)に示すようにセクタの配置が通常と異なるため、更に余計な回転待ちが必要となり外部記憶装置のアクセス時間が大幅に増加するという問題点を有していた。

そこで、本発明は以上の問題点を解決することを技術的課題とするものであって、高速にアクセス及びデータの転送を行うことができる外部記憶制御装置を提供することを目的としてなされたものである。

(課題を解決するための手段)

以上の技術的課題を解決するため本発明は第1図に示すように、メモリ装置2と、トラック毎のセクタ単位でデータの記録を行う回転型の外部記憶装置3との間で当該単位でデータの転送の制御を行う外部記憶制御装置において、前記

記憶装置3におけるアクセス位置にあるセクタについて当該セクタの識別情報を順次保持するセクタ識別情報保持部6と、転送の対象となるセクタ範囲を指定する範囲情報を保持する転送セクタ範囲保持部4と、当該範囲情報及び識別情報に基づいてアクセス位置にある前記セクタが転送の対象となるか否かを判定するセクタ判定部5と、転送の対象となるセクタと判定された場合に当該セクタの識別情報及び範囲情報に基づいてメモリ2の対応するアドレスを指定するアドレス指定部7と、前記記憶装置3に対するアクセス命令を解析して転送されるべき前記セクタ範囲を指定するとともに、アクセス位置にあるセクタが当該範囲内と判定された場合にはデータの転送を行う転送制御部1とを有するものである。

(作用)

本装置は次のように動作する。

前記転送制御部1は前記外部記憶装置3に対するアクセス命令を解析して転送の対象となる前記

セクタ範囲を指定して、前記保持部4に当該範囲を表す範囲情報が保持させる。

また前記外部記憶装置3においてアクセス位置にあるセクタ番号等のセクタを識別する識別情報が順次前記セクタ識別情報保持部6に保持される。

ここで、「アクセス位置にあるセクタ」とはアクセス用のヘッドが位置しているセクタをいう。

前記セクタ判定部5によりアクセス位置にあるセクタが転送対象となっている前記セクタ範囲内に属する場合には、前記制御部1及びアドレス指定部7にその旨を示す信号が通知される。

すると、アドレス位置指定部7は当該信号を受けた場合には前記セクタ範囲を表す範囲情報及び前記識別情報に基づいて前記メモリ2に対して対応するアドレス位置を指定してアクセスを行うとともに、前記制御部1はセクタの配列順序の如何に拘らず、アクセス位置に到達したセクタから順次データの転送を行うようにしてい

る。

したがって、セクタがどのような配置であっても、全セクタが一通り出現するほぼ1回転の間に1つのトラックについてのアクセスを終了させることができることになる。

(実施例)

続いて、本発明の実施例について説明する。

本実施例に係る外部記憶制御装置は第2図に示すように、半導体メモリ12と、データをトラック毎のセクタ単位で記録を行う磁気ディスク装置等の回転型の外部記憶装置13と、データの転送に関して現に書き込みまたは読出しが行われるアクセス位置にある前記外部記憶装置13のセクタを識別する識別情報としてのセクタ番号を保持するセクタ識別情報保持部6としてのアクセス位置セクタ番号レジスタ16とを有する。

本装置は、また各トラック毎に転送すべきセクタ範囲を指定する範囲情報を保持する転送セクタ範囲保持部14と、前記アクセス位置セクタ番号

終了セクタ番号レジスタ14bとを有する。

また、前記アドレス指定回路17は指定された先頭からの相対番地を表すオフセットアドレスを前記アクセス位置にあるセクタ番号及び前記転送開始セクタ番号に基づいて生成するオフセットアドレス生成回路19と、当該生成回路19により生成されたオフセットアドレス及び前記主制御部11aからの制御信号に基づいて転送対象の半導体メモリ12に対して転送対象のアドレスの指定を行う転送アドレスカウンタ18とを有する。

第3図に64セクタ/トラック、256バイト/セクタの外部記憶制御装置に本実施例を適用した場合についてさらに詳細に示す。

同図において、前記メモリ12としてバッファ・メモリを使用したものであり、当該メモリ12は256バイトの容量を有するRAMを用いたセクタバッファ64個により構成され、上位装置と外部記憶装置13との間で転送されるデータを一時蓄えるものである。

レジスタ16に保持されたセクタ番号及び前記範囲情報に基づいてアクセス位置にあるセクタが転送範囲内に属するか否かを判定を行うセクタ判定部5としてのセクタ判定回路15と、当該セクタ判定回路15により前記範囲内に属すると判定された場合には前記セクタ番号及び指定された前記範囲情報に基づいて、転送に関し半導体メモリ12の対応するアドレス位置を指定するアドレス位置指定部17と、前記外部記憶装置13に対するアクセス命令を解析して転送の対象となるセクタ範囲を指定するとともに、転送対象のセクタと判定された場合に前記メモリ12と外部記憶装置13との間でデータの転送を行う転送制御部11とを有するものである。

また、前記転送制御部11は主制御部11a及びメモリ管理テーブル11bを有する。

さらに、前記セクタ範囲保持部14は転送されるセクタの範囲を表す範囲情報としての転送開始セクタ番号及び転送終了セクタ番号を各々保持する転送開始セクタ番号レジスタ14a及び転送

また、前記メモリ管理用テーブル11bには各セクタバッファに格納されているデータが有効か無効かを示すフラグが格納されている。

前記オフセット生成回路19及びセクタ判定回路15は減算器15a、15bと、ゲート15c、15dとを有し、転送範囲にあるセクタが否かの判定と、転送開始セクタから判定されたセクタまでのオフセット・アドレスの生成を行うものである。

さらに前記転送アドレスカウンタ18は転送対象となるセクタに対応するオフセット・レジスタ18aとセクタ内の相対アドレスを示すカウンタ18bとからなる。

その他、本実施例は接続の切換えを行うアドレスマルチプレクサ20を有している。

本実施例は次のように動作する。

第4図の流れ図に基づいて説明する。

ステップS J 1で第2図に示した転送制御部11の主制御部11aは上位装置からのコマンドを受けとると、ステップS J 2で当該コマンドを

解析する。

当該主制御部11aは解析結果が読出しの処理であればステップSJ3に進み、処理対象のセクタをトラック単位に分割するとともに、前記転送開始セクタ番号レジスタ14a及び前記転送終了セクタレジスタ14bをセットし、前記メモリ管理テーブル11bを“0”になっていることを確認する。

ステップSJ4で目的トラックヘシーク動作を行う。

シーク動作が完了した後、ステップSJ5で前記アクセス位置セクタ番号レジスタ16にヘッド位置すなわち、アクセス位置に到達したセクタ番号が順次保持されることになり、セクタ判定回路15の減算器15a、15b等により当該セクタが転送の対象となるセクタであるか否かの判定が行われることになる。

ステップSJ6で当該アクセス位置セクタ番号レジスタ16に保持されている番号のセクタが転送範囲内のセクタでない場合には転送範囲内の

た場合に外部記憶装置13からのセクタ・データ部の検出信号に同期して前記減算器15b等により得られたオフセットアドレスを転送アドレス・カウンタ18のオフセットレジスタ18aに保持するとともに、前記主制御部11aに対して転送開始の指示信号を送る。

ステップSJ8において、主制御部11aは前記転送アドレス・カウンタ18のオフセット・レジスタ18aに保持されているオフセットアドレスによる指定に対応する前記メモリ管理テーブル11bに保持されているデータが“0”の場合には、当該カウンタ18bをインクリメントしながら前記転送アドレスカウンタ18の示すバッファ位置に外部記憶装置13から転送されたデータを順次書き込む。

一方、主制御部11aは前記オフセットレジスタ18aに保持されているオフセットアドレスに対応するバッファ管理テーブル11bに保持されているデータが“1”の場合には既に有効なデータが当該メモリ12に格納されているので転送を

セクタが保持されるまで待ち、保持されているセクタが当該範囲内のセクタであると判断された場合にはステップSJ7に進む。

ここで、第3図に示すようにアクセス位置にあるセクタが転送範囲に存在する場合には前記アクセス位置セクタ番号レジスタ16に保持されている値(B)は減算器15aにおいては前記転送終了セクタ番号レジスタ14bに保持されている値(A)よりも小さいはずであり、当該減算器15a($A - B$)からは正の符号を表す“0”状態のborrow信号が出力され、減算器15bにおいては前記アクセス位置セクタ番号レジスタ16に保持されている値(A)は前記転送開始セクタ番号レジスタ14aに保持されている値(B)よりも大きいはずであるから当該減算器15b($A - B$)からも正の符号を表す“0”状態のborrow信号が出力されることになり、当該信号の出力により前記セクタは前記範囲内にある旨が示される。

ステップSJ7では当該borrow信号が出力され

行わずに次の転送開始指示を待つ。

さらに、ステップSJ9で1セクタ分のデータの転送が終了した場合には前記主制御部11aは前記オフセット・レジスタ18aにより示されるメモリ管理テーブル11bの対応する位置に正常終了の場合には“1”を異常終了の場合には“0”を書き込むことになる。

以上の動作を前記転送範囲内の全セクタについて繰り返し、ステップSJ10で前記転送範囲内の全セクタについて前記メモリ管理テーブル11bが全て“1”になるまで繰り返す。すると、前記メモリ12中にセクタ番号の順にトラック中の転送データが格納される。そこで、ステップSJ11で当該メモリ12中のデータを上位装置に転送し、前記メモリ管理テーブル11bの値を“0”に戻す。

以上の動作をコマンドにより転送が求められた各トラックについて繰り返すことにより読み出し処理が行われることになる。

書き込みについても同様の手法により第4図の

流れ図ステップS J 1 2からステップS J 2 0までに示すように行われることになり、その他の処理（ステップS J 2 1）についても同様である。

以上説明したように本実施例によれば読出しの場合には前記転送範囲内にあると判定されたセクタのデータから順次前記メモリ12に格納し、当該メモリ12に当該範囲内にある全セクタが格納された時点で、セクタ番号の順に上位装置へデータを転送することができる。

また書き込みの場合には上位装置からセクタ番号の順に転送されたデータをメモリ12（バッファメモリ）に格納し、その後、判定された順にセクタヘデータを書き込むことができる。

従って、磁気ディスク等の記録媒体がほぼ一回転する間にトラック上の必要なセクタを全て転送することができ、複数のセクタを転送する際には特にアクセス時間の短縮に効果がある。

また、本実施例ではメモリ管理テーブルを適宜検査し、必要範囲のセクタ転送終了を直ちに検出

するので、少ないセクタ数の転送の際にも従来方式に比較してアクセス時間が増大することはない。

以上説明したように本実施例によると従来の計算器及び外部記憶装置のハードウェア、ソフトウェアを何ら変更することなくアクセス時間を短縮する外部記憶制御装置を提供することができる。

次に他の実施例について説明する。

本実施例は前述した実施例と異なり、前記実施例のメモリ管理テーブル11bに有効データの有無の他にデータ誤りの有無とECCデータを格納することにより、他のセクタを転送中に平行してデータ誤りを訂正して更にアクセス時間を短縮することができる。

またオフセット基準アドレスレジスタと減算器を追加することによりオフセット基準アドレスを主制御装置のファームウェアが設定できるようにし、複数のトラックで使用する領域を重ねるようにすることで上位装置との転送と外部記憶装

置との転送を異なるトラックに対して並行動作を行うことができる。

また、オフセットアドレスを基準値からのセクタ数とセクタサイズとの積で生成することによりセクタサイズが可変の場合にも本実施例を適用することができる。

第5図に基づいて以上説明した実施例を、転送対象となるセクタ範囲がセクタ番号として0から5までの場合に本装置を適用した場合について説明する。

第5図(c)に示すようにアクセス開始時にヘッド位置がAにある場合にはアクセス位置にくるセクタはセクタ番号順になるので、従来の場合と同様であるが、アクセス開始位置がBの場合には前記セクタ範囲内で最初にアクセス位置にくるセクタはセクタ番号が4及び5の順序となり、従来の場合と異なり当該セクタについては直ちにアクセスが行われてデータの転送がなされることになる。

したがって、従来の場合に比較して転送範囲内

にあるデータの転送は早期に行うことが可能である。

さらに、第6図に示すように交代されたセクタが存在する場合には従来装置に比較して大幅にアクセスを行う速度が上昇していることがわかる。

第7図に以上説明した64セクタ/トラックの場合、32セクタ/トラック及び128セクタ/トラックの場合について、転送時間と転送セクタ数との関係を示すように最大約1.5倍の処理速度の向上を認めることができる。

(発明の効果)

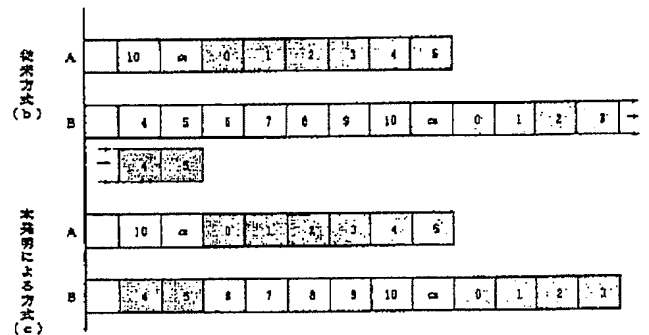
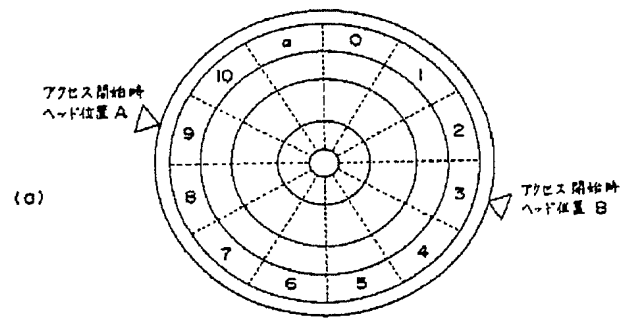
以上説明したように本発明によれば、アクセス位置に到達したセクタに対応したメモリのオフセットアドレスを生成することにより、アクセス点に到達したセクタの順にデータ転送を行えるため、外部記憶装置の回転待ち時間を短縮することができるという効果を奏し、外部記憶装置の性能向上に寄与することができる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、第2図は実施例に係る外部記憶制御装置を示すブロック図、第3図は実施例に係るブロック図、第4図は実施例に係る流れ図、第5図は実施例及び従来例に係る通常セクタ配置を示す図、第6図は実施例及び従来例に係る交代されたセクタのある配置を示す図、第7図は実施例に係る効果説明図、第8図は従来例に係るブロック図である。

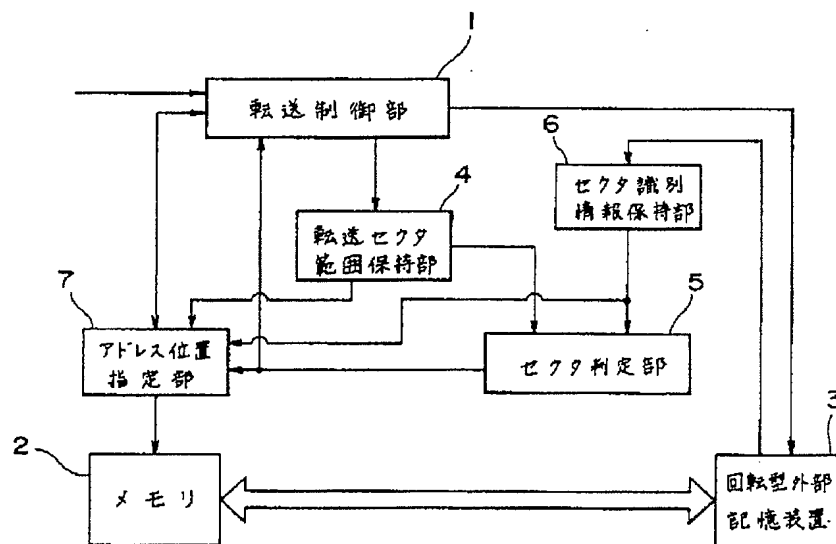
- 1 (11) …転送制御部
- 2 (12) …メモリ(半導体メモリ)
- 3 (13) …外部記憶装置
- 4 (14) …転送セクタ範囲保持部
- 5 (15) …セクタ判定部
- 6 (16) …セクタ識別情報保持部(アクセス位置セクタ番号レジスタ)
- 7 (17) …アドレス位置指定部

特許出願人 富士通株式会社
代理人 弁理士 土橋 昭



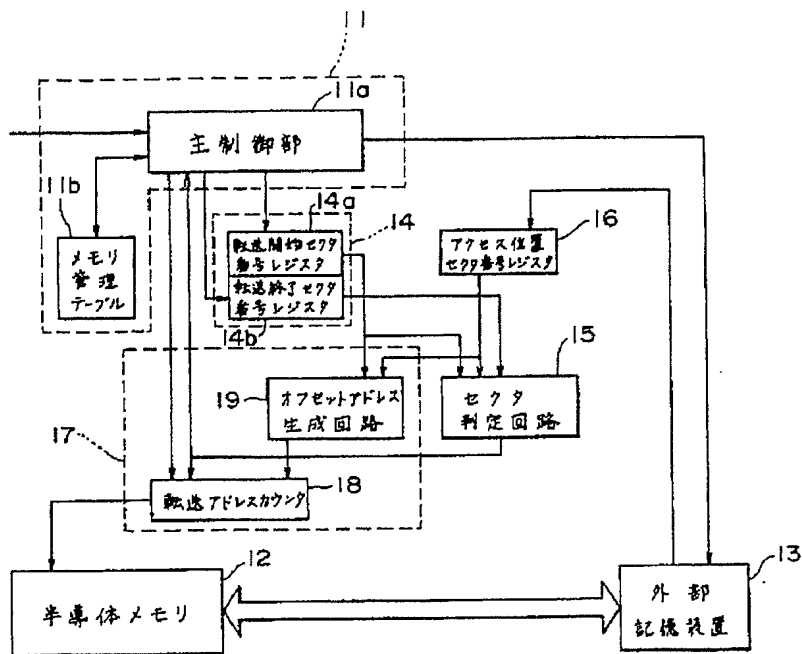
実施例及び従来例に係る通常セクタ配置を示す図

第5図



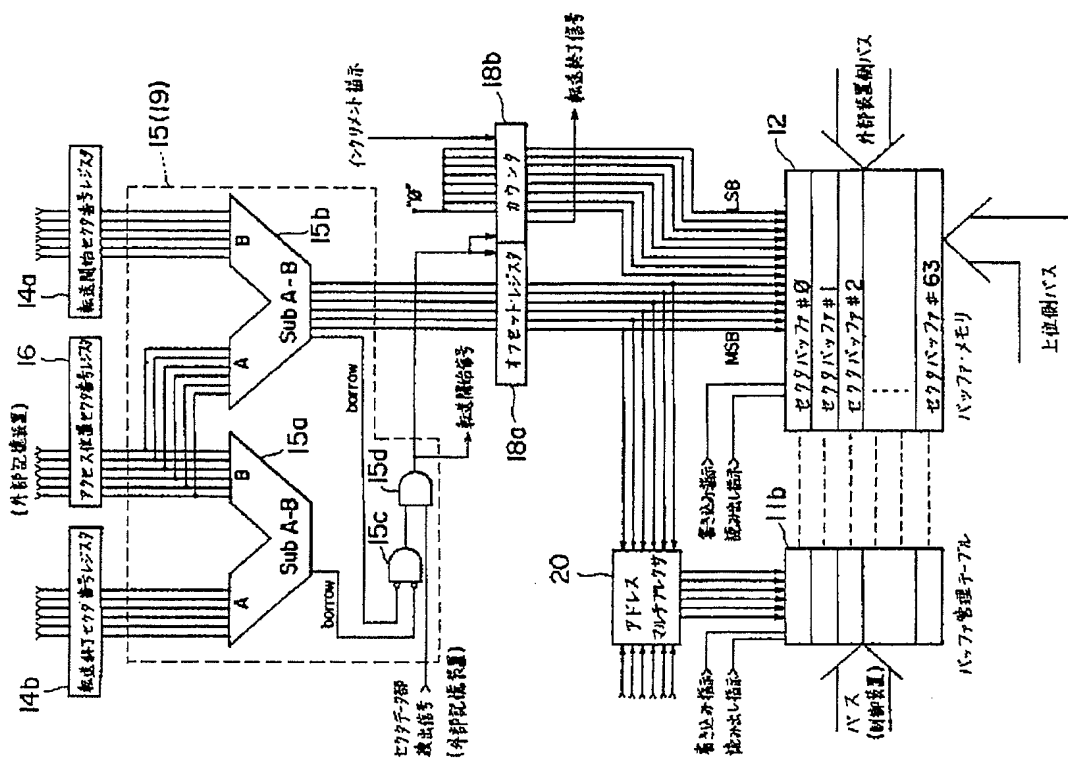
発明の原理ブロック図

第1図



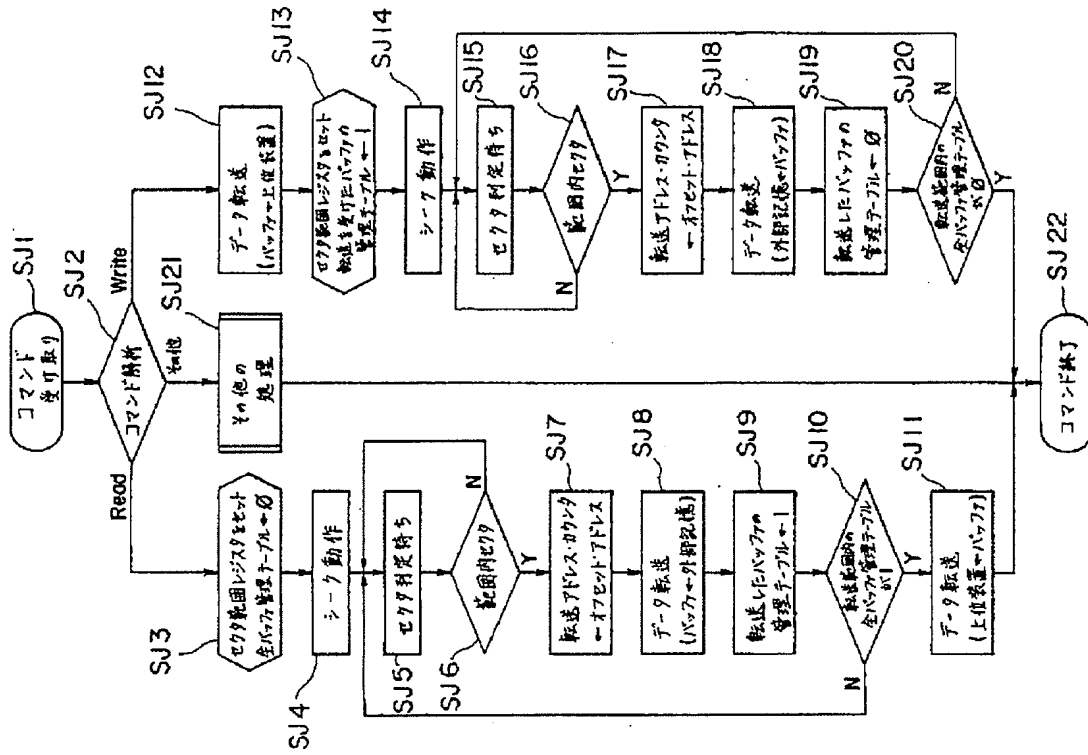
実施例に係る外部記憶制御装置を示すブロック図

第 2 回



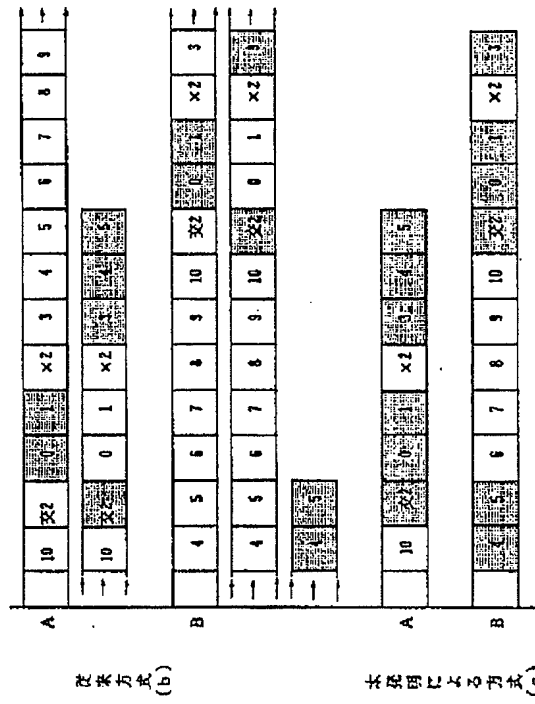
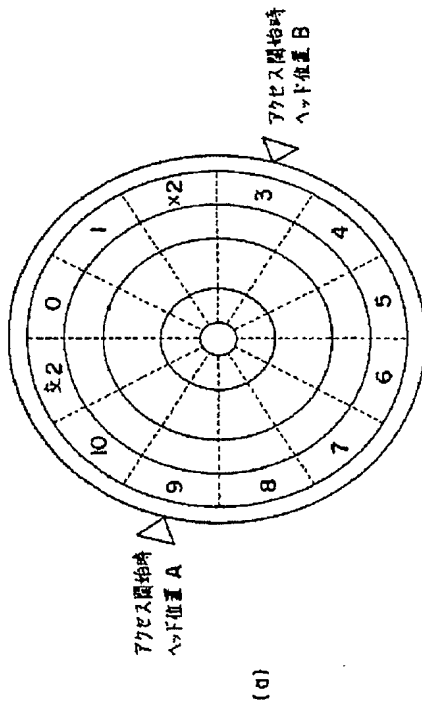
実施例に係るブロック図

無
3
区



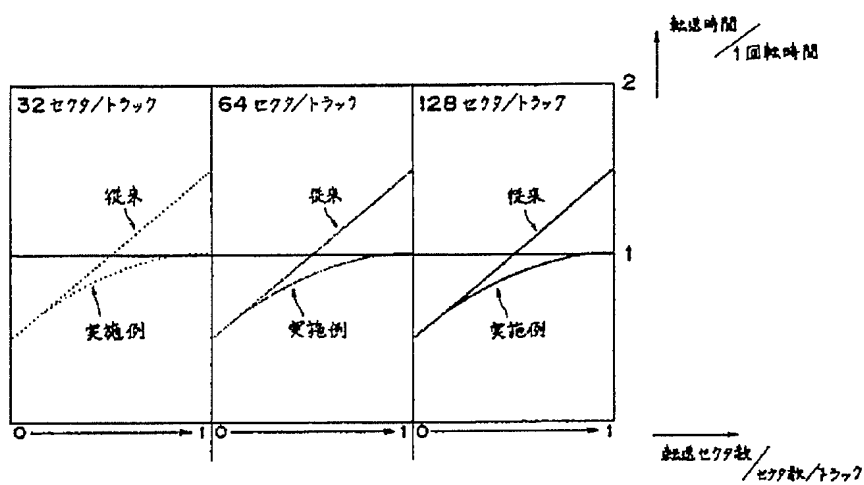
実施例に係る流れ図

第 4 図



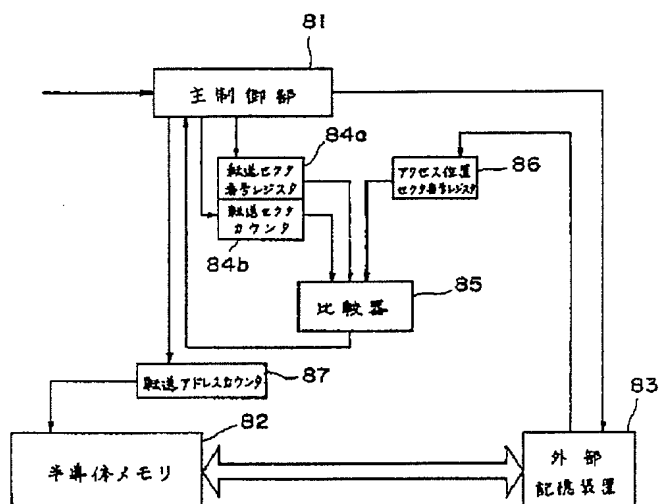
実施例及び従来例に係る交代されたセクタのある配置を示す図

第 6 図



実施例に係る効果説明図

第 7 図



従来例に係るブロック図

第 8 図