

AI RTL 설계 과정

이재성

목차

- 1. 자기소개
- 2. AI RTL 설계 프로젝트
- 3. CIFAR-10
- 4. LeNet - 5 with AXI interface
- 5. Q&A

자기소개



이재성

Profile

- 1996.07.1
- Kwangwoon University
- Major : electronics & communication engineering

Project

- Digital Doorlock project (Capstone Design)
- AI RTL design project

AI RTL 설계 프로젝트

- CIFAR - 10

CIFAR-10
imagenet dataset

Convolutional
Neural Network

FPGA Board
& HDMI cable

- LeNet - 5 with AXI interface

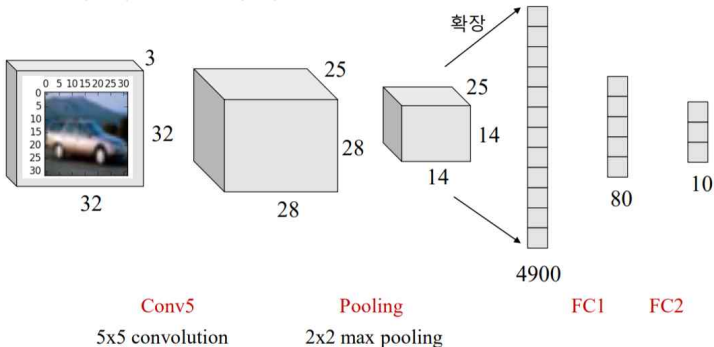
MNIST
Data training
(PyTorch)

Convolutional
Neural Network

Output comparison
with reference
value

CIFAR - 10

- Block Diagram

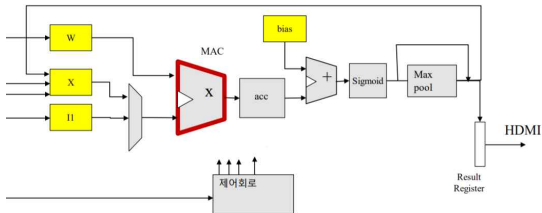


CIFAR - 10

- Block Diagram



CIFAR-10
imagenet
dataset



Control Signal: data
address, max pooling, mux

MAC operation always
work

CIFAR - 10

- Block Diagram



CIFAR-10
imagenet
dataset



W memory
: weight data

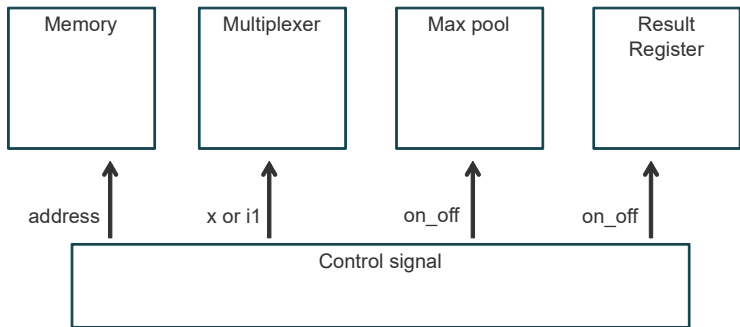
bias memory
: bias data

i1 memory
: input image

x memory
: data write &
read

CIFAR - 10

- Block Diagram



CIFAR - 10

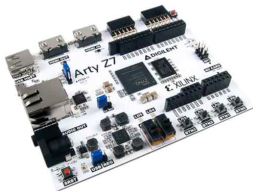
- Verification

Hardware
Design
Module

Total
Hardware
Design



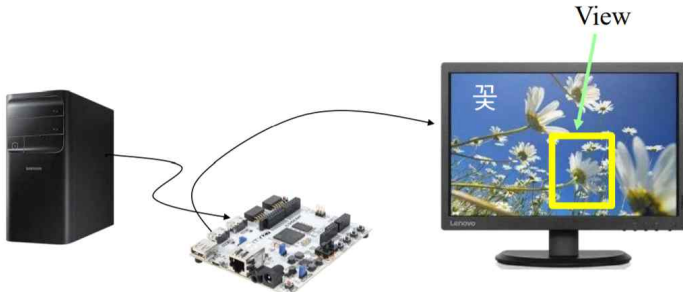
Vivado - behavior simulation



FPGA - Arty Z7

CIFAR-10

- Result view



Connect FPGA and monitor
using HDMI cable

이미지 인식 결과가 노란색 화
면 안에 표시됨

CIFAR-10

• Result review

배운점

1. CIFAR-10 imagenet dataset과 CNN의 구성 및 HDL 구현
2. Vivado Tool 과 SDK, FPGA Arty-z7 사용법
3. SW와 HW의 MAC 연산 수행 속도 차이
4. FPGA에서 HDL을 실행하기 전 각 module에 대한 test bench를 만드는 것의 중요성

아쉬운점

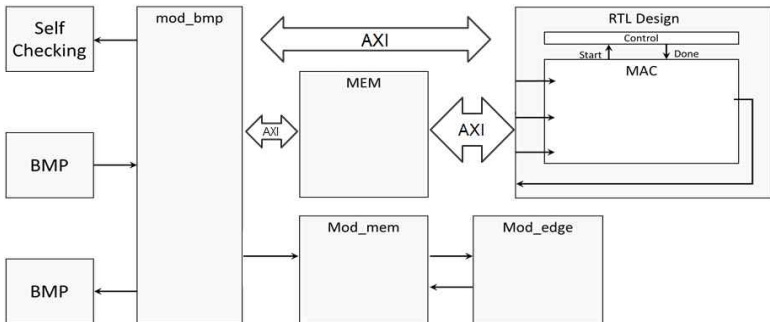
1. FPGA에 올리기 전 각 module들을 검증하기 위한 test bench를 만드는 것이 어려웠다.
2. Floating point IP를 사용한 sigmoid function 구현 상의 오류
3. Max pool 연산 결과를 x memory에 write하기 위한 memory address 제어가 쉽지 않았다.

LeNet - 5 with AXI interface

- Data training - PyTorch
- Block Diagram

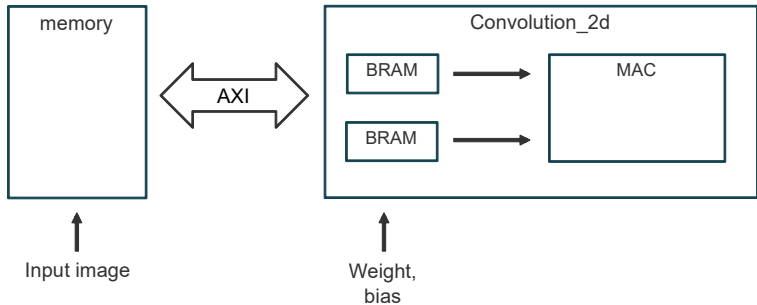


5	0	4	7	9
2	1	3	1	4
3	5	3	6	1
7	2	8	6	9



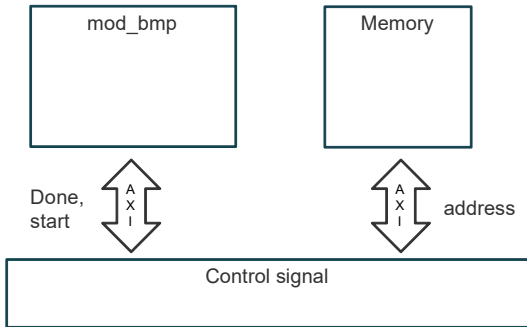
LeNet - 5 with AXI interface

- Block Diagram



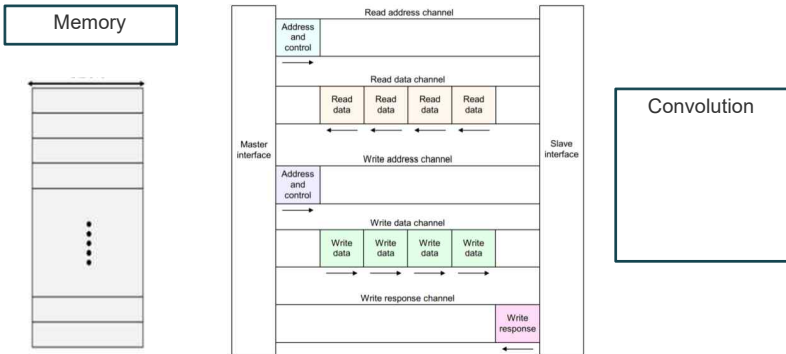
CIFAR - 10

- Block Diagram



LeNet - 5 with AXI interface

- AXI interface



LeNet - 5 with AXI interface

- Result

Bmp reference
output image와
convolution에 의한
output image 비교



Self-checking



mod_bmp



Input BMP



output BMP



LeNet - 5 with AXI interface

• Result review

배운점

1. Ubuntu linux 에서 Vivado을 사용한 HW 개발
2. AMBA AXI interface
3. FPGA Zed board에서 LeNet-5 HW을 실행
4. Pytorch을 이용한 MNIST data training 실습

아쉬운점

1. AMBA AXI interface을 이용한 data 전송 방식에 대해 이해하고 HDL로 구현하는 것이 어려웠다.
2. Convolution 연산을 제어하는 controller 구성의 어려움
3. Windows 가 아닌 Ubuntu linux 환경에서 vivado을 통해 HW를 개발하는 방법을 익히는 것이 쉽지 않았다.

Q & A

감사합니다.