

Universidad de Costa Rica

Tarea 5

Diseño en silicio

Prof. Javier Pacheco

José Ricardo Soro Jara, B36853

Grupo 1

13 de junio de 2020

Índice

1. Objetivos	3
2. NAND3	4
3. NOR3	5
4. AOI22	6
5. Conclusiones	7

1. Objetivos

- Realizar una descripción en silicio de compuertas NAND3, NOR3 y AOI22 para generar un archivo de SPICE
- Simular distintas entradas en cada compuerta generada de SPICE para comprobar el funcionamiento de estas.

2. NAND3

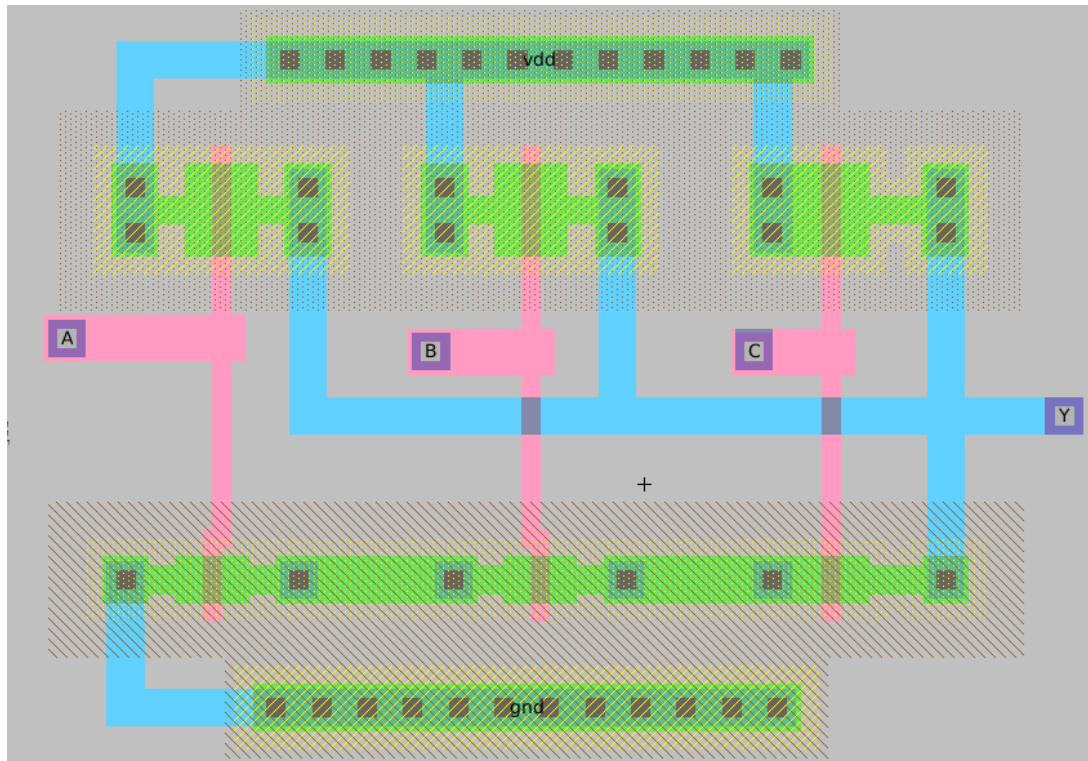


Figura 1: Esquema de NAND3. Elaboración propia

Al simular este circuito se se obtuvo los siguientes resultados

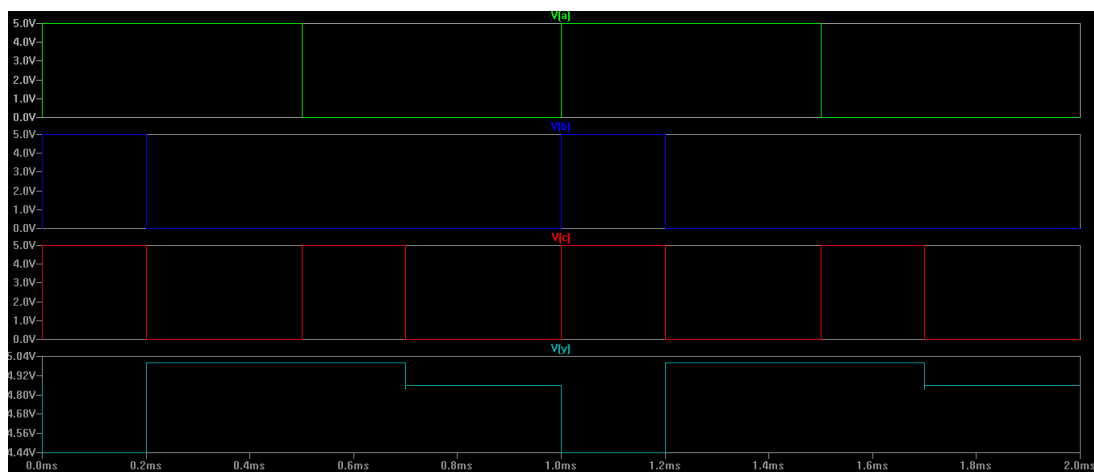


Figura 2: Resultados de NAND3. Elaboración propia

3. NOR3

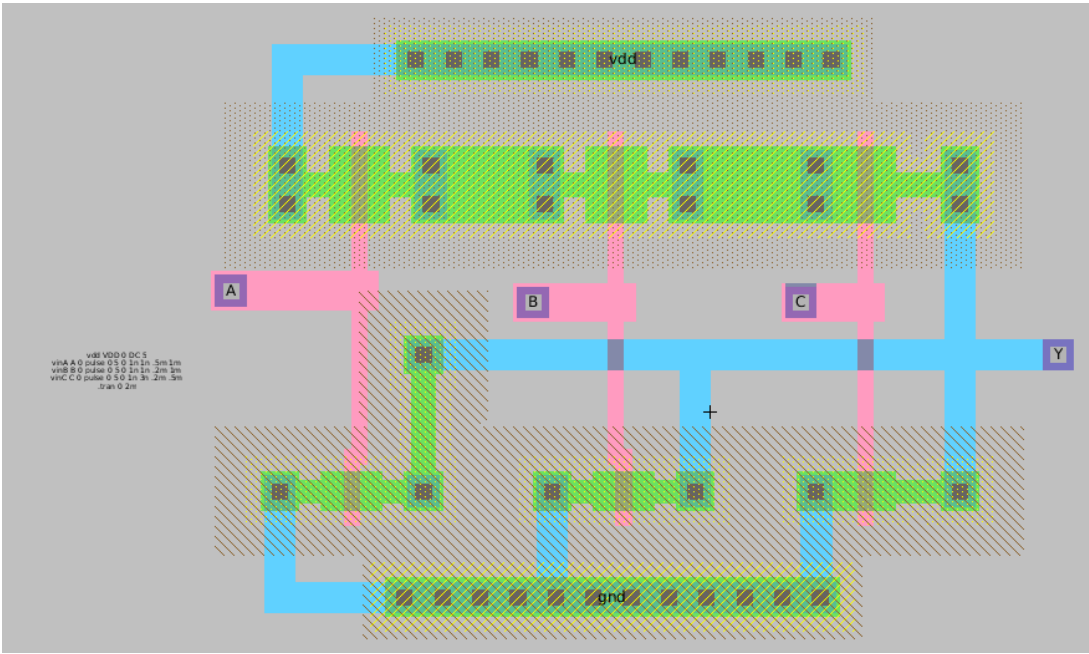


Figura 3: Esquema de NOR3. Elaboración propia

Al simular este circuito se se obtuvo los siguientes resultados

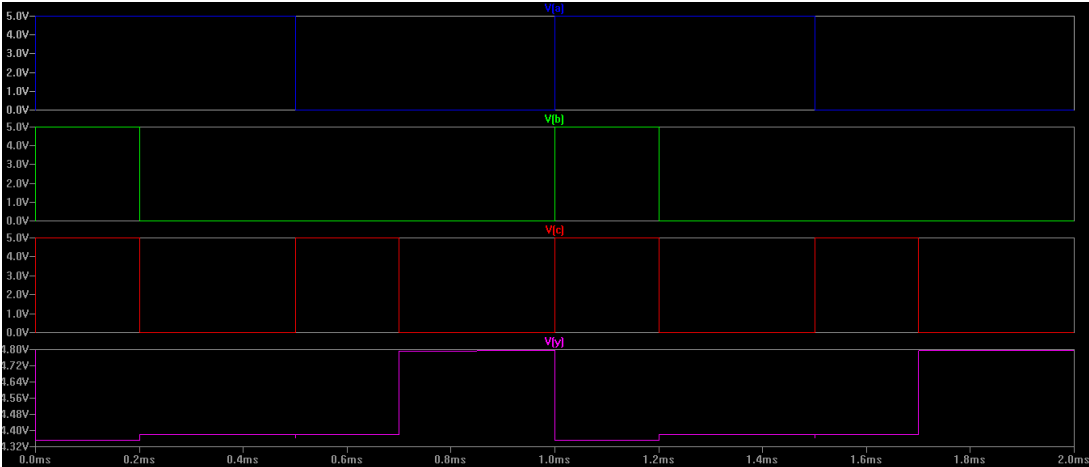


Figura 4: Resultados de NOR3. Elaboración propia

4. AOI22

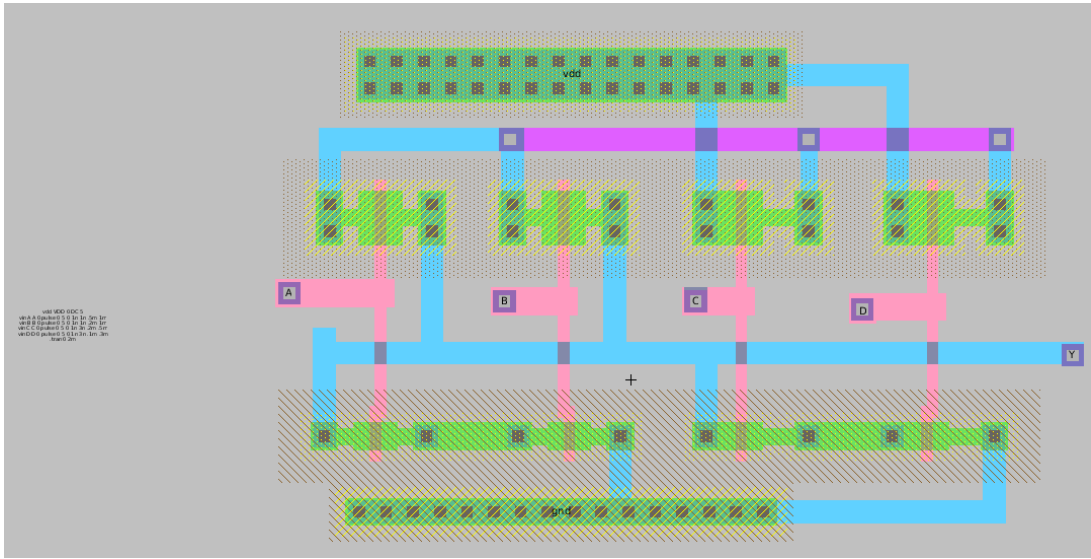


Figura 5: Esquema de AOI22. Elaboración propia

Al simular este circuito se se obtuvo los siguientes resultados

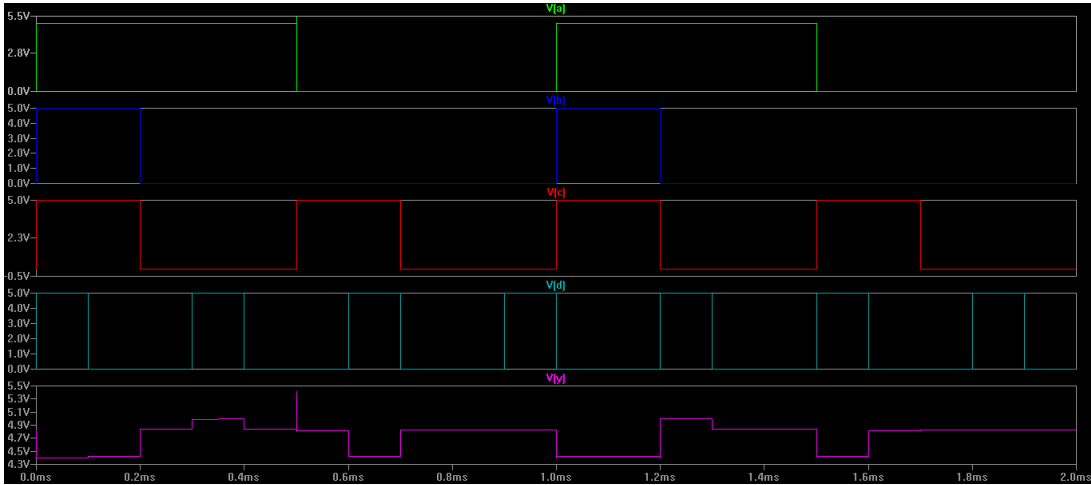


Figura 6: Resultados de AOI22. Elaboración propia

5. Conclusiones

En este experimento se notó como en primer lugar se presentan irregularidades como picos de tensión o como dependiendo de la cantidad de entradas en alto se tienen caídas de tensión en el alto de la salida. No obstante el funcionamiento lógico de las compuertas es satisfactorio.