**Computer Organization 2023 Lab 4**

**Finished part:**

**ALU.v / ALU\_1bit.v / Full\_adder.v: a set of module from Lab3 Template**

**Decoder.v / ALU\_Ctrl.v**

**Shift\_Left\_Two\_28.v: shift from 26 to 28**

**Shift\_Left\_Two\_32.v: shift from 32 to 32**

**Simple\_Single\_CPU.v: summary all module together**

**Problems you met and solutions:**

**因為同時用了助教給的template和上次Lab3來做這次的作業，最常出現的問題就是變數一直打錯名字，debug 都要找好久，還有些會跟原本給的長度不一樣，還要找出來改。**

**設計圖比上次複雜很多，多拉了很多條線，打Simple\_Single\_CPU的時候更辛苦了，一堆module和線的名字很常搞混，很痛苦。**

**If you create additional module, please give a short explanation here:**

**Shift\_Left\_Two\_28:**

**一張含有 文字, 字型, 行, 圖表 的圖片

自動產生的描述**

**Input is instr. with 26 bits, so I shift 2 bits to left and add 2’b00 at the end.**

**Shift\_Left\_Two\_32:**

**一張含有 文字, 字型, 行, 圖表 的圖片

自動產生的描述Input is address after sign extend, so it’s 32 bits shift left to 32 bits.**