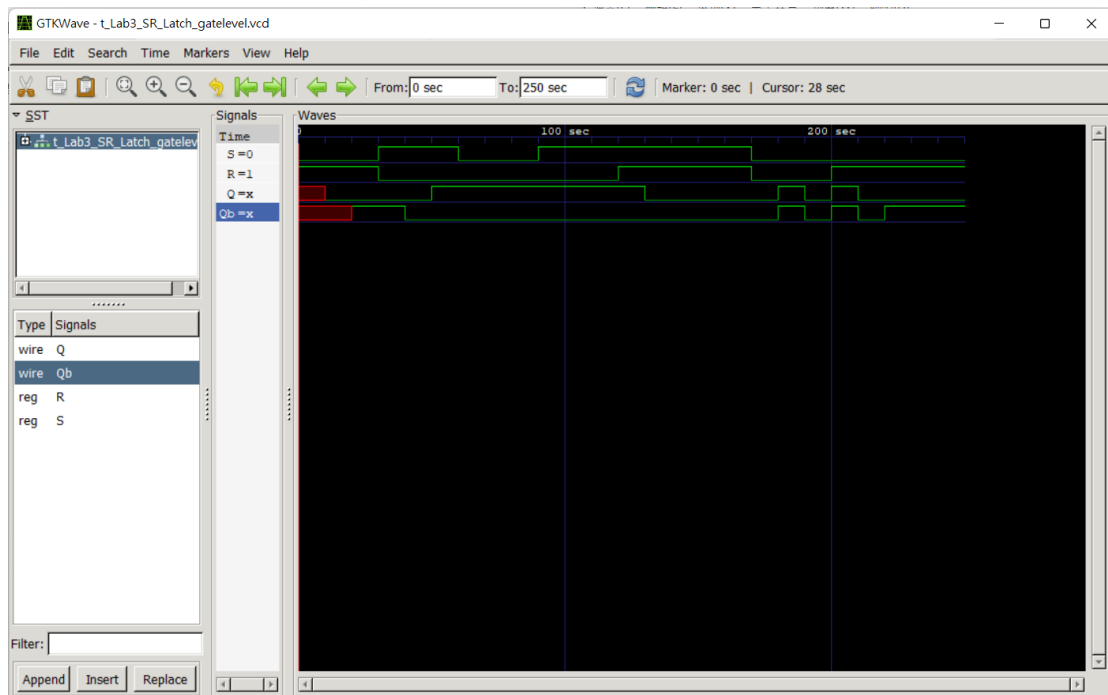


1. SR Latch ($Q^+ = S + R'Q$)



Delay : 20 s

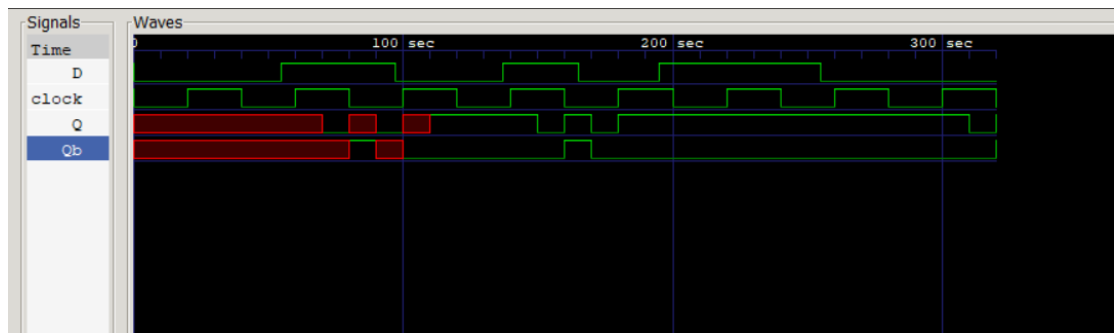
Result:

S	R	Q	Qb	
0	1	0	1	
1	0	1	0	
0	0	1	0	
1	0	1	0	
1	1	0	0	// SR=1, undefined
0	0	0	0	
0	1	0	1	

The result corresponds to the characteristic table.

S	R	Operation
0	0	No change
0	1	Reset
1	0	Set
1	1	Undefined

2. D-type Negative-Edge Trigger Flip-Flop



Propagation delay time: 30

每次 negative edge 往後推 30 秒可以找到對應的 Q 值

例如: 在 120 秒時 D 為 0，對應到 150 秒時的 Q 為 0；

在 160 秒時 D 為 1，對應到 190 秒時的 Q 為 1。

3. Mealy-Type Synchronous Sequential Circuit

Present State	Next State		Output	
	x=0	x=1	x=0	x=1
S ₀	S ₁	S ₄	0	0
S ₁	S ₁	S ₂	0	0
S ₂	S ₃	S ₄	1	0
S ₃	S ₆	S ₂	0	0
S ₄	S ₅	S ₄	0	0
S ₅	S ₆	S ₂	0	0
S ₆	S ₆	S ₆	0	0

表 1：序列識別器之狀態表

Table 1: The state table of the sequence recognizer.

Present			Next State						Output	
State			x=0			x=1			x=0	x=1
A	B	C	A+	B+	C+	A+	B+	C+	z	z
0	0	0	0	0	1	1	0	0	0	0
0	0	1	0	0	1	0	1	0	0	0
0	1	0	0	1	1	1	0	0	1	0
0	1	1	1	1	0	0	1	0	0	0
1	0	0	1	0	1	1	0	0	0	0
1	0	1	1	1	0	0	1	0	0	0
1	1	0	1	1	0	1	1	0	0	0

AB\CX	00	01	11	10
00	0	1	0	0
01	0	1	0	1
11	1	1	x	x
10	1	1	0	1

AB\CX	00	01	11	10
00	0	0	1	0
01	1	0	1	1
11	1	1	x	x
10	0	0	1	1

$$DA = C'X + AX' + BCX'$$

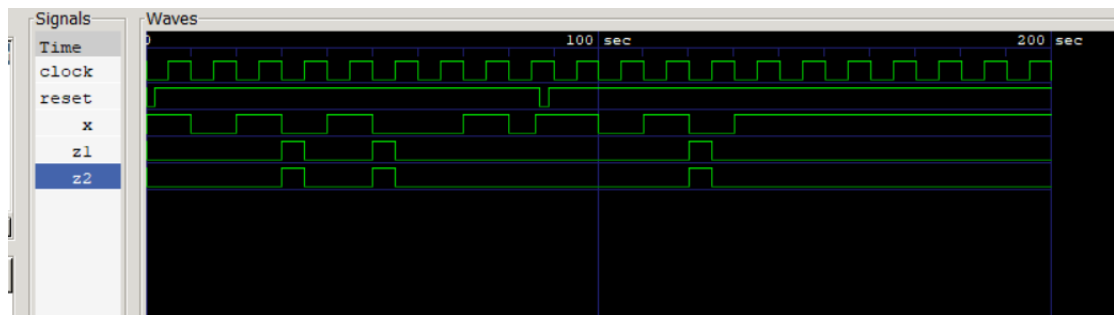
$$DB = AB + BX' + CX + AC$$

AB\CX	00	01	11	10
00	1	0	0	1
01	1	0	0	0
11	0	0	x	x
10	1	0	0	0

AB\CX	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	0	0	x	x
10	0	0	0	0

$$DC = A'B'X' + A'C'X' + B'C'X'$$

$$z = A'BC'X'$$



Z1 is (i) state-diagram-based model's output z.

Z2 is (ii) structural model's output z.

```

initial fork
    reset = 0;
    #2 reset = 1;
    #87 reset = 0;
    #89 reset = 1;
    x = 1;
    #10 x = 0;
    #20 x = 1;
    #30 x = 0;           // output 1
    #40 x = 1;
    #50 x = 0;           // output 1
    #60 x = 0;
    #70 x = 1;
    #80 x = 0;           // output 0
    #86 x = 1;
    #100 x = 0;
    #110 x = 1;
    #120 x = 0;          // output 1
    #130 x = 1;
    #140 x = 1;
    #150 x = 1;
join

```

```

initial begin
    clock = 0;
    forever #5 clock = ~clock;
end

```

Clock 每五秒跳一次，在 5 的倍數時為 positive edge. State 會讀取新的數據。

波型圖上的輸出 z1,z2 皆在 30, 50, 120 秒時輸出 1

80 秒時不會輸出 1 是因為在 60 秒時出現 100

87 秒時 reset 將 state 設為 s0，因此在後面又有機會出現 1。

心得感想：

這次的 Lab 範圍剛好是在我最不熟悉的第五章，在做之前還是有些不懂 latch 和 flipflop 的操作過程，但透過這次的 lab 又再複習了一遍這裡的範圍，有更熟悉概念及實作。前兩題因為 delay 的時間不太會算導致觀察結果觀察了很久，第三題因為 testbench 剛開始設計不良導致結果不太符合預期，但在不斷修正後有得到想要的結果。這學期的三個 Lab 都讓我受益良多。