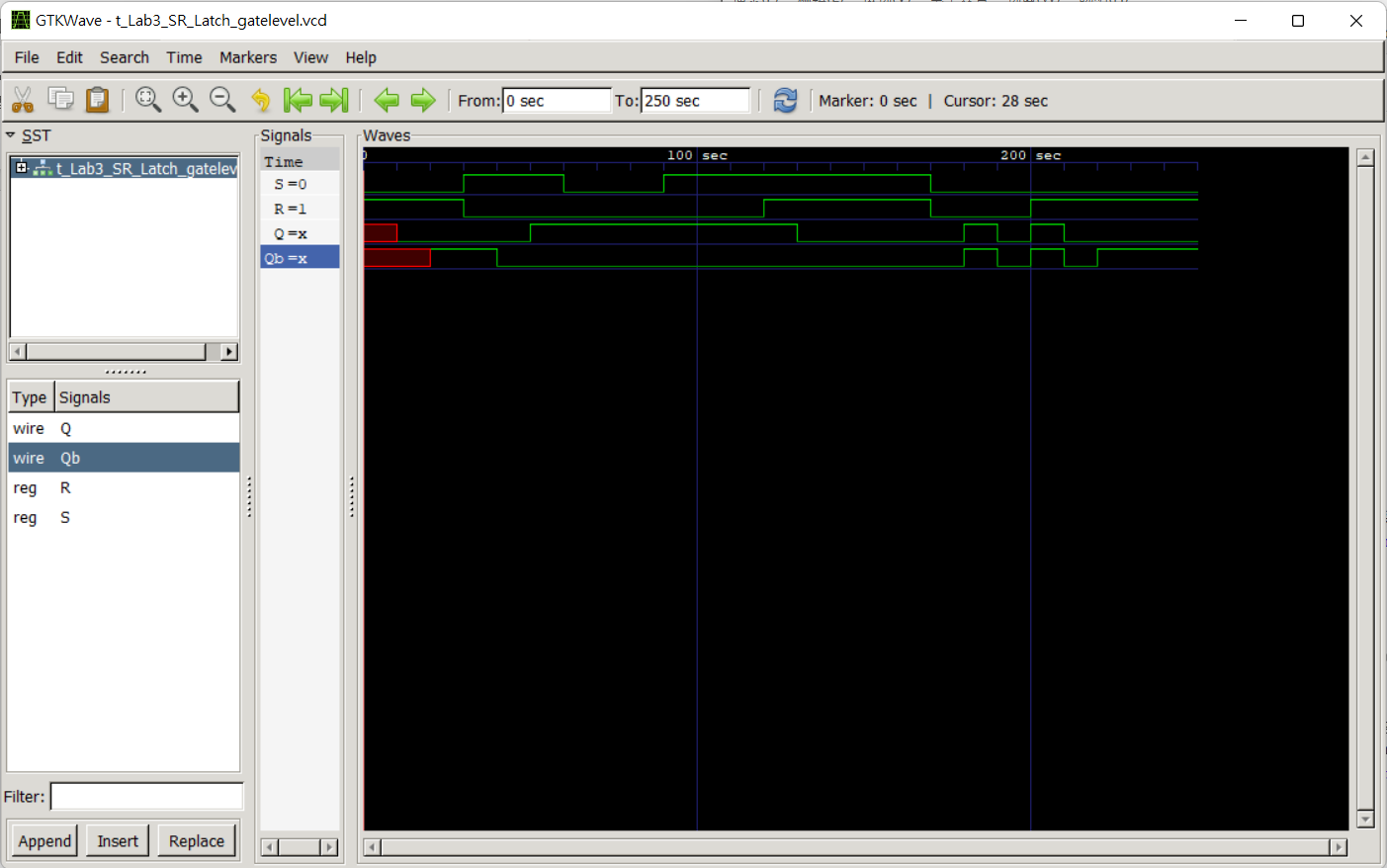
1. SR Latch ( Q+ = S + R’Q )



Delay : 20 s

Result:

S R Q Qb

0 1 0 1

1 0 1 0

0 0 1 0

1 0 1 0

1 1 0 0 // SR=1, undefined

0 0 0 0

0 1 0 1

The result corresponds to the characteristic table.

S R Operation

1. 0 No change
2. 1 Reset
3. 0 Set

1 1 Undefined

1. D-type Negative-Edge Trigger Flip-Flop

一張含有 文字, 室內, 黑暗 的圖片

自動產生的描述

Propagation delay time: 30

每次negative edge 往後推30秒可以找到對應的Q值

例如: 在120秒時D為0，對應到150秒時的Q為0 ;

在160秒時D為1，對應到190秒時的Q為1。

1. Mealy-Type Synchronous Sequential Circuit

一張含有 桌 的圖片

自動產生的描述

Present Next State Output

State x=0 x=1 x=0 x=1

A B C A+ B+ C+ A+ B+ C+ z z

0 0 0 0 0 1 1 0 0 0 0

0 0 1 0 0 1 0 1 0 0 0

0 1 0 0 1 1 1 0 0 1 0

0 1 1 1 1 0 0 1 0 0 0

1 0 0 1 0 1 1 0 0 0 0

1 0 1 1 1 0 0 1 0 0 0

1 1 0 1 1 0 1 1 0 0 0

AB\CX 00 01 11 10 AB\CX 00 01 11 10

00 0 1 0 0 00 0 0 1 0

01 0 1 0 1 01 1 0 1 1

11 1 1 x x 11 1 1 x x

10 1 1 0 1 10 0 0 1 1

DA = C’X + AX’ + BCX’ DB = AB + BX’ + CX + AC

AB\CX 00 01 11 10 AB\CX 00 01 11 10

00 1 0 0 1 00 0 0 0 0

01 1 0 0 0 01 1 0 0 0

11 0 0 x x 11 0 0 x x

10 1 0 0 0 10 0 0 0 0

DC = A’B’X’ + A’C’X’ + B’C’X’ z = A’BC’X’

一張含有 文字, 時鐘 的圖片

自動產生的描述

Z1 is (i) state-diagram-based model’s output z.

Z2 is (ii) structural model’s output z.

一張含有 文字 的圖片

自動產生的描述一張含有 文字 的圖片

自動產生的描述

Clock每五秒跳一次，在5的倍數時為positive edge. State會讀取新的數據。

波型圖上的輸出z1,z2皆在30, 50, 120秒時輸出1

80秒時不會輸出1是因為在60秒時出現100

87秒時reset將state設為s0，因此在後面又有機會出現1。

心得感想：

這次的Lab範圍剛好是在我最不熟悉的第五章，在做之前還是有些不懂latch 和flipflop的操作過程，但透過這次的lab又再複習了一遍這裡的範圍，有更熟悉概念及實作。前兩題因為delay的時間不太會算導致觀察結果觀察了很久，第三題因為testbench剛開始設計不良導致結果不太符合預期，但在不斷修正後有得到想要的結果。這學期的三個Lab都讓我受益良多。