

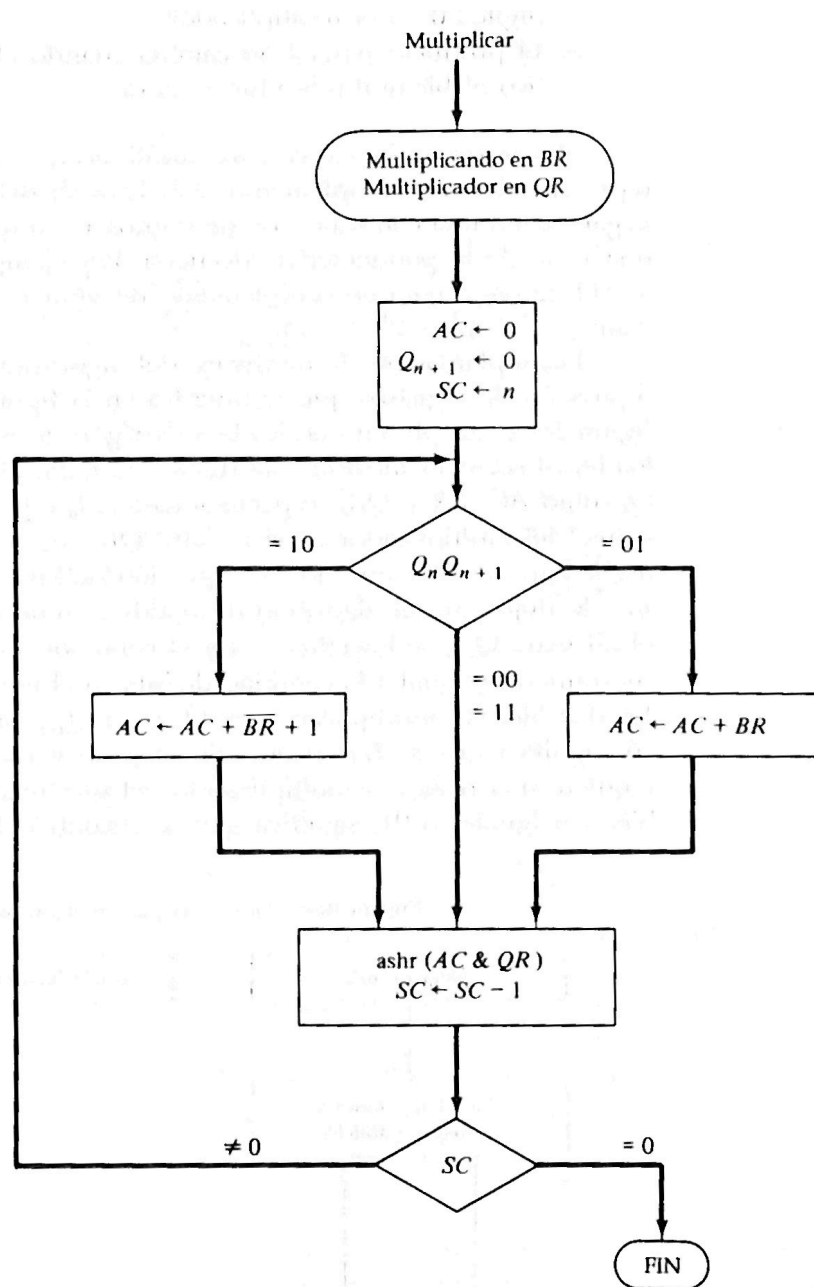
Control cableado

Algoritmo de Booth (MC2 m)

Condición	μ Operaciones	Siguiente
Ciclo de búsqueda		
t0	$PC \rightarrow MAR$	$SR+1 \rightarrow SR$
t1	$M \rightarrow GPR; PC+1 \rightarrow PC$	$SR+1 \rightarrow SR$
t2	$GPR(OP) \rightarrow OPR$	$SR+1 \rightarrow SR$
Ciclo de ejecución de MC2 m		
i1·t3	$GPR(AD) \rightarrow MAR$	$SR+1 \rightarrow SR$
i1·t4	$M \rightarrow GPR$	$SR+1 \rightarrow SR$
i1·t5	$AC \leftarrow 0; Q_{n+1} \leftarrow 0; SC \leftarrow n$	$SR+1 \rightarrow SR$
i1·t6	$SC \leftarrow SC - 1$	$SR+1 \rightarrow SR$
$i1 \cdot t6 \cdot \overline{Q_n} \cdot Q_{n+1}$	$AC \leftarrow AC + BR$	-----
$i1 \cdot t6 \cdot Q_n \cdot \overline{Q_{n+1}}$	$AC \leftarrow AC + \overline{BR} + 1$	-----
i1·t7	Ashr (AC & QR)	-----
$i1 \cdot t7 \cdot ZSC$	-----	$0 \rightarrow SR$
$i1 \cdot t7 \cdot \overline{ZSC}$	-----	$6 \rightarrow SR$

Expresiones de control

μ Operación	Expresión de control
$PC \rightarrow MAR$	t0
$M \rightarrow GPR$	t1 + i1·t4
$PC+1 \rightarrow PC$	t1
$GPR(OP) \rightarrow OPR$	t2
$GPR(AD) \rightarrow MAR$	i1·t3
$AC \leftarrow 0$	i1·t5
$Q_{n+1} \leftarrow 0$	i1·t5
$SC \leftarrow n$	i1·t5
$SC \leftarrow SC - 1$	i1·t6
$AC \leftarrow AC + BR$	$i1 \cdot t6 \cdot \overline{Q_n} \cdot Q_{n+1}$
$AC \leftarrow AC + \overline{BR} + 1$	$i1 \cdot t6 \cdot Q_n \cdot \overline{Q_{n+1}}$
Ashr (AC & QR)	i1·t7
$SR+1 \rightarrow SR$	$t0 + t1 + t2 + i1 \cdot t3 + i1 \cdot t4 + i1 \cdot t5 + i1 \cdot t6$
Load SR	$i1 \cdot t7 \cdot ZSC + i1 \cdot t7 \cdot \overline{ZSC} = i1 \cdot t7$



Control microprogramado

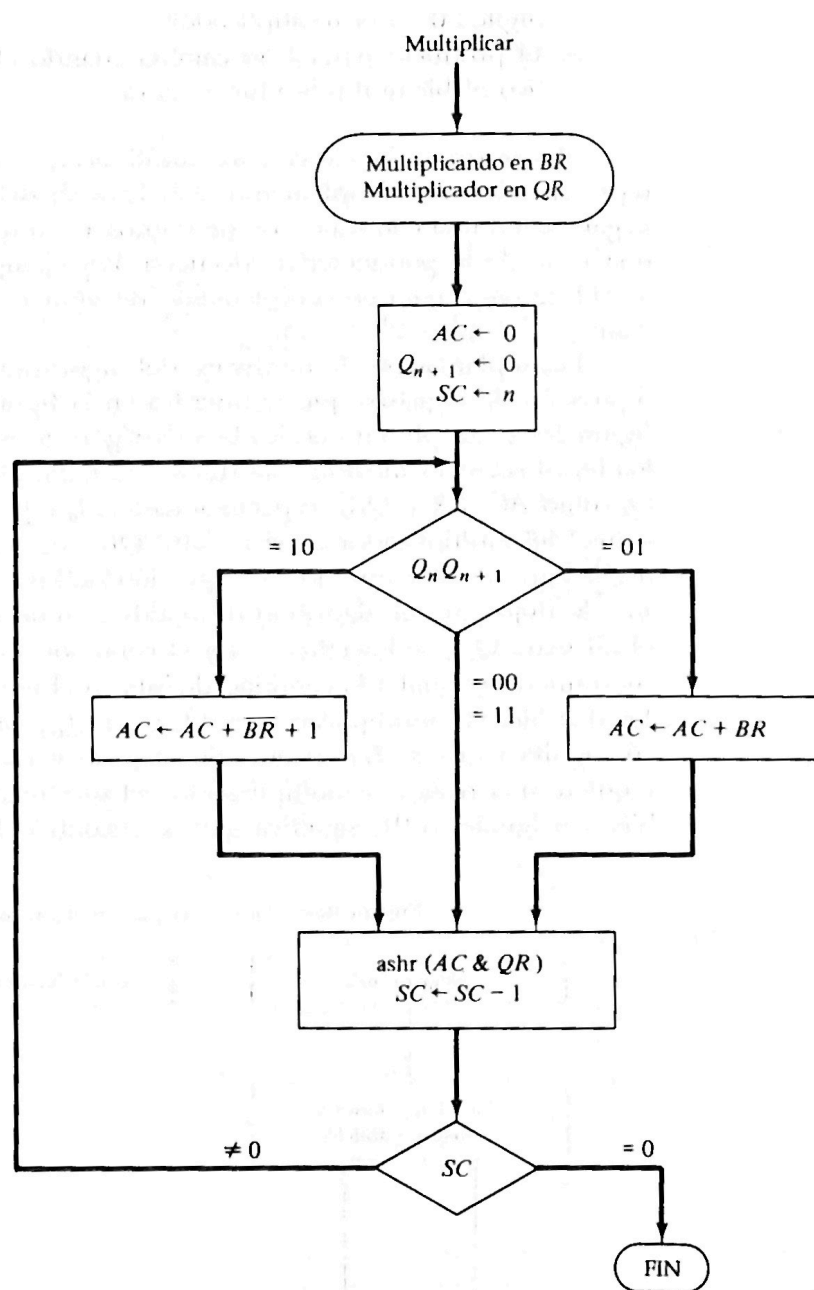
Algoritmo de Booth (MC2 m)

Tabla de la CROM

Dirección	μOperaciones	Bits LCB	μDir. salto
Ciclo de búsqueda			
ADDR(FETCH)	PC → MAR	0 0 0	-----
ADDR(FETCH)+1	M → GPR; PC+1 → PC	0 0 0	-----
ADDR(FETCH)+2	GPR(OP) → OPR	1 1 1	-----
Ciclo de ejecución de MC2 m			
ADDR(MC2)	GPR(AD) → MAR	0 0 0	-----
ADDR(MC2)+1	M → GPR	0 0 0	-----
ADDR(MC2)+2	AC ← 0; Q _{n+1} ← 0; SC ← n	0 0 0	-----
ADDR(MC2)+3	SC ← SC - 1	0 1 0	ADDR(MC2)+7
ADDR(MC2)+4	-----	0 1 1	ADDR(MC2)+6
ADDR(MC2)+5	AC ← AC+BR	0 0 1	ADDR(MC2)+7
ADDR(MC2)+6	AC ← AC+BR+1	0 0 0	-----
ADDR(MC2)+7	ashr (AC & QR)	1 0 0	ADDR(MC2)+3
ADDR(MC2)+8	-----	0 0 1	ADDR(FETCH)

Tabla de la LCB

S2	S1	S0	Qn	Qn+1	ZSC	I	B	R
0	0	0	X	X	X	1	0	0
0	0	1	X	X	X	0	1	0
1	1	1	X	X	X	0	0	1
0	1	0	0	0	X	0	1	0
0	1	0	0	1	X	1	0	0
0	1	0	1	0	X	1	0	0
0	1	0	1	1	X	0	1	0
0	1	1	0	X	X	1	0	0
0	1	1	1	X	X	0	1	0
1	0	0	X	X	0	0	1	0
1	0	0	X	X	1	1	0	0



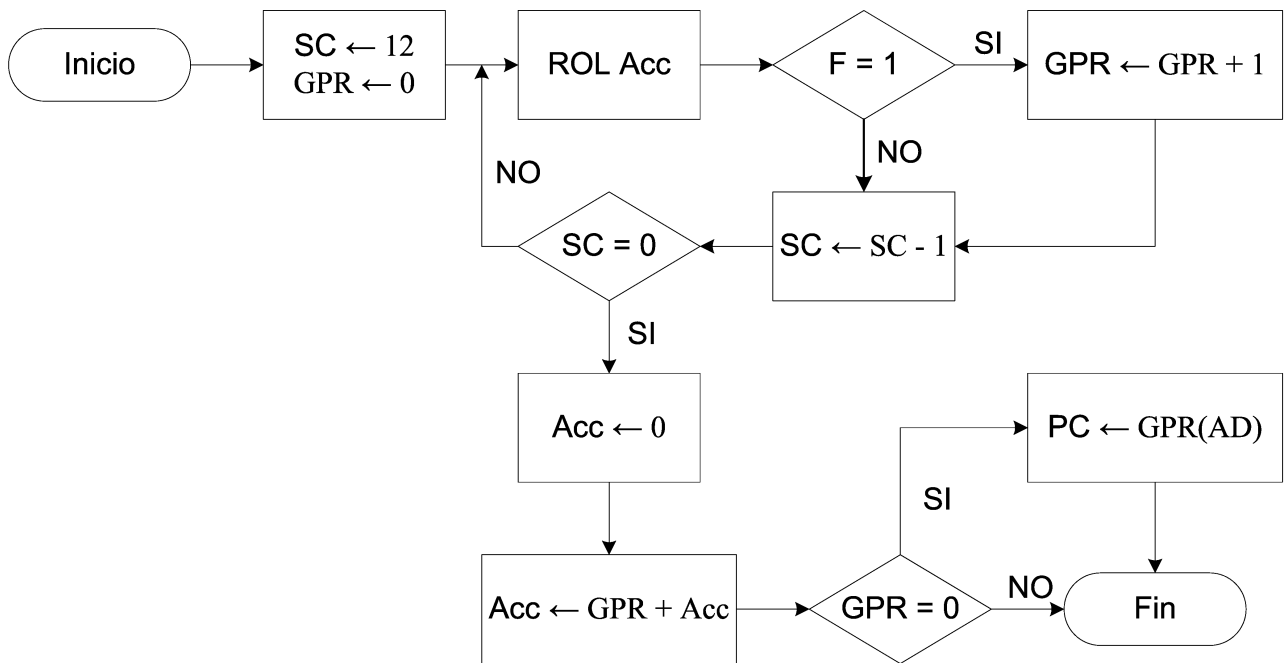
Control cableado

Instrucción CUA

Condición	μ Operaciones	Siguiente
Ciclo de búsqueda		
t0	$PC \rightarrow MAR$	$SR+1 \rightarrow SR$
t1	$M \rightarrow GPR; PC+1 \rightarrow PC$	$SR+1 \rightarrow SR$
t2	$GPR(OP) \rightarrow OPR$	$SR+1 \rightarrow SR$
Ciclo de ejecución de CUA		
i1·t3	$SC \leftarrow 12; GPR \leftarrow 0$	$SR+1 \rightarrow SR$
i1·t4	$ROL\ Acc; SC \leftarrow SC - 1$	$SR+1 \rightarrow SR$
i1·t5·F	$GPR \leftarrow GPR + 1$	-----
i1·t5·ZSC	-----	$SR+1 \rightarrow SR$
i1·t5· \overline{ZSC}	-----	$4 \rightarrow SR$
i1·t6	$Acc \leftarrow 0$	$SR+1 \rightarrow SR$
i1·t7	$Acc \leftarrow GPR + Acc$	$0 \rightarrow SR$
i1·t7·ZGPR	$PC \leftarrow GPR(AD)$	-----

Expresiones de control

μ Operación	Expresión de control
$PC \rightarrow MAR$	t0
$M \rightarrow GPR$	t1 + i1·t4
$PC+1 \rightarrow PC$	t1
$GPR(OP) \rightarrow OPR$	t2
$SC \leftarrow 12$	i1·t3
$GPR \leftarrow 0$	i1·t3
$ROL\ Acc$	i1·t4
$SC \leftarrow SC - 1$	i1·t4
$GPR \leftarrow GPR + 1$	i1·t5·F
$Acc \leftarrow 0$	i1·t6
$Acc \leftarrow GPR + Acc$	i1·t7
$PC \leftarrow GPR(AD)$	i1·t7·ZGPR
$SR+1 \rightarrow SR$	t0 + t1 + t2 + i1·t3 + i1·t4 + i1·t5·ZSC + i1·t6
Load SR	i1·t5· \overline{ZSC} + i1·t7



Control microprogramado

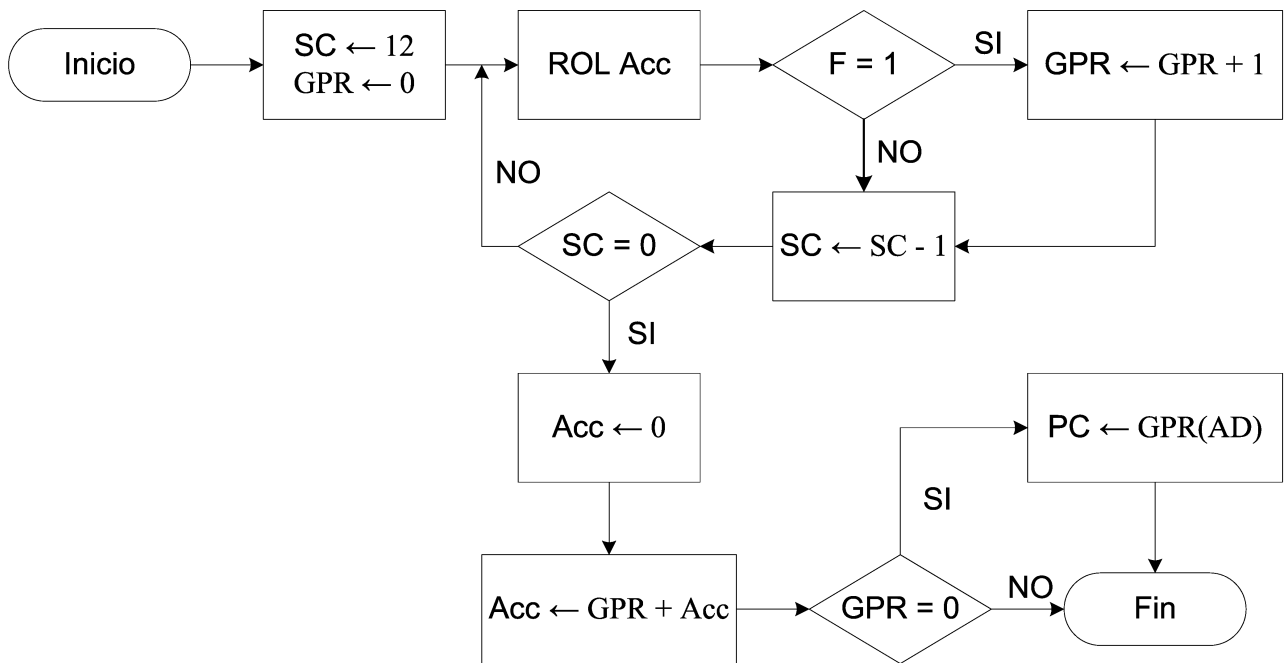
Instrucción CUA

Tabla de la CROM

Dirección	μOperaciones	Bits LCB	μDir. salto
Ciclo de búsqueda			
ADDR(FETCH)	PC → MAR	0 0 0	-----
ADDR(FETCH)+1	M → GPR; PC+1 → PC	0 0 0	-----
ADDR(FETCH)+2	GPR(OP) → OPR	1 1 1	-----
Ciclo de ejecución de CUA			
ADDR(CUA)	SC ← 12; GPR ← 0	0 0 0	-----
ADDR(CUA)+1	ROL Acc; SC ← SC – 1	0 0 0	-----
ADDR(CUA)+2	-----	0 1 0	ADDR(CUA)+4
ADDR(CUA)+3	GPR ← GPR + 1	0 0 0	-----
ADDR(CUA)+4	-----	0 1 1	ADDR(CUA)+1
ADDR(CUA)+5	Acc ← 0	0 0 0	-----
ADDR(CUA)+6	Acc ← GPR + Acc	1 0 0	ADDR(FETCH)
ADDR(CUA)+7	PC ← GPR(AD)	0 0 1	ADDR(FETCH)

Tabla de la LCB

S2	S1	S0	F	ZGPR	ZSC	I	B	R
0	0	0	X	X	X	1	0	0
0	0	1	X	X	X	0	1	0
1	1	1	X	X	X	0	0	1
0	1	0	0	X	X	0	1	0
0	1	0	1	X	X	1	0	0
0	1	1	X	X	0	0	1	0
0	1	1	X	X	1	1	0	0
1	0	0	X	0	X	0	1	0
1	0	0	X	1	X	1	0	0



Control cableado

Instrucción SUB

Condición	μ Operaciones	Siguiente
Ciclo de búsqueda		
t0	$PC \rightarrow MAR$	$SR+1 \rightarrow SR$
t1	$M \rightarrow GPR; PC+1 \rightarrow PC$	$SR+1 \rightarrow SR$
t2	$GPR(OP) \rightarrow OPR$	$SR+1 \rightarrow SR$
Ciclo de ejecución de SUB		
i1·t3	$GPR(AD) \rightarrow MAR; Acc \leftarrow \overline{Acc}$	$SR+1 \rightarrow SR$
i1·t4	$M \rightarrow GPR; Acc \leftarrow Acc + 1$	$SR+1 \rightarrow SR$
i1·t5	$Acc \leftarrow GPR + Acc$	$SR+1 \rightarrow SR$
i1·t6	$Acc \leftarrow \overline{Acc}$	$SR+1 \rightarrow SR$
i1·t7	$Acc \leftarrow Acc + 1$	$0 \rightarrow SR$

Expresiones de control

μ Operación	Expresión de control
$PC \rightarrow MAR$	t0
$M \rightarrow GPR$	t1 + i1·t4
$PC+1 \rightarrow PC$	t1
$GPR(OP) \rightarrow OPR$	t2
$GPR(AD) \rightarrow MAR$	i1·t3
$Acc \leftarrow \overline{Acc}$	i1·t3 + i1·t6
$Acc \leftarrow Acc + 1$	i1·t4 + i1·t7
$Acc \leftarrow GPR + Acc$	i1·t5
$SR+1 \rightarrow SR$	t0 + t1 + t2 + i1·t3 + i1·t4 + i1·t5 + i1·t6
Load SR	i1·t7

Control microprogramado

Instrucción SUB

Tabla de la CROM

Dirección	μOperaciones	Bits LCB	μDir. salto
Ciclo de búsqueda			
ADDR(FETCH)	PC → MAR	0 0 0	-----
ADDR(FETCH)+1	M → GPR; PC+1 → PC	0 0 0	-----
ADDR(FETCH)+2	GPR(OP) → OPR	1 1 1	-----
Ciclo de ejecución de SUB			
ADDR(SUB)	GPR(AD) → MAR; $\text{Acc} \leftarrow \overline{\text{Acc}}$	0 0 0	-----
ADDR(SUB)+1	M → GPR; $\text{Acc} \leftarrow \text{Acc} + 1$	0 0 0	-----
ADDR(SUB)+2	$\text{Acc} \leftarrow \text{GPR} + \text{Acc}$	0 0 0	-----
ADDR(SUB)+3	$\text{Acc} \leftarrow \overline{\text{Acc}}$	0 0 0	-----
ADDR(SUB)+4	$\text{Acc} \leftarrow \text{Acc} + 1$	0 0 1	ADDR(FETCH)

Tabla de la LCB

S2	S1	S0	I	B	R
0	0	0	1	0	0
0	0	1	0	1	0
1	1	1	0	0	1

Control cableado

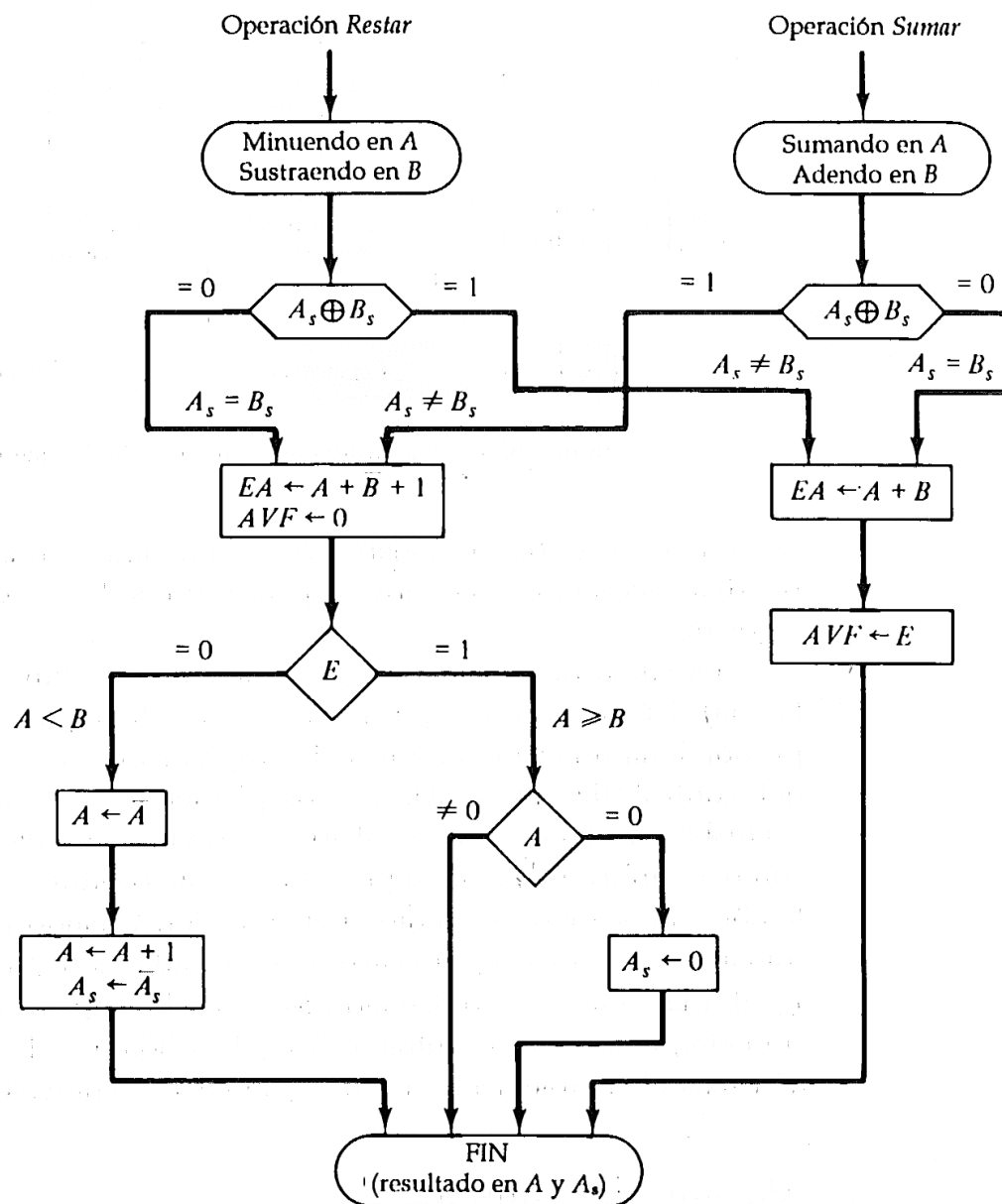
Algoritmo de suma/resta en signo-magnitud (SRSM m)

Condición	μ Operaciones	Siguiente
Ciclo de búsqueda		
t0	PC \rightarrow MAR	SR+1 \rightarrow SR
t1	M \rightarrow GPR; PC+1 \rightarrow PC	SR+1 \rightarrow SR
t2	GPR(OP) \rightarrow OPR	SR+1 \rightarrow SR
Ciclo de ejecución de SRSM m		
i1·t3	GPR(AD) \rightarrow MAR	SR+1 \rightarrow SR
i1·t4	M \rightarrow GPR	SR+1 \rightarrow SR
i1·t5·($\overline{OP \oplus RS}$)	EA \leftarrow A+B	SR+1 \rightarrow SR
i1·t5·(OP \oplus RS)	EA \leftarrow A+B+1; AVF \leftarrow 0	7 \rightarrow SR
i1·t6	AVF \leftarrow E	0 \rightarrow SR
i1·t7·E	-----	0 \rightarrow SR
i1·t7·E·ZA	AS \leftarrow 0	-----
i1·t7· \overline{E}	A \leftarrow \overline{A}	SR+1 \rightarrow SR
i1·t8	A \leftarrow A+1; AS \leftarrow \overline{AS}	0 \rightarrow SR

RS \leftarrow AS \oplus BS
OP (0 \rightarrow Suma; 1 \rightarrow Resta)

Expresiones de control

μ Operación	Expresión de control
PC \rightarrow MAR	t0
M \rightarrow GPR	t1 + i1·t4
PC+1 \rightarrow PC	t1
GPR(OP) \rightarrow OPR	t2
GPR(AD) \rightarrow MAR	i1·t3
EA \leftarrow A+B	i1·t5·($\overline{OP \oplus RS}$)
EA \leftarrow A+B+1	i1·t5·(OP \oplus RS)
AVF \leftarrow 0	i1·t5·(OP \oplus RS)
AVF \leftarrow E	i1·t6
AS \leftarrow 0	i1·t7·E·ZA
A \leftarrow \overline{A}	i1·t7· \overline{E}
A \leftarrow A+1	i1·t8
AS \leftarrow \overline{AS}	i1·t8
SR+1 \rightarrow SR	t0 + t1 + t2 + i1·t3 + i1·t4 + i1·t5·($\overline{OP \oplus RS}$) + i1·t7· \overline{E}
Load SR	i1·t5·(OP \oplus RS) + i1·t6 + i1·t7·E + i1·t8



Control microprogramado

Algoritmo de suma/resta en signo-magnitud (SRSM m)

Tabla de la CROM

Dirección	μOperaciones	Bits LCB	μDir. salto
Ciclo de búsqueda			
ADDR(FETCH)	PC → MAR	0 0 0	-----
ADDR(FETCH)+1	M → GPR; PC+1 → PC	0 0 0	-----
ADDR(FETCH)+2	GPR(OP) → OPR	1 1 1	-----
Ciclo de ejecución de SRSM m			
ADDR(SRSM)	GPR(AD) → MAR	0 0 0	-----
ADDR(SRSM)+1	M → GPR	0 0 0	-----
ADDR(SRSM)+2	-----	0 1 0	ADDR(SRSM)+5
ADDR(SRSM)+3	EA ← A + B	0 0 0	-----
ADDR(SRSM)+4	AVF ← E	0 0 1	ADDR(FETCH)
ADDR(SRSM)+5	EA ← A+B+1; AVF ← 0	0 0 0	-----
ADDR(SRSM)+6	-----	0 1 1	ADDR(SRSM)+9
ADDR(SRSM)+7	A ← \overline{A}	0 0 0	-----
ADDR(SRSM)+8	A ← A+1; AS ← \overline{AS}	0 0 1	ADDR(FETCH)
ADDR(SRSM)+9	-----	1 0 0	ADDR(FETCH)
ADDR(SRSM)+10	AS ← 0	0 0 1	ADDR(FETCH)

Tabla de la LCB

S2	S1	S0	OP	RS	E	ZA	I	B	R
0	0	0	X	X	X	X	1	0	0
0	0	1	X	X	X	X	0	1	0
1	1	1	X	X	X	X	0	0	1
0	1	0	0	0	X	X	1	0	0
0	1	0	0	1	X	X	0	1	0
0	1	0	1	0	X	X	0	1	0
0	1	0	1	1	X	X	1	0	0
0	1	1	X	X	0	X	1	0	0
0	1	1	X	X	1	X	0	1	0
1	0	0	X	X	X	0	0	1	0
1	0	0	X	X	X	1	1	0	0

RS ← AS ⊕ BS
OP (0 → Suma; 1 → Resta)

