

ARQUITECTURA DE COMPUTADORES

2º Grado en Ingeniería Informática

Curso 2011 – 2012

Página 1 de 3

Relación de ejercicios

Tema 1: Introducción a la estructura/arquitectura de computadores

Ejercicio 1

Determinar la secuencia de microoperaciones necesarias para implementar las siguientes instrucciones en la Computadora Mejorada.

1. INC m: incrementa el contenido de la posición de memoria m.
2. DEC m: decrementa el contenido de la posición de memoria m.
3. LDA m: carga el acumulador con el contenido de la posición de memoria m.
4. JPC m: salta a la dirección de memoria PC + m.

1. INC m	2. DEC m
1) GPR(AD) → MAR 2) M → GPR 3) GPR+1 → GPR 4) GPR → M	1) GPR(AD) → MAR; 0 → Acc 2) M → GPR; Acc → Acc 3) GPR+Acc → Acc 4) Acc → GPR 5) GPR → M
3. LDA m	4. JPC m
	1) 0 → Acc 2) GPR+Acc → Acc 3) PC → GPR(AD) 4) GPR+Acc → Acc 5) Acc → GPR 6) GPR(AD) → PC

Ejercicio 2

Se plantea introducir en la Computadora Mejorada el concepto de pila, que utilizará parte de la memoria principal. Explíquese:

1. Los cambios que se han de introducir en la estructura de la Computadora Mejorada.

Es necesario incorporar el registro puntero de pila (SP), conectado al MAR, para poder direccionar la pila. Este registro debe tener capacidad de incremento y decremento.

2. La nueva secuencia de microoperaciones para la ejecución de la instrucción CSR m, que ya existía, y las que definen la nueva instrucción RET, de retorno de subrutina, que sustituye a JMPI m.

CSR m	RET m
1) SP-1 → SP; GPR(AD) → PC; PC → GPR(AD) 2) SP → MAR 3) GPR → M	1) SP → MAR 2) M → GPR; SP+1 → SP 3) GPR(AD) → PC

ARQUITECTURA DE COMPUTADORES

2º Grado en Ingeniería Informática

Curso 2011 – 2012

Página 2 de 3

Relación de ejercicios

Tema 1: Introducción a la estructura/arquitectura de computadores

Nota: El registro puntero de pila (SP) debe apuntar siempre a la última posición ocupada de la pila.

Ejercicio 3

Asumiendo que se han realizado en la Computadora Mejorada los cambios que se proponen en el ejercicio anterior, determinar la secuencia de microoperaciones necesarias para implementar las instrucciones PSH y POP, destinadas a introducir en la pila y recuperar de la pila el contenido del acumulador respectivamente.

PSH	POP
1) $SP-1 \rightarrow SP$; $Acc \rightarrow GPR$ 2) $SP \rightarrow MAR$ 3) $GPR \rightarrow M$	1) $SP \rightarrow MAR$; $0 \rightarrow Acc$ 2) $M \rightarrow GPR$; $SP+1 \rightarrow SP$ 3) $GPR+Acc \rightarrow Acc$

Ejercicio 4

Considérese la estructura de la Computadora Mejorada a la que se le han aplicado los siguientes cambios:

- El número de palabras en la memoria sigue siendo de 256, pero el ancho de palabra es de sólo 4 bits. Esto implica que las instrucciones podrán ocupar una posición de memoria (CRA, CTA, ITA, etc.) o tres (ADD, ADDI, STA, etc.)
- El registro GPR está formado por dos registros de 4 bits, GPR0 y GPR1, que actúan como uno solo de 8 bits para transferencia de direcciones al PC y al MAR. Ambos pueden leer o almacenar en memoria. Los datos, de 4 bits, deben almacenarse en el registro GPR menos significativo (GPR0). El sumador y el acumulador son también de 4 bits.
- El registro OPR puede escribirse directamente desde memoria.
- Se ha incorporado un registro puntero de pila (SP).
- Las conexiones puntuales entre registros se han sustituido por un bus de 8 bits que conecta el PC, el MAR, el OPR, la memoria, y los registros GPR1 y GPR0.

ARQUITECTURA DE COMPUTADORES

2º Grado en Ingeniería Informática

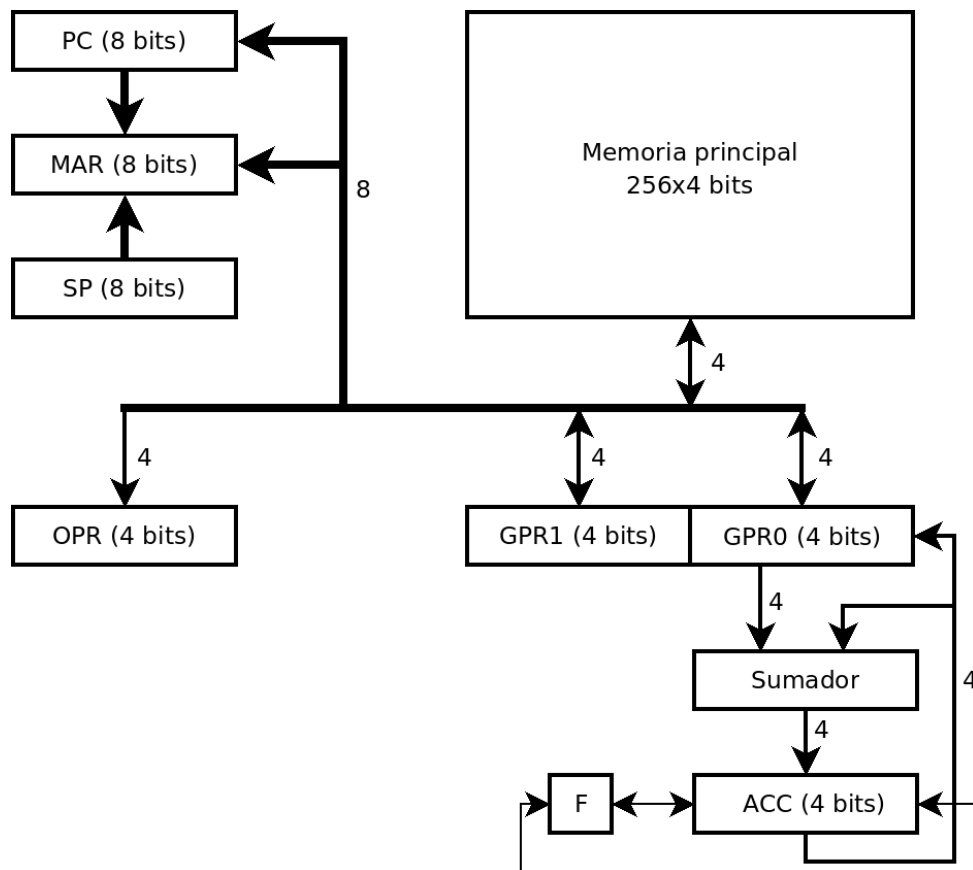
Curso 2011 – 2012

Página 3 de 3

Relación de ejercicios

Tema 1: Introducción a la estructura/arquitectura de computadores

La estructura se muestra a continuación:



Se pide lo siguiente:

1. Secuencia de microoperaciones de la que hay que dotar a la estructura para que ésta permita un funcionamiento similar a la de la Computadora Mejorada original.
2. Secuencia de microoperaciones del ciclo de búsqueda.
3. Secuencia de microoperaciones del ciclo de ejecución de las instrucciones ADD, ADDI, STA y JMP.
4. Secuencia de microoperaciones del ciclo de ejecución de las instrucciones DEC, INC y LDA del Ejercicio 1.
5. Secuencia de microoperaciones del ciclo de ejecución de las instrucciones PSH y POP del Ejercicio 3.