

# IE-0523 Circuitos Digitales II

Prof. Randolph Steinvorth (rh.steinvorth@eie.ucr.ac.cr)

I Ciclo del 2015

## Requisitos:

IE-0323 Circuitos Digitales I, CI-202 Principios de Informática

## Objetivos:

Con este curso se pretende que el estudiante desarrolle:

1. Una metodología de diseño que le permita diseñar sistemas digitales de todos los tamaños en una forma ordenada. El estudiante podrá especificar el sistema desde su nivel superior, y podrá describirlo luego en niveles que contengan mas detalles hasta llegar a su construcción con dispositivos reales.
2. El conocimiento necesario para ser competente en un lenguaje de descripción de “hardware” como lo es Verilog. El estudiante será capaz de describir un sistema digital mediante este lenguaje tanto en forma estructural como en forma conductual. Estas descripciones podrán incluir detalles de retardos de los elementos lógicos utilizados
3. Un conocimiento básico de los dispositivos lógicos disponibles para realizar la construcción de un sistema digital y la destreza necesaria para incorporarlos en sus diseños.

## Temas y Cronograma:

- Ver documento “Propuesta de contenido para el curso IE-523 Circuitos Digitales II” para cronología por semana.
- Referencia entre fechas y número de semana:

Semana	Fecha
1	09/03/2015
2	16/03/2015
3	23/03/2015
Semana Santa	30/03/2015
4	06/04/2015
5 Semana U	13/04/2015
6	20/04/2015
7	27/04/2015
8	04/05/2015
9	11/05/2015

Semana	Fecha
10	18/05/2015
11	25/05/2015
12	01/06/2015
13	08/06/2015
14	15/06/2015
15	22/06/2015
16	29/06/2015
Ex. Finales	06/07/2015
Ex. Finales	13/07/2015

## Actividades en clase:

El curso utiliza tres tipos de actividades:

**Presentación de temas:** Clase magistral realizada por el profesor o grupos de estudiantes en temas asignados.

**Lectura de temas:** Lecturas que debe realizar el estudiante durante la semana para prepararse para las sesiones de práctica. Estas lecturas se podrían verificar mediante un examen corto semanal sin previo aviso.

**Trabajos en grupo:** El profesor presenta varios problemas para que los estudiantes los resuelvan en grupos y luego presenten las soluciones ante la clase. Hay dos tipos de trabajo: las **prácticas** que se trabajan y resuelven en la misma clase y los **diseños**, que se asignan para ser resueltos en un plazo de varias semanas. Los **diseños** se rigen por un reglamento que se detalla en el documento “*Criterios de evaluación para los Proyectos de Diseño del curso IE-523*”.

## Evaluación (No hay examen final):

- Dos diseños realizados en grupo .....50%
- Exámenes cortos, prácticas, y tareas .....35%
- Participación en clase (individual y en grupo) .....15%

## Bibliografía:

- “Digital Design, Principles & Practices”; John F. Wakerly, 3era Edición, Prentice Hall
- “The Verilog Hardware Description Language”; 5ta Edición; Donald E. Thomas; Philip R. Moorby; Kluwer Academic Publishers
- Simulador y sintetizador para Verilog: [www.icarus.com/eda/verilog](http://www.icarus.com/eda/verilog).
- Libro sobre diseños usando ASICs: [www-ee.eng.hawaii.edu/~msmith/ASICs/HTML/ASICs.htm](http://www-ee.eng.hawaii.edu/~msmith/ASICs/HTML/ASICs.htm).
- Algunos diseños ya hechos en Verilog y VHDL: [www.opencollector.org](http://www.opencollector.org).

- Referencia rápida de Verilog, otros recursos y más direcciones: [www.sutherland-hdl.com](http://www.sutherland-hdl.com).
- Lista de preguntas más comunes: <http://bawankule.com/verilogfaq/>.
- Información sobre ASICs y varios links interesantes: <http://www.asic-world.com/>
- Referencias al libro “ASICs the Book”: <http://iroi.seu.edu.cn/books/asics/ASICs.htm#anchor866379> y también se puede ver el libro <http://www.edacafe.com/books/ASIC/ASICs.php#anchor749424>
- Tratamiento más formal sobre minimización de funciones, máquinas de estados y síntesis: "Switching and Finite Automata Theory"; Kohavi, Zvi; Jha, Niraj K.; Cambridge University Press; 3ra edición; 2009