

Criterios de evaluación para los Proyectos de Diseño del curso IE-523

Cada Proyecto de Diseño que se haga en el transcurso del semestre se evaluará en relación a un conjunto de criterios que se recopilarán mediante los entregables que se detallarán a continuación con su contribución a la nota del proyecto.

- | | |
|---------------------------------|-----|
| 1. Plan de Trabajo y bitácora | 20% |
| 2. Funcionamiento del diseño: | |
| a. Simulación | 30% |
| b. Pruebas | 30% |
| 3. Reporte del Proyecto | 5% |
| 4. Presentación del Proyecto | 5% |
| 5. Participación en competencia | 10% |

1. **Plan de Trabajo:** El grupo debe elaborar un plan de trabajo que incluya el detalle de las etapas que seguirá el proyecto y los roles y responsabilidades de cada uno de los integrantes del grupo. Todos los integrantes del grupo son responsables de documentar su parte para contribuir con el *Reporte del Proyecto*. Conforme avanza el proyecto, se debe ir contabilizando la cantidad de trabajo que en realidad se ha tomado para concluir una etapa. Con esta información el grupo podrá ver qué tan buenos han sido sus estimados de tiempo. Como mínimo un proyecto podría constar de las siguientes etapas:
 - a. **Detalle inicial de las especificaciones:** Se debe establecer a grandes rasgos una arquitectura sencilla de cómo se pretende diseñar el sistema e identificar algunas señales básicas para su funcionamiento. Además se debe tener una idea preliminar de las pruebas que se tendrían que hacer para verificar el diseño. Con estos datos se debería poder estimar cuánto tiempo tomaría hacer cada cosa y cómo se repartiría el trabajo entre los integrantes del grupo. Durante esta etapa se hace el plan de trabajo inicial con la tabla que se especifica abajo.
 - b. **Detalle final de las especificaciones:** Aquí se pule el trabajo del punto a. anterior para que cada integrante de grupo sepa con exactitud que debe hacer. Los diagramas de bloque tienen que tener un detalle de las señales de cada uno y la funcionalidad de cada bloque debe de estar bien definida.
 - c. **Programación:** Una vez asignadas las labores de cada integrante se pueden dedicar a programar sus partes para luego integrarlas y comenzar el ciclo de pruebas.
 - d. **Pruebas:** Al integrar las partes en una sola descripción se tendrán los primeros problemas que habrán de resolver. Se tendrá que resolver problemas de compilación y de funcionamiento básico. Luego se resolverán problemas de funcionamiento más específico o situaciones especiales que aparezcan. El planeamiento debe considerar que este periodo del proyecto puede ser el más largo de todos.

- e. **Documentación:** Aquí se hará una revisión final a la documentación que cada integrante ha aportado de sus partes para que el reporte y la presentación muestren la continuidad debida de ideas y estén con toda la información requerida.

La siguiente tabla muestra una sugerencia de cómo se podría llevar el avance del proyecto en una tabla. La columna de “Etapa/Tarea” debería tener más detalle para poder ver que parte se asigna a cada integrante de grupo. Sin embargo, aquí se indican únicamente las cinco etapas descritas arriba. El “Tiempo Estimado” indica el número de horas que se espera trabajar en esa etapa, mientras que el “Tiempo Dedicado” lleva el acumulado de horas que se ha trabajado hasta el momento. El “Porcentaje de Avance” da una estimación global de lo que se ha avanzado en la etapa. Por ejemplo, en el caso de la etapa “Detalle final de las especificaciones” ya se han acumulado 7 horas y se estima que sólo se ha cubierto el 50% del trabajo, esto quiere decir que se espera trabajar otras 7 horas más antes de terminar la etapa. Los comentarios se usan para aclarar una situación especial.

Etapa/Tarea	Nombre Dueño	Tiempo Estimado	Tiempo Dedicado	Porcentaje de Avance	Fecha de Entrega	Comentarios
Detalle inicial de las especificaciones		4hrs	8hrs	100%	24 de agosto	Terminado
Detalle final de las especificaciones		10hrs	7hrs	50%	31 de agosto	El módulo xyz es más complicado de lo esperado
Programación		30hrs	10hrs	30%	Etc...	Avance normal
Pruebas		30hrs	-	0%	Etc...	No ha empezado
Documentación	Todos	10hrs	-	0%	Etc...	No ha empezado

2. **Funcionamiento del Diseño:** El diseño o diseños relacionados con el proyecto deben funcionar. Esto significa que no deben existir errores de compilación y la simulación debe mostrar que todos los casos del plan de pruebas se simulan sin ningún error. Para cumplir con este entregable es necesario suministrar en forma electrónica:
 - a. **Descripción del diseño:** Archivos de texto que contienen la descripción en Verilog del sistema, así como los probadores o verificadores para el plan de pruebas, y cualquier otro archivo que sea necesario para ejecutar la simulación.
3. **Reporte del Proyecto:** Se debe entregar en forma electrónica un documento (Formato compatible con Microsoft Word/Open Office/Libre Office) que incluya los siguientes puntos en a lo sumo 10 páginas de longitud:
 - a. **Resumen:** Breve (Media página máximo) descripción de **todo** el proyecto. Esta sección es fundamental pues puede determinar si el lector se interesa o no en leer los detalles del proyecto. Un resumen mal hecho puede esconder un excelente proyecto. El resumen debería incluir:
 - i. Descripción breve del sistema, es decir, qué hace. Incluya alguna característica que considere que distingue este diseño en particular.
 - ii. Las pruebas que se realizaron y qué resultados se obtuvieron. Indique problemas que se tuvieron que considere importante resaltar.
 - iii. Conclusiones más importantes y recomendaciones para un diseño posterior.

- b. **Descripción Arquitectónica:** Incluye un diagrama de bloques con las señales más importantes que sirve como base para describir el funcionamiento del sistema. La descripción va en términos de lo que se espera que el sistema haga. Es decir, se debe detallar la funcionalidad del sistema, el protocolo de las señales que se usan para que funcionen cada una de las partes y las secuencias de eventos que se deben dar. Esta descripción podría ir acompañada de tablas de verdad, tablas de transición de estados, diagramas de estados, diagramas temporales, etc.
 - c. **Plan de Pruebas:** Aquí se deben enumerar, esto es, se debe presentar una **lista detallada** de las pruebas que se le van a hacer al diseño para verificar que está funcionando de acuerdo a las especificaciones dadas. La lista debe contener por lo menos los siguientes elementos i) Nombre/número de prueba, ii) Descripción de la prueba, y iii) Una indicación de si el diseño la falló o la pasó. Estas pruebas podrían incluir la generación de vectores de entrada para probar en forma exhaustiva todas las líneas de una tabla de verdad o tabla de estados, patrones aleatorios de entradas para tratar de causar errores en la respuesta del diseño, o patrones específicos que ejerciten un cierto modo de funcionamiento. Cada prueba debería ser claramente enumerada en el plan para que también se pueda hacer referencia a ella en el código del banco de pruebas del diseño.
 - d. **Instrucciones de utilización de la simulación:** Esta sección debe mostrar los comandos necesarios para hacer funcionar la simulación en todos los casos que especifica el plan de pruebas. Hay que suponer que el diseño de un grupo puede ser utilizado por otro grupo o el profesor. Si los resultados no se pueden repetir porque no se conocen los comandos para hacer funcionar la simulación entonces es como si el diseño no funcionara del todo.
 - e. **Ejemplos de los resultados:** Una descripción de los resultados más importantes acompañados de los diagramas temporales de la simulación (GTKWave) o cualquier otra salida que demuestre claramente el comportamiento descrito. No es necesario incluir una muestra exhaustiva de resultados, sino que los más representativos del diseño. El punto es mostrarle al lector los comportamientos más sobresalientes para formarle una idea clara del funcionamiento del diseño. Ya verá el lector si desea más detalles, entonces podrá correr una simulación.
 - f. **Conclusiones y recomendaciones:** Basado en los resultados obtenidos se indica aquí qué se logró con el proyecto. Puede ser que se concluya que con el diseño propuesto se tiene una limitación en la velocidad de respuesta de... etc. O que con ciertas combinaciones de entradas el diseño se vuelve inestable o los resultados no son los esperados. También se puede concluir que ventajas o problemas encontraron al seguir el plan de trabajo. A raíz de las conclusiones se puede también recomendar como se podría mejorar el diseño o que otras pruebas se le podrían hacer para garantizar su funcionamiento en otras condiciones que al principio no se consideraron, o también cómo se debería planear el siguiente proyecto para poder cumplirlo a tiempo.
 - g. **Plan de trabajo:** Incluir el plan de trabajo que se ha desarrollado durante la ejecución del proyecto.
4. **Presentación del Proyecto:** Conforme se avanza en el proyecto se irá elaborando una presentación (Formato compatible con Microsoft PowerPoint) que incluya el planeamiento en etapas del proyecto y los puntos más sobresalientes que se tienen del documento indicado

en el punto del *Reporte de Proyecto* arriba. Esta presentación se hace para poder compartir con los compañeros de clase los detalles del proyecto.

La siguiente tabla muestra un ejemplo del puntaje asignado a los distintos criterios para un proyecto de diseño que requería hacer modelos de los tres dispositivos comerciales.

Puntaje asignado para evaluación:

Proyecto I: Descripción en Verilog del multiplexor CD4512B, el latch 74AC16373 y el flip-flop 74AC16374 de Texas Instruments.	Plin	Categoría	Pcat	Ptot
Descripción en Verilog incluida en archivos distintos al reporte.	10%	Simulación	30%	3,00%
Descripción en Verilog esta comentada adecuadamente	15%	Simulación	30%	4,50%
La descripción en Verilog compila	50%	Simulación	30%	15,00%
La descripción en Verilog ejecuta correctamente	25%	Simulación	30%	7,50%
Longitud del reporte no excede a 10 páginas	5%	Reporte	15%	0,75%
Existe una lista de pruebas que resume el plan de pruebas: La lista incluye: (a) Nombre/número de prueba, (b) Descripción de la prueba, y (c) Falló o pasó.	25%	Reporte	15%	3,75%
Existe una guía para ejecutar la simulación.	10%	Reporte	15%	1,50%
El reporte explica con claridad los detalles relevantes del diseño particular que hicieron, las partes del diseño que dieron más trabajo para completar y por qué fue así, y una explicación de los problemas que se presentaron y cómo éstos fueron solucionados.	60%	Reporte	15%	9,00%
Existe una descripción conductual del sistema que permite hacer una verificación de funcionamiento con la descripción estructural del sistema.	30%		30%	9,00%
Existe una verificación automática de las pruebas que está funcionando.	20%		30%	6,00%
Se ejecuta un conjunto de pruebas "suficientes" para exhibir el funcionamiento del CD4512B (CMOS 8-Channel Data Selector) tomando en cuenta los cuatro estados que tienen las señales en Verilog: 0, 1, X, y Z.	5%	Pruebas	30%	1,50%
Se ejecuta un conjunto de pruebas "suficientes" para exhibir el funcionamiento el 74AC16373 (16-Bit Transparent D-Type Latches With 3-State Outputs) tomando en cuenta los cuatro estados que tienen las señales en Verilog: 0, 1, X, y Z.	5%	Pruebas	30%	1,50%
Se ejecuta un conjunto de pruebas "suficientes" para exhibir el funcionamiento el 74AC16374 (16-Bit Edge-Triggered D-Type Flip-Flops With 3-State Outputs) tomando en cuenta los cuatro estados que tienen las señales en Verilog: 0, 1, X, y Z.	5%	Pruebas	30%	1,50%
Se realiza las pruebas que demuestran el correcto funcionamiento del pin habilitador CE, según corresponda para cada uno de los 3 circuitos CD4512B, 74AC16373 y 74AC16374.	4%	Pruebas	30%	1,20%
Se cuenta con las pruebas necesarias para exhibir el retardo de propagación en la transición de estado bajo a alto Tplh y el retardo de propagación en la transición de estado alto a bajo Tphl del CD4512B (CMOS 8-Channel Data Selector).	7%	Pruebas	30%	1,95%

Se cuenta con las pruebas necesarias para exhibir el retardo de propagacion en la transicion de estado bajo a alto Tplh y el retardo de propagacion en la transicion de estado alto a bajo Tphl del 74AC16373 (16-Bit Transparent D-Type Latches With 3-State Outputs) asi como las pruebas correspondientes al tiempo de duracion del pulso Tw,Tiempo de setup Tsu y el tiempo de hold Th.	7%	Pruebas	30%	1,95%
Se cuenta con las pruebas necesarias para exhibir el retardo de propagacion en la transicion de estado bajo a alto Tplh y el retardo de propagacion en la transicion de estado alto a bajo Tphl del 74AC16374 (16-Bit Edge-Triggered D-Type Flip-Flops With 3-State Outputs)asi como las pruebas correspondientes al tiempo de duracion del pulso Tw,Tiempo de setup Tsu y el tiempo de hold Th.	7%	Pruebas	30%	1,95%
Se cuenta con la implementacion adecuada para poder realizar las pruebas de comportamiento temporal del circuito CD4512B (CMOS 8-Channel Data Selector) para los diferentes valores de tiempos según el voltaje de entrada asociado.	7%	Pruebas	30%	1,95%
Se realizan las pruebas para el calculo del consumo de potencia de los circuitos para los diferentes valores de voltaje de entrada asociado.	5%	Pruebas	30%	1,50%
Existe un plan de trabajo que se ha ido actualizando durante el proyecto.	50%	Trabajo en Equipo	20%	10,00%
Se ha llevado una bitácora semanal que indica los avances y problemas que ha tenido el equipo de trabajo.	50%	Trabajo en Equipo	20%	10,00%
Longitud de la presentacion en filminas es congruente con el tiempo de presentación.	30%	Presentacion	5%	1,50%
Efectividad/Claridad de la presentacion. La presentacion esta hecha especialmente, no es copia del reporte, se presento bien.	70%	Presentacion	5%	3,50%
Nota Proyecto				100,00%