

Latch tipo D

En los archivos adjuntos encontrarán un latch hecho con comandos **assign** (LatchD.v) y un latch sencillo (LatchD_sencillo.v). Ambos funcionan sin problemas para la prueba que se hace en esta simulación.

La simulación simula ambos latches a la par con las mismas señales de Reset y Clock. El comportamiento es el mismo. Cada latch se realimenta con una lógica combinacional entre su salida Q y la entrada D. La lógica combinacional es un inversor que tiene un retardo Tlc.

La simulación se corre con los siguientes comandos

```
iverilog -c modulos.prj  
vvp a.out
```

El archivo modulos.prj tiene una lista con los nombres de los archivos que Verilog tiene que compilar. La simulación se puede ver en GTKwave y ahí, con el comando de menú File → Read Save File escojan el archivo “Prueba.sav”.

Tiempos / Retardos importantes

El archivo Globales.v contiene los retardos importantes que utiliza la simulación. Ahí también encontrarán la definición de la escala de tiempo usada en la simulación. Estos tiempos tienen que mantener las relaciones que se indican abajo para que el circuito funcione.

- La señal de Reset debe estar activa un tiempo mayor al retardo de la lógica combinacional. Es decir $Tres1 > Tlc$. Esto permite que la salida indeterminada de la lógica combinacional llegue a un valor inicial de 0.
- El tiempo en que el latch permanece transparente, Tclk1 debe ser menor que el tiempo de propagación de la lógica combinacional Tlc.
- El periodo del reloj, Tclk0 + Tclk1, debe ser mayor a la suma del retardo de la lógica combinacional Tlc y el set up del latch.
- Ambos latches tienen tiempos de propagación, tiempos de setup y tiempos de hold igual a cero.