

Unidad 3 - Amplificadores Diferenciales GITHUB: [AQUÍ](#)

Introducción:

Esta unidad abarca el par diferencial básico y analiza las características de alta y baja señal, así como las diferencias entre los distintos tipos de cargas.

Lecturas:

Libro de texto de Razavi: secciones 4.1 a 4.4

Para reflexionar/discutir

W03DQ1 Análisis de pequeña señal de etapas de par diferencial

1- Resumir el método utilizado para el análisis de pequeña señal de una etapa diferencial.

Análisis de Pequeña Señal. Estudiamos ahora el comportamiento de los pares diferenciales en pequeñas señales. Como se muestra en la Fig. 4.16, aplicamos las pequeñas señales V_{in1} y V_{in2} y asumimos que $M1$ y $M2$ están saturados.

Método I

El circuito de la Fig. 4.16 se alimenta mediante dos señales independientes. Por lo tanto, la salida puede calcularse por superposición. (Los voltajes en esta sección son magnitudes de pequeña señal).

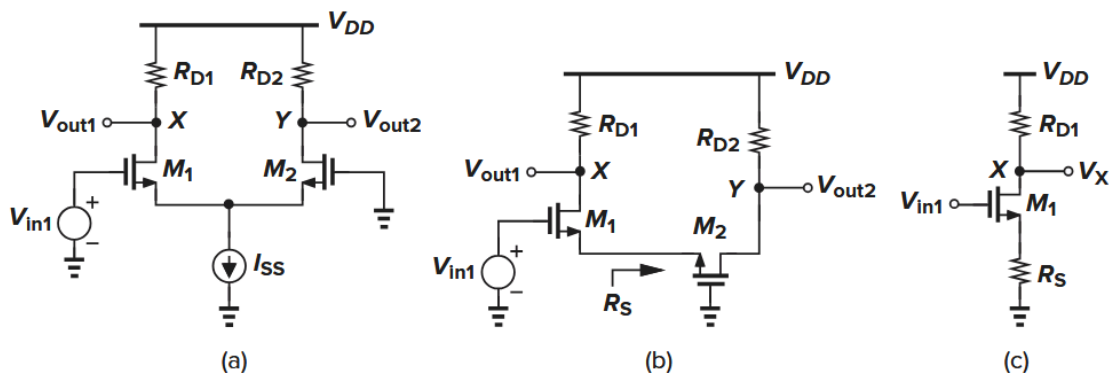


Figure 4.17 (a) Differential pair sensing one input signal; (b) circuit of (a) viewed as a CS stage degenerated by $M2$; (c) equivalent circuit of (b).

Para obtener V_X , observamos que $M1$ forma una etapa de fuente común con una resistencia de degeneración igual a la impedancia observada al mirar hacia la fuente de $M2$. Despreciando la modulación de longitud de canal y el efecto de cuerpo, tenemos $R_S = 1/g_{m2}$ [Fig. 4.17(c)] y

$$\frac{V_X}{V_{in1}} = \frac{-R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \quad (4.18)$$

Para calcular V_Y , observamos que $M1$ controla a $M2$ como seguidor de fuente y reemplazamos V_{in1} y $M1$ por un equivalente de Thevenin (Fig. 4.18): la tensión de Thevenin $V_T = V_{in1}$ y la resistencia $R_T = 1/g_{m1}$.

Aquí, M2 opera como una etapa de puerta común, con una ganancia igual a

$$\frac{V_Y}{V_{in1}} = \frac{R_D}{\frac{1}{g_{m2}} + \frac{1}{g_{m1}}} \quad (4.19)$$

De (4.18) y (4.19) se deduce que la ganancia de voltaje total para V_{in1} es

$$(V_X - V_Y)|_{\text{Due to } V_{in1}} = \frac{-2R_D}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} V_{in1} \quad (4.20)$$

para $g_{m1} = g_{m2} = g_m$, se reduce a

$$(V_X - V_Y)|_{\text{Due to } V_{in1}} = -g_m R_D V_{in1} \quad (4.21)$$

En virtud de la simetría, el efecto de V_{in2} en X e Y es idéntico al de V_{in1} excepto por un cambio en las polaridades:

$$(V_X - V_Y)|_{\text{Due to } V_{in2}} = g_m R_D V_{in2} \quad (4.22)$$

Sumando los dos lados de (4.21) y (4.22) para realizar la superposición, tenemos

$$\frac{(V_X - V_Y)_{tot}}{V_{in1} - V_{in2}} = -g_m R_D \quad (4.23)$$

La comparación de (4.21), (4.22) y (4.23) indica que la magnitud de la ganancia diferencial es igual a $g_m R_D$, independientemente de cómo se apliquen las entradas: en las figuras 4.17 y 4.18, la entrada se aplica sólo a un lado, mientras que en la figura 4.16 la entrada es la diferencia entre dos fuentes. También es importante reconocer que si la salida es unipolar, es decir, se detecta entre X o Y y tierra, la ganancia se reduce a la mitad.

Método II

Si un par diferencial completamente simétrico detecta entradas diferenciales (es decir, las dos entradas cambian en cantidades iguales y opuestas con respecto a la condición de equilibrio), entonces se puede aplicar el concepto de "semicircuito". Primero demostramos un lema.

Lema: Considérese el circuito simétrico mostrado en la Fig. 4.20(a), donde D1 y D2 representan cualquier dispositivo activo de tres terminales. Supóngase que V_{in1} y V_{in2} cambian diferencialmente, el primero de V_0 a $V_0 + \Delta V_{in}$ y el segundo de V_0 a $V_0 - \Delta V_{in}$ [Fig. 4.20(b)]. Entonces, si el circuito permanece lineal, V_P no cambia. Supongamos que $\lambda=0$.

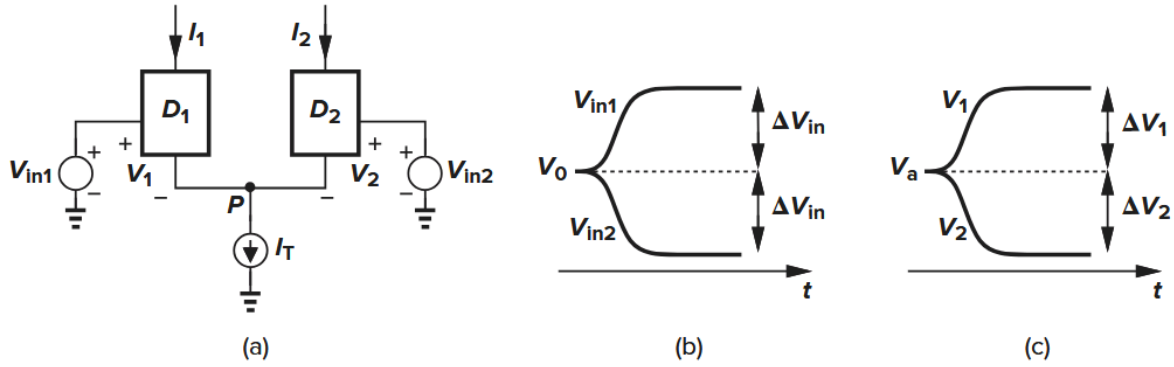


Figure 4.20 Illustration of why node P is a virtual ground.

Demostración. El lema se puede demostrar invocando la simetría. Mientras la operación permanezca lineal, de modo que la diferencia entre las corrientes de polarización de $D1$ y $D2$ sea insignificante, el circuito es simétrico. Por lo tanto, V_P no puede favorecer el cambio en una entrada e ignorar la otra.

Desde otro punto de vista, el efecto de $D1$ y $D2$ en el nodo P se puede representar mediante equivalentes de Thevenin (Fig. 4.21). Si V_{T1} y V_{T2} cambian en magnitudes iguales y opuestas, y R_{T1} y R_{T2} son iguales, entonces V_P permanece constante. Enfatizamos que esto es válido si los cambios son lo suficientemente pequeños como para asumir que $R_{T1} = R_{T2}$ (p. ej., $1/g_{m1} = 1/g_{m2}$). Esta perspectiva sugiere la validez del lema incluso si la fuente de corriente de cola no es ideal.

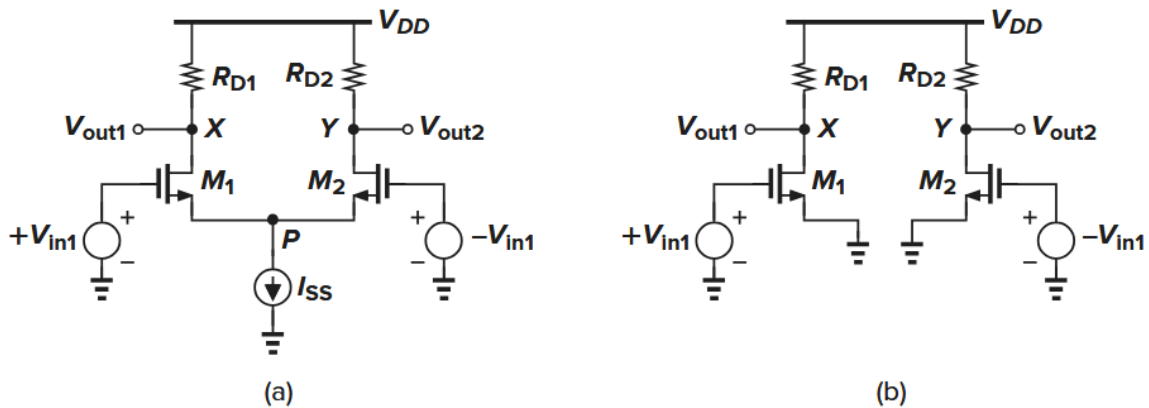


Figure 4.22 Application of the half-circuit concept.

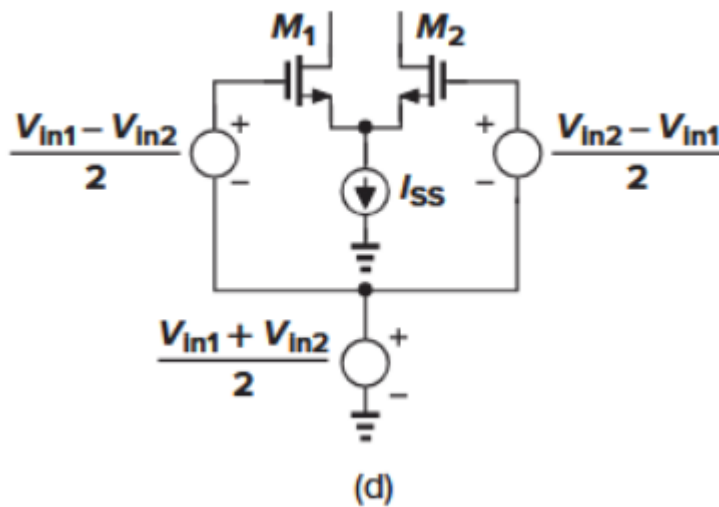
Decimos entonces que aplicamos el concepto de medio circuito. Podemos escribir $V_x/V_{in1} = -g_m R_D$ y $V_y/(-V_{in1}) = -g_m R_D$, donde V_{in1} y $-V_{in1}$ denota el cambio de voltaje en cada lado. Tenemos entonces que $(V_x - V_y)/(2V_{in1}) = -g_m R_D$.

Pero ¿qué ocurre si las dos entradas no son totalmente diferenciales [Fig. 4.24(a)]?

$$V_{in1} = \frac{V_{in1} - V_{in2}}{2} + \frac{V_{in1} + V_{in2}}{2} \quad (4.26)$$

$$V_{in2} = \frac{V_{in2} - V_{in1}}{2} + \frac{V_{in1} + V_{in2}}{2} \quad (4.27)$$

Como el segundo término es común para ambas entradas, obtenemos el siguiente circuito equivalente, donde vemos que el circuito tiene una combinación de una entrada diferencial y una variación de modo común.



El efecto de cada tipo de entrada puede calcularse por superposición usando el concepto de medio circuito aplicado a la operación en modo diferencial.

2- Comparar las cargas utilizadas en las etapas diferenciales y sus efectos en la funcionalidad del circuito.

Los amplificadores diferenciales pueden emplear cargas conectadas por diodos o por fuente de corriente. La ganancia diferencial de pequeña señal puede obtenerse utilizando el concepto de semicircuito. Sea:

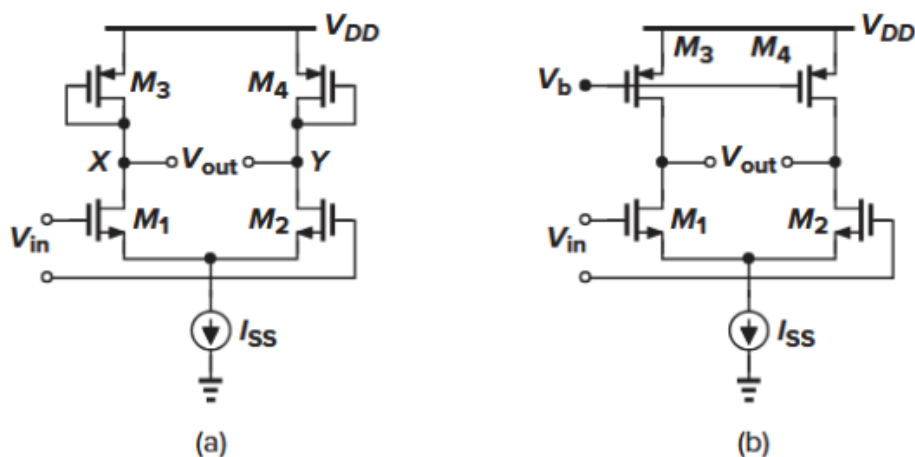


Figure 4.37 Differential pair with (a) diode-connected and (b) current-source loads.

Para el circuito con carga tipo diodo tenemos que la ganancia es:

$$A_v = -g_{mN} (g_{mP}^{-1} \parallel r_{ON} \parallel r_{OP}) \quad (4.59)$$

$$\approx -\frac{g_{mN}}{g_{mP}} \quad (4.60)$$

Expresando g_{mN} y g_{mP} en términos de dimensiones del dispositivo, tenemos

$$A_v \approx -\sqrt{\frac{\mu_n(W/L)_N}{\mu_p(W/L)_P}} \quad (4.61)$$

For Fig. 4.37(b), we have

$$A_v = -g_{mN}(r_{ON} \parallel r_{OP}) \quad (4.62)$$

Para esquemas donde las cargas son conectadas como diodos, consumen margen de excursión, creando así un equilibrio entre las oscilaciones de la tensión de salida, la ganancia de tensión y el rango de CM de entrada; para una corriente de polarización y unas dimensiones del dispositivo de entrada dadas, la ganancia del circuito y la tensión de sobreexcitación del PMOS se escalan conjuntamente.

Para lograr una mayor ganancia, la relación de aspecto del PMOS $(W/L)_P$ debe disminuir, aumentando así $|V_{GSP}-V_{THP}|$ y disminuyendo el nivel de modo común en los nodos X e Y.

Para paliar la dificultad anterior, parte de las corrientes de polarización de los transistores de entrada pueden ser proporcionadas por fuentes de corriente PMOS. La idea es reducir la g_m de los dispositivos de carga reduciendo su corriente en lugar de su relación de aspecto. Por ejemplo, si las fuentes de corriente auxiliares, M5 y M6, transportan el 80% de la corriente de drenador de M1 y M2, la corriente a través de M3 y M4 se reduce cinco veces. Para un valor dado de $|V_{GSP}-V_{THP}|$, esto se traduce en una reducción de cinco veces en la transconductancia de M3 y M4, ya que la relación de aspecto de los dispositivos puede reducirse en el mismo factor. Por lo tanto, la ganancia diferencial es ahora cinco veces mayor que la del caso sin fuentes de corriente PMOS (si $\lambda = 0$).

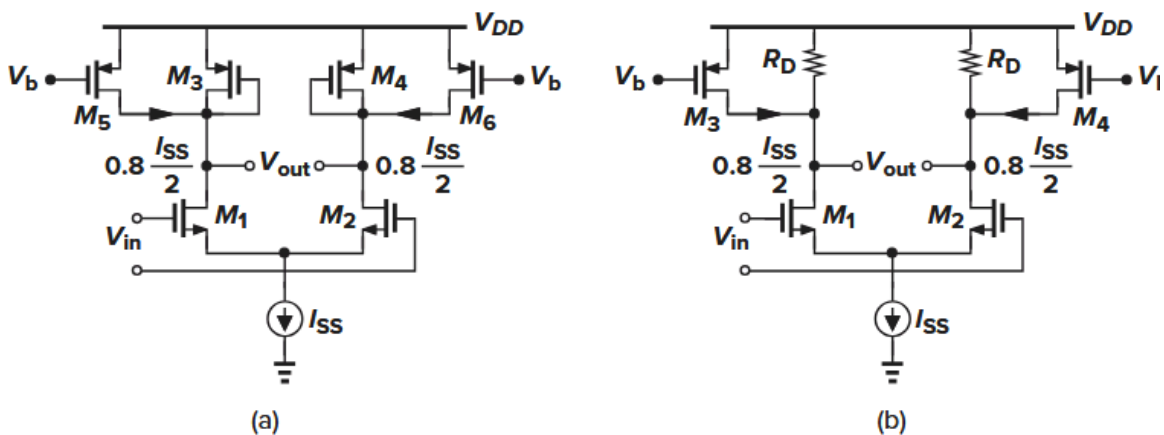


Figure 4.39 Addition of current sources to increase the voltage gain with (a) diode-connected loads and (b) resistive loads.

Dado que el margen de tensión consumido por los dispositivos conectados a diodos no puede ser inferior a V_{TH} (si se ignora la conducción subumbral), la topología de la figura 4.39(a) permite oscilaciones de tensión de salida limitadas. Por lo tanto, preferimos la

alternativa mostrada en la figura 4.39(b), donde las cargas se realizan mediante resistencias y la tensión máxima en cada nodo de salida es igual a $V_{DD} - |V_{GS3,4} - V_{TH3,4}|$ en lugar de $V_{DD} - |V_{TH3,4}|$.

Para un nivel de salida CM dado y corrientes auxiliares del 80%, R_D puede ser cinco veces mayor, lo que produce una ganancia de tensión de

$$|A_v| = g_{mN}(R_D || r_{ON} || r_{OP}) \quad (4.64)$$

Si los dispositivos PMOS son largos (y, necesariamente, anchos), entonces $r_{OP} + r_{ON}$ y la ganancia está limitada por $R_D || r_{ON}$.

La ganancia de pequeña señal del par diferencial con cargas de fuente de corriente es relativamente baja, en el rango de 5 a 10 en tecnologías nanométricas. ¿Cómo aumentamos la ganancia de voltaje? Tomando ideas de los amplificadores del Capítulo 3, aumentamos la impedancia de salida de los dispositivos PMOS y NMOS mediante cascode, creando en esencia una versión diferencial de la etapa de cascode

$$|A_v| \approx g_{m1}[(g_{m3}r_{O3}r_{O1}) || (g_{m5}r_{O5}r_{O7})] \quad (4.65)$$

Por lo tanto, el cascode aumenta considerablemente la ganancia diferencial, pero a costa de consumir más margen de tensión.

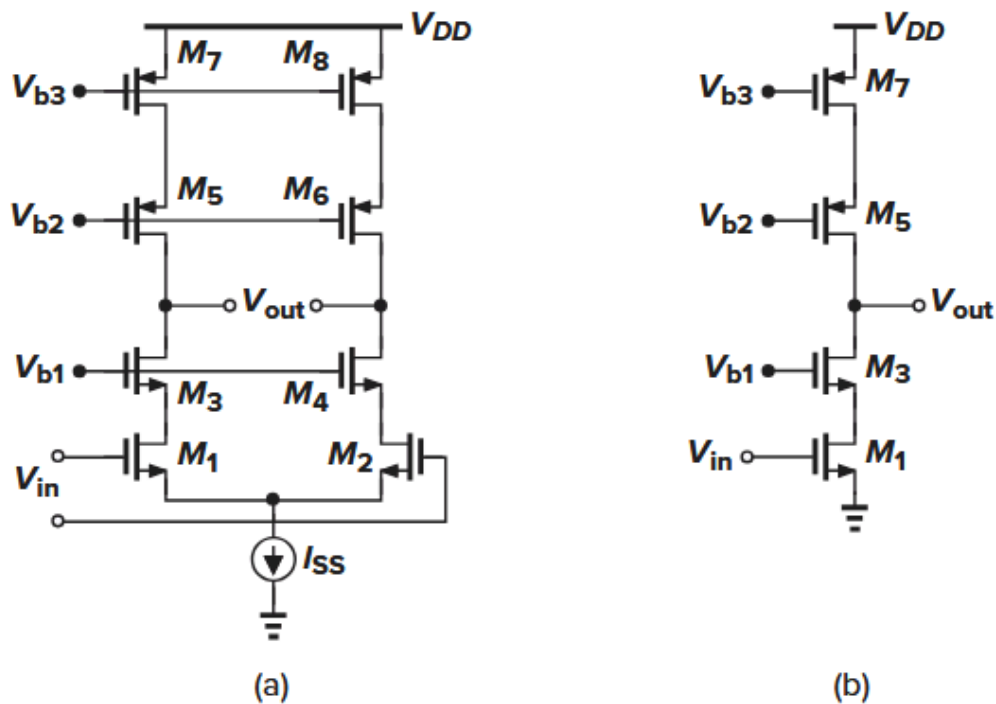


Figure 4.40 (a) Cascode differential pair; (b) half circuit of (a).

Problemas del libro de texto de Razavi:

Resolver estos problemas del libro de texto de Razavi:

Capítulo 4, Problema 4.4 - Notas: ignorar LD, ignorar LAMBDA, $V_{dd} = 3\text{ V}$, todos los parámetros del modelo de transistores se obtienen de la Tabla 2.1

Table 2.1 Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model

LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = $9e+14$	LD = $0.08e-6$	UO = 350	LAMBDA = 0.1
TOX = $9e-9$	PB = 0.9	CJ = $0.56e-3$	CJSW = $0.35e-11$
MJ = 0.45	MJSW = 0.2	CGDO = $0.4e-9$	JS = $1.0e-8$

PMOS Model

LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = $5e+14$	LD = $0.09e-6$	UO = 100	LAMBDA = 0.2
TOX = $9e-9$	PB = 0.9	CJ = $0.94e-3$	CJSW = $0.32e-11$
MJ = 0.5	MJSW = 0.3	CGDO = $0.3e-9$	JS = $0.5e-8$

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body-effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate-oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: $\text{cm}^2/\text{V}\cdot\text{s}$)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)

Capítulo 4, Problema 4.14 - Notas: Ignorar LD, $V_{dd} = 3\text{ V}$; todos los parámetros del modelo de transistor provienen de la Tabla 2.1. Simulación de LTSpice de la ganancia de voltaje de los dos circuitos del Problema 4.14. (Utilizar los modelos de transistores del aula).

4.4. En el circuito de la Fig. 4.11, $(W/L)_{1,2} = 50/0,5$ e $I_{SS} = 0,5\text{ mA}$.

(a) ¿Cuál es la oscilación máxima admisible del voltaje de salida si $V_{in,CM} = 1,2\text{ V}$?

(b) ¿Cuál es la ganancia de voltaje en esta condición?

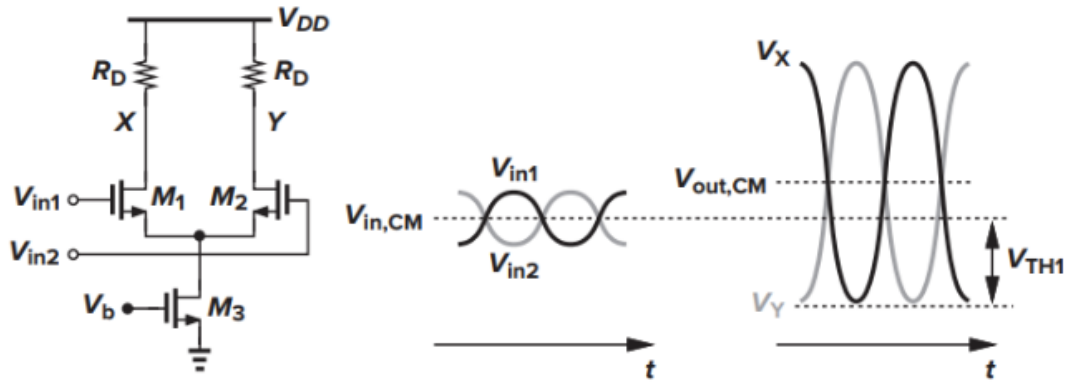


Figure 4.11 Maximum allowable output swings in a differential pair.

Pregunta 1 Problema 4.4: Ingrese el valor calculado para el límite inferior de Vout (V)

$$V_{OUTmin} = V_{inMC} - V_{TH1} = 1.2V - 0.7V = 0.5V$$

Pregunta 2 Problema 4.4: Ingrese el valor calculado para la oscilación máxima permitida de voltaje de salida (V)

$$V_{OUTmax} = V_{DD} = 3V$$

$$Swing_{max} = V_{OUTmax} - V_{OUTmin} = 3V - 0.5V = 2.5V$$

Pregunta 3 Problema 4.4: Ingrese el valor calculado para la corriente de drenaje M1 (mA)

$$I_{D1} = I_{D2} = I_{SS}/2 = 0.25mA$$

Pregunta 4 Problema 4.4: Ingrese el valor calculado para $1/2 \cdot \mu_n \cdot C_{ox} \cdot (W/L)_1$ (mA/V²)

$$a = 6.7130 \text{ mA/V}^2$$

Pregunta 5 Problema 4.4: Ingrese el valor calculado para (Vgs1 - Vth1) en (V)

$$V_{GS1} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} = 0.8930V$$

$$Q5 = V_{GS1} - V_{TH1} = 0.1930V$$

Pregunta 6 Problema 4.4: Ingrese el valor calculado para Vgs1 (V)

$$V_{GS1} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} = 0.8930V$$

Pregunta 7 Problema 4.4: Ingrese el valor calculado para gm1 en (mA/V)

$$gm = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_d} = 2.5909 \text{ mA/V}$$

Pregunta 8 Problema 4.4: Ingrese el valor calculado para el modo común de salida requerido en la oscilación máxima de voltaje de salida (V)

$$V_{cm(out)} = \frac{V_{out(min)} + V_{out(max)}}{2} = 1.75V$$

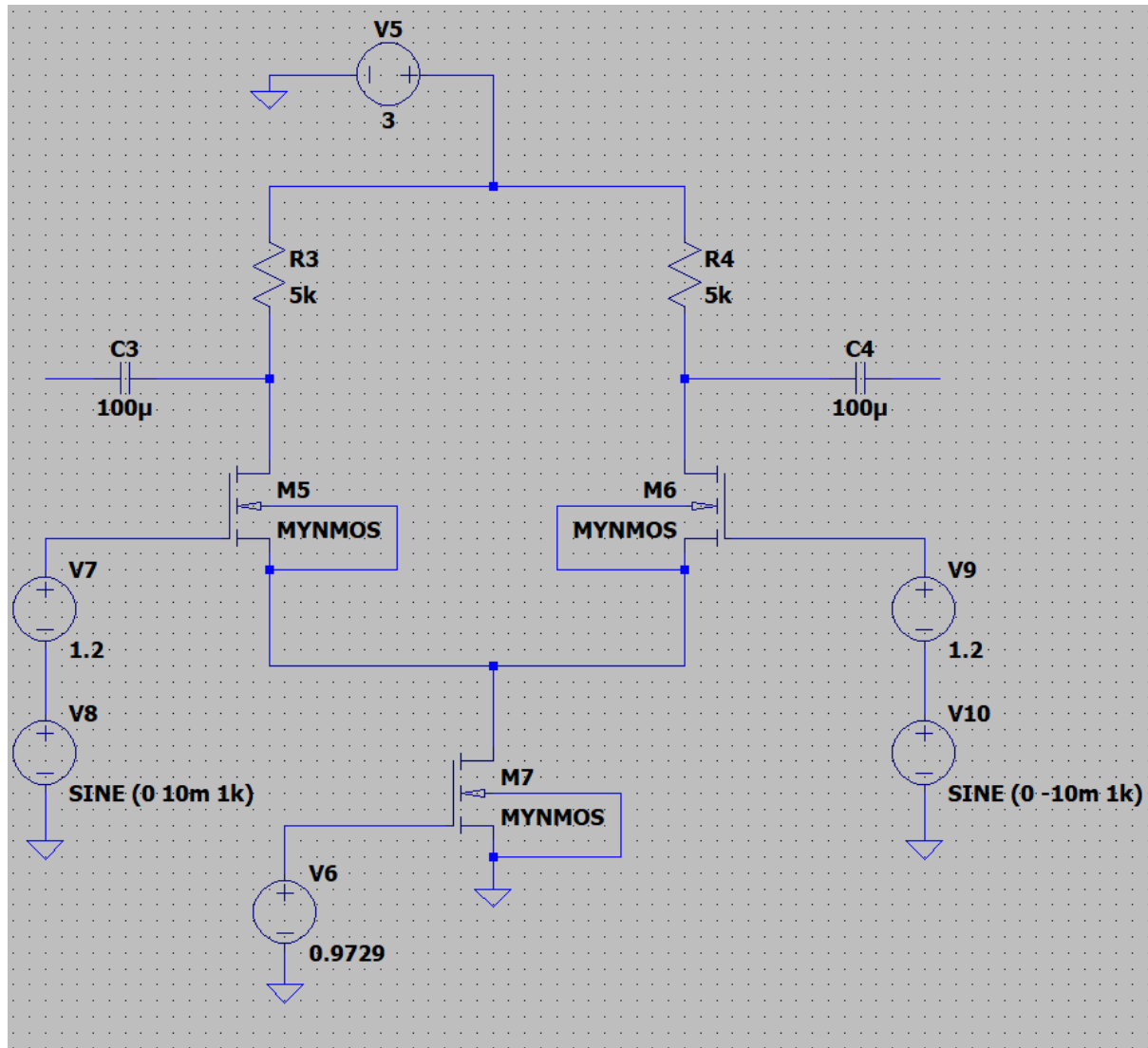
Pregunta 9 Problema 4.4: Ingrese el valor calculado de R_D necesario para la oscilación máxima de voltaje de salida (kOhms)

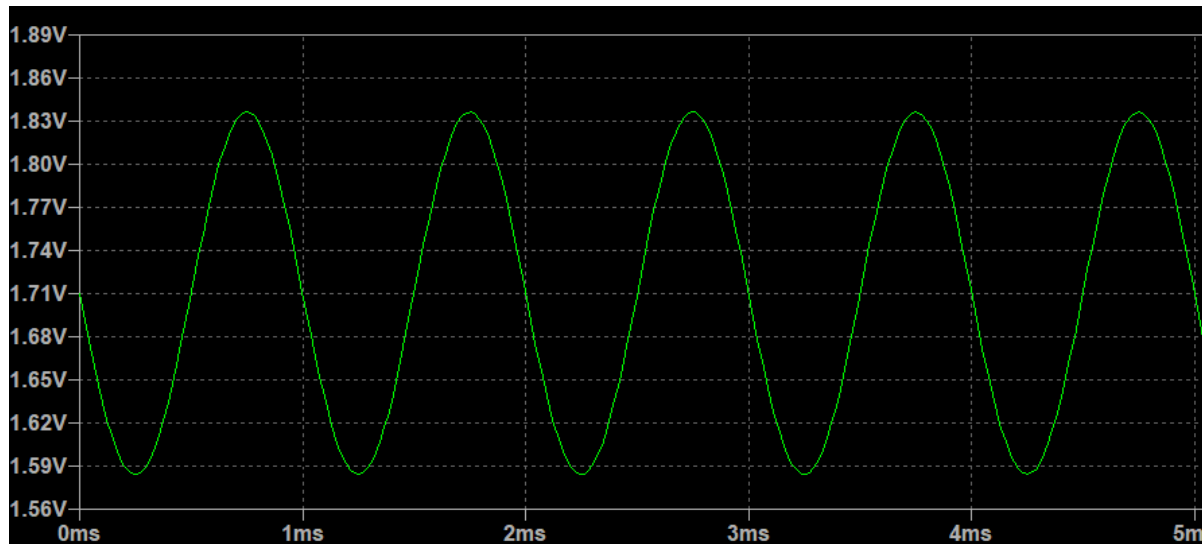
$$V_{CM} = V_{DD} - R_D * I_D$$

$$R_D = \frac{V_{DD} - V_{CM}}{I_D} = 5 \text{ Kohm}$$

Pregunta 10 Problema 4.4: Ingrese el valor calculado para la ganancia de voltaje (escríbalo como un número negativo).

$$A_V = -g_m * R_d = -12.9547 \text{ V/V}$$





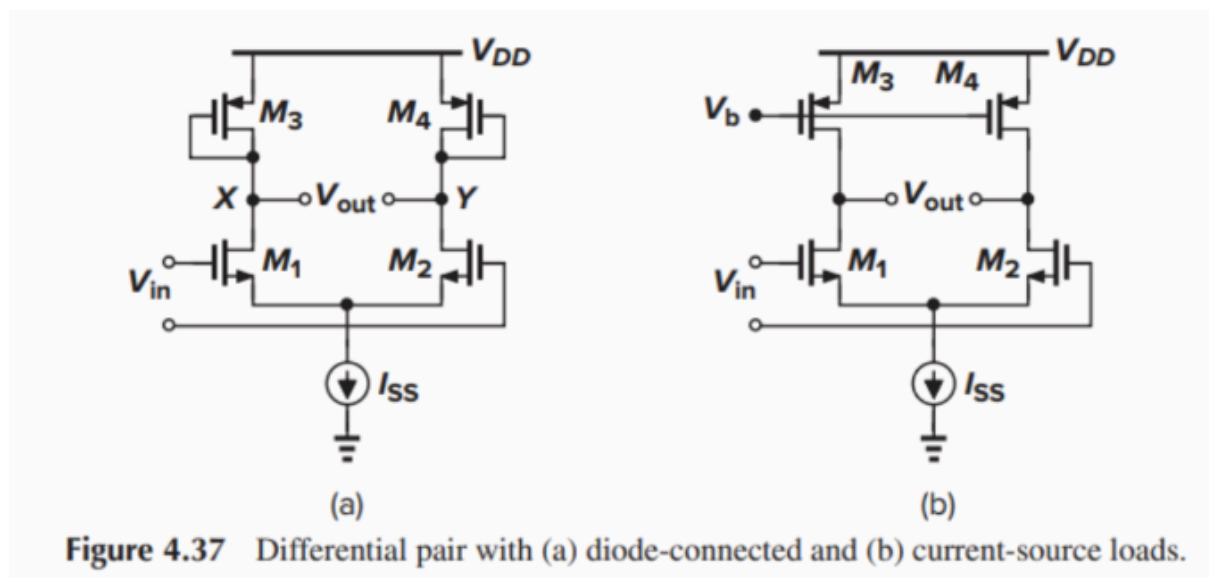
Para corroborar calculamos la ganancia de tensión en el circuito simulado:

$$1.8358 - 1.5845 = 0.251 \text{ veces}$$

$$A_v = \frac{0.251 \text{ V}}{20 \text{ mV}} = 12.565 \text{ V/V}$$

Capítulo 4, Problema 4.14 - Notas: Ignore LD, $V_{DD} = 3 \text{ V}$; todos los parámetros del modelo de transistor provienen de la Tabla 2.1.

Para los pares diferenciales de las figuras 4.37(a) y (b), calcule la ganancia de voltaje diferencial si $I_{SS} = 1 \text{ mA}$, $(W/L)_{1,2} = 50/0.5$ y $(W/L)_{3,4} = 50/1$. ¿Cuál es el nivel mínimo permisible de CM de entrada si I_{SS} requiere al menos 0.4 V ? Con este valor para $V_{in,CM}$, calcule la oscilación máxima de voltaje de salida en cada caso.



Pregunta 11 Problema 4.14: Ingrese el valor calculado para $\mu_n^*(W/L)_n$ en unidades ($\text{m}^2/\text{V}\cdot\text{s}$)

$$Q11 = \mu_n \frac{W}{L1} = 3.5 \text{ m}^2/\text{V}\cdot\text{s}$$

Pregunta 12 Problema 4.14: Ingrese el valor calculado para $\mu_p^*(W/L)_p$ en unidades ($m^2/V/s$)

$$Q_{12} = \mu_p \frac{W}{L_3} = 0.5 \text{ m}^2/V/s$$

Pregunta 13 Problema 4.14: Ingrese el valor calculado para la ganancia de tensión diferencial A_v del circuito (a); Ingrese el valor como un número negativo

$$A_v \approx \sqrt{\frac{\mu_n(W/L_1)_N}{\mu_p(W/L_3)_P}} = -2.6458 \text{ V/V}$$

Pregunta 14 Problema 4.14: Ingrese el valor calculado para g_m de los transistores NMOS en el circuito (b); ingrese el valor en unidades de (mA/V).

$$I_D = I_{SS}/2 = 0.5 \text{ mA}$$

$$g_{m_{NMOS}} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = 3.6642 \text{ mA/V}$$

Pregunta 15 Problema 4.14: Ingrese el valor calculado para r_o de los transistores NMOS en el circuito (b); unidades de (kOhms).

$$r_{o_N} = \frac{1}{\lambda_n I_D} = 20 \text{ Kohm}$$

Pregunta 16 Problema 4.14: Ingrese el valor calculado para λ de los transistores PMOS en el circuito (b); en (V^{-1}).

$$\lambda_{PMOS} = 0.2 \text{ V}^{-1}$$

Pregunta 17 Problema 4.14: Ingrese el valor calculado para r_o de los transistores PMOS en el circuito (b); unidades de (kOhms).

$$r_{o_P} = \frac{1}{\lambda_p I_D} = 10 \text{ Kohm}$$

Pregunta 18 Problema 4.14: Ingrese el valor calculado para la ganancia de voltaje diferencial en el circuito (b). (Introducir como número negativo)

$$A_v = -g_{m_N}(r_{o_N} \parallel r_{o_P}) = -24.4277 \text{ V/V}$$

Pregunta 19 Problema 4.14: Introduzca el nivel mínimo de voltaje en modo común admisible calculado para las condiciones mencionadas en el problema (V).

$$V_{GS1} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_{TH} = 0.9729 \text{ V}$$

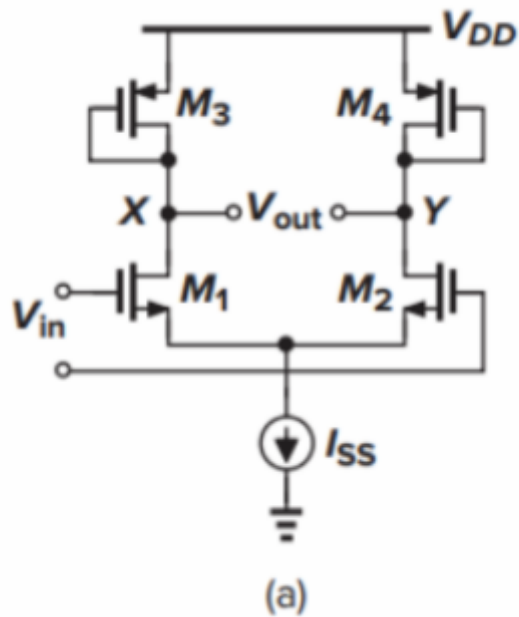
Donde V_p por consigna, lo consideramos 0.4V.

Queda limitado el funcionamiento de M1 y M2 a la siguiente condición:

$$V_{CMmin} \geq V_{GS1} + V_p$$

$$V_{CMmin} \geq 0.4 \text{ V} + 0.9729 \text{ V} = 1.3729 \text{ V}$$

Pregunta 20 Problema 4.14: Introduzca la oscilación máxima de salida diferencial calculada (2 x oscilación de voltaje de un solo extremo) para el circuito (a); en (V).



Límite máximo: Deben estar saturados M3 y M4.

$$V_{out\ max} = V_{DD} - V_{THp} = 2.2\ V$$

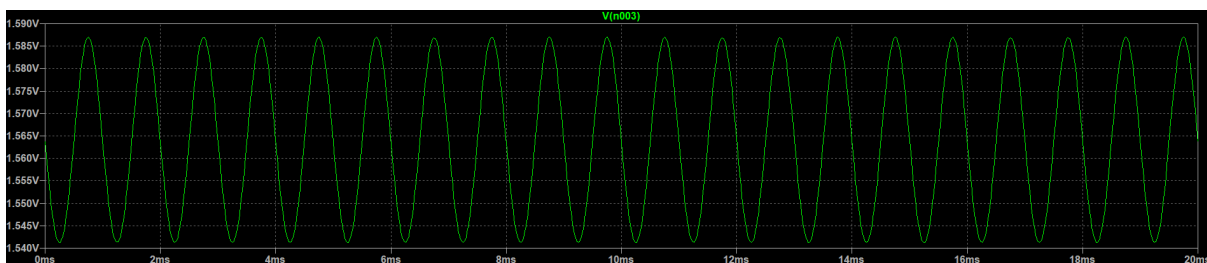
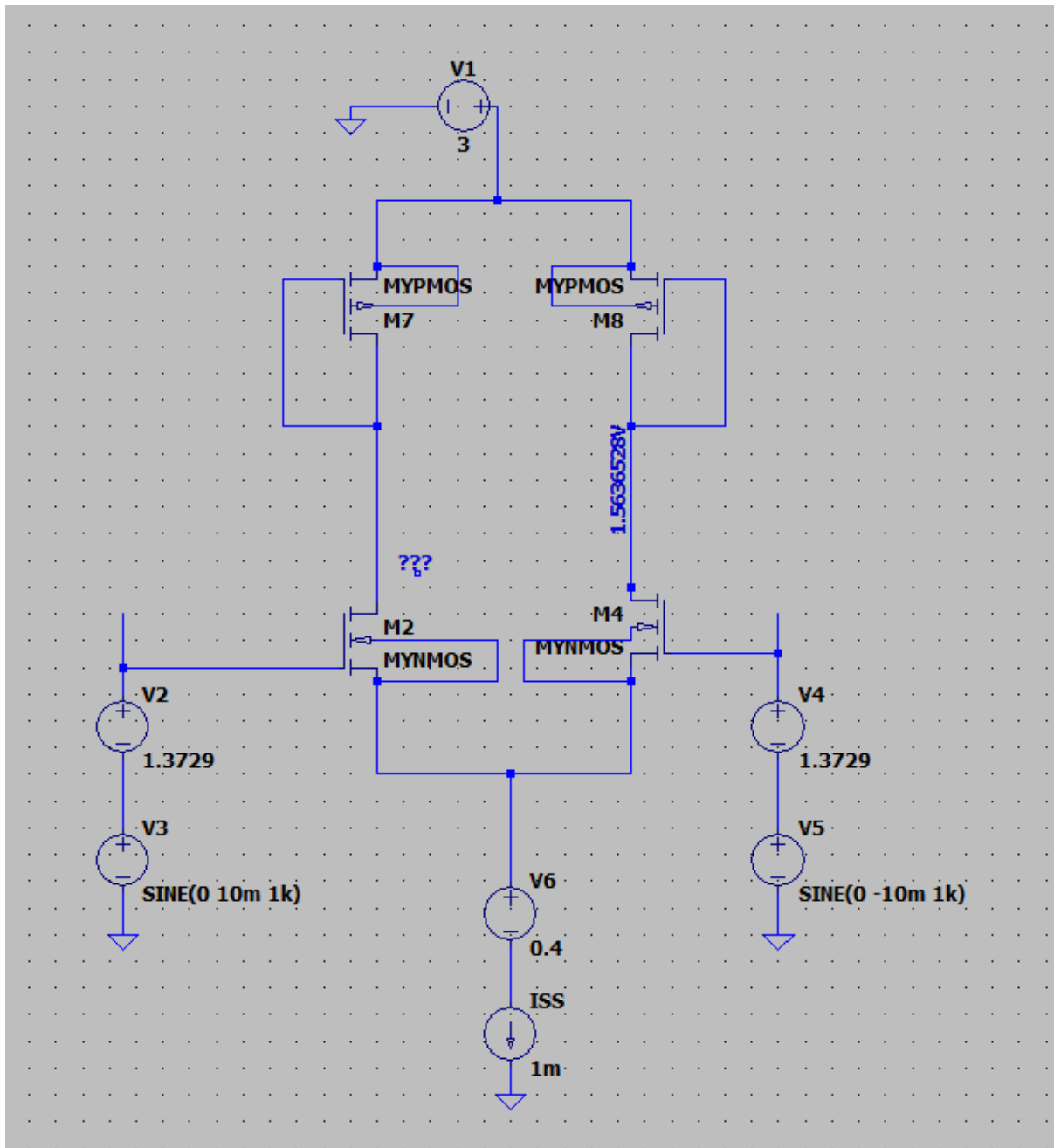
Límite mínimo: Deben estar saturados M1 y M2 y satisfacer la tensión mínima de operación de la fuente de corriente.

$$V_{overdriveN} = V_{sd} = V_{gs} - V_{th} = 0.2729\ V$$

$$V_{out\ min} = V_{overdriveN} + V_p = 0.6729\ V$$

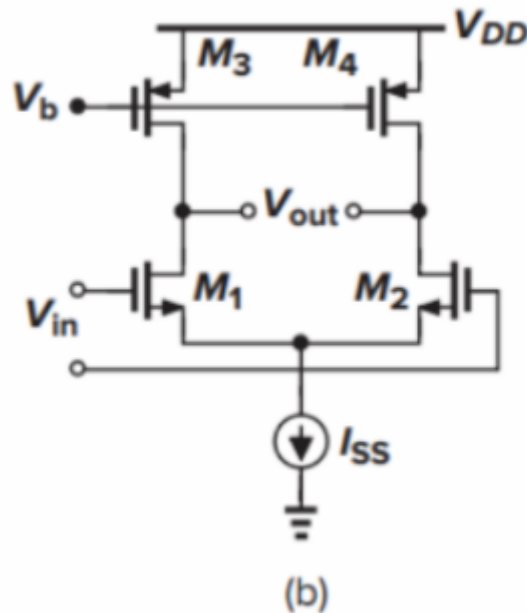
El swing queda definido entonces por la diferencia entre ambos límites y a su vez a ese valor lo multiplicamos por dos para representar la excursión hacia el lado positivo y hacia el lado negativo.

$$Swing = 2 * (V_{out\ max} - V_{out\ min}) = 3.0542\ V$$



Se aprecia en la salida una ganancia de -2.28 V/V respecto a una entrada de 10 mV, es una ganancia esperable dado que la calculada teóricamente fué de -2.64 V/V.

Pregunta 21 Problema 4.14: Introduzca la oscilación máxima de salida diferencial calculada (2 x oscilación de voltaje de un solo extremo) para el circuito (b); en (V).



Límite máximo:

$$V_{sgP} = V_{THp} + \sqrt{\frac{2I_d}{\mu_p C_{ox} \frac{W}{L3}}} = 1.5221 V$$

$$V_{overP} = V_{gs} - V_{THp} = 0.7221 V$$

$$V_{out\ max} = V_{DD} - V_{overP} = 2.2779 V$$

Límite mínimo:

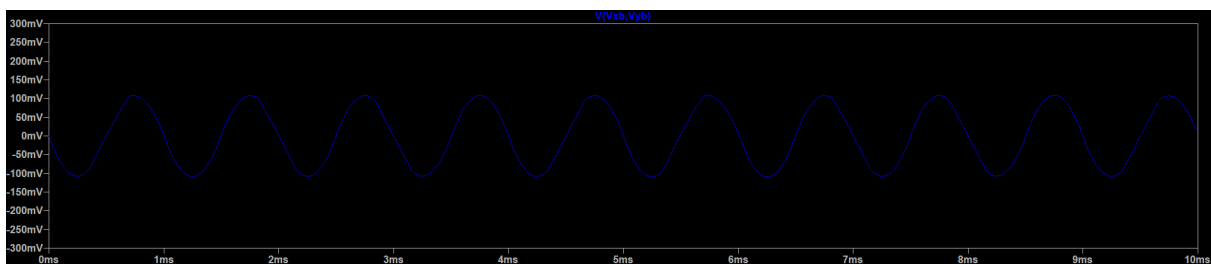
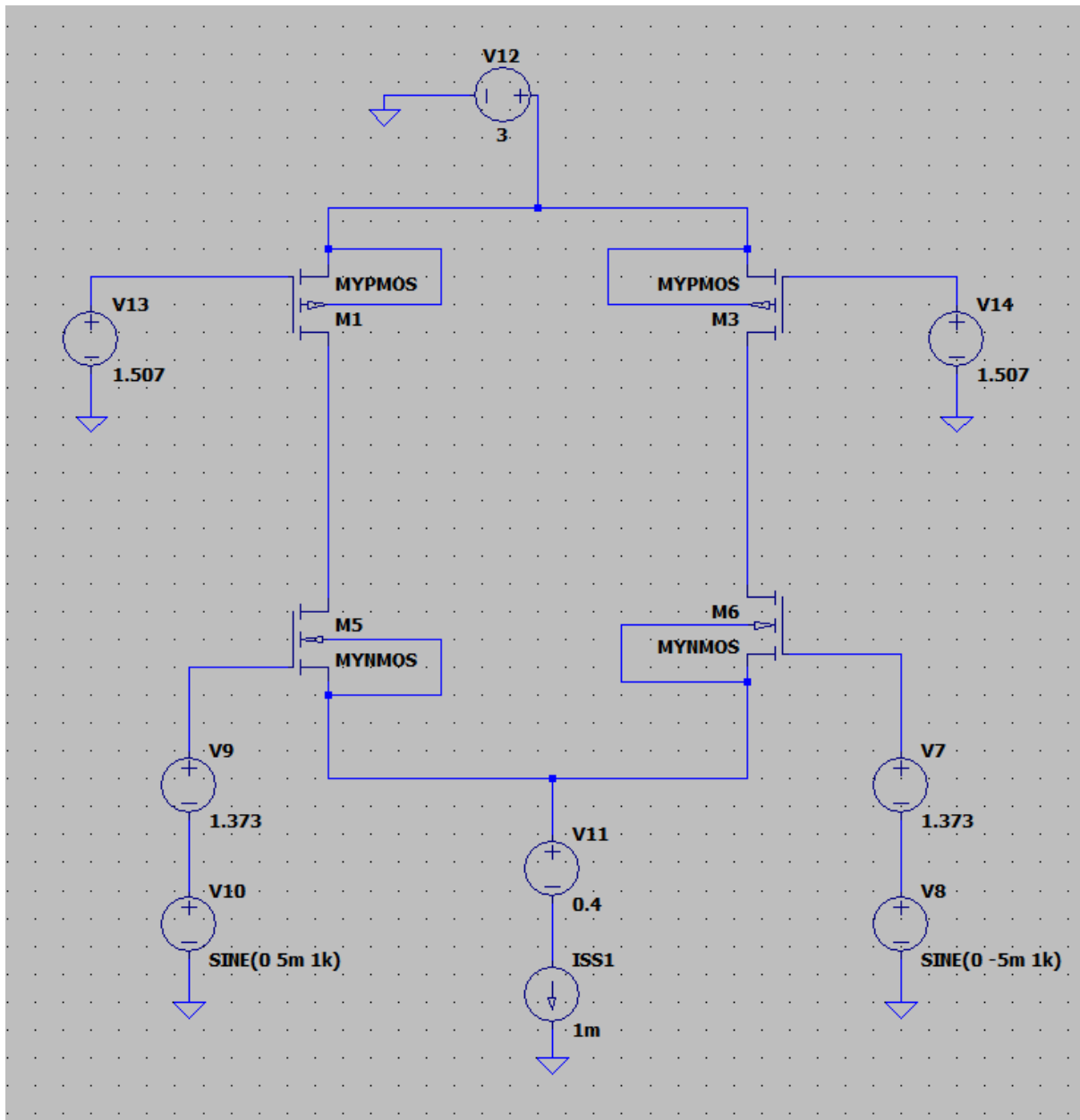
$$V_{out\ min} = V_{overN} + V_{P0} = 0.6729 V$$

$$Swing = 2 * (V_{out\ max} - V_{out\ min}) = 3.21 V$$

Es esperable que en el caso de colocar transistores como carga activa el circuito tenga mayor swing, en comparación a utilizar transistores como diodos.

Se calcula también, para poder implementar la simulación, la tensión V_B del PMOS:

$$V_B = V_s - V_{gs} = 1.4779 V$$



Señal de entrada: $\pm 107 \text{ mV}$

Señal de entrada: $\pm 5 \text{ mV}$

$$A_v = \frac{214 \text{ mV}}{10 \text{ mV}} = -21.4 \text{ V/V}$$