

## Unit 2 - Single-Stage Amplifiers

### Introducción:

Esta unidad abarca los amplificadores CMOS de una sola etapa. Aprenderemos las estructuras de las etapas de fuente común, seguidor de fuente, puerta común y cascode. Aprenderemos a analizar las características de señal alta y baja de cada una de estas etapas. Estas etapas individuales son la base de la construcción de amplificadores CMOS, y comprender a fondo su funcionamiento es esencial para el diseño y análisis posterior de amplificadores operacionales, comparadores y otros circuitos analógicos complejos.

### Leer:

Razavi: sección 3.1 - 3.6

### Wk02DQ1 – single stage amplifiers (5 points)

- 1- Resumir los tipos de amplificadores de una sola etapa e incluir sus principales características funcionales.
- 2- Aclarar las diferencias entre las características de alta y baja señal de un amplificador de una sola etapa. ¿Por qué es necesario considerar tanto las características de alta como las de baja señal, y por qué no solo una de ellas? ¿Qué suposiciones hacemos sobre la funcionalidad del circuito al utilizar el modelo de baja señal?

[Desarrollado aquí](#)

### Problems from Razavi's textbook:

Capítulo 3, Problema 3.2 - Notas:  $V_{dd} = 3\text{ V}$ , ignorar  $L_D$ , ignorar  $LAMBDA$  en los cálculos de  $I_d$  y  $g_m$  (no en el cálculo de  $r_o$ ).

A menos que se indique lo contrario, en los siguientes problemas, utilice los datos del dispositivo que se muestran en la Tabla 2.1 y suponga que  $V_{DD} = 3\text{ V}$  cuando sea necesario. Todas las dimensiones del dispositivo son valores efectivos y están expresadas en micras.

**Table 2.1** Level 1 SPICE models for NMOS and PMOS devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.09e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero  $V_{SB}$  (unit: V)

GAMMA: body-effect coefficient (unit:  $V^{1/2}$ )

PHI:  $2\Phi_F$  (unit: V)

TOX: gate-oxide thickness (unit: m)

NSUB: substrate doping (unit:  $\text{cm}^{-3}$ )

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit:  $\text{cm}^2/\text{V}\cdot\text{s}$ )

LAMBDA: channel-length modulation coefficient (unit:  $V^{-1}$ )

CJ: source/drain bottom-plate junction capacitance per unit area (unit:  $\text{F}/\text{m}^2$ )

CJSW: source/drain sidewall junction capacitance per unit length (unit:  $\text{F}/\text{m}$ )

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

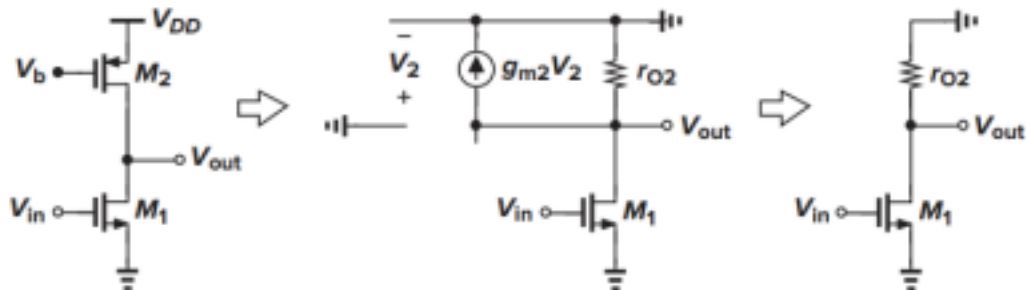
MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit:  $\text{F}/\text{m}$ )

CGSO: gate-source overlap capacitance per unit width (unit:  $\text{F}/\text{m}$ )

JS: source/drain leakage current per unit area (unit:  $\text{A}/\text{m}^2$ )

3.2. En el circuito de la Fig. 3.18, suponga que  $(W/L)_1 = 50/0.5$ ,  $(W/L)_2 = 50/2$  e  $I_{D1} = I_{D2} = 0.5$  mA cuando ambos dispositivos estn saturados. Recuerde que  $\lambda \propto 1/L$ . (a) Calcule la ganancia de voltaje de la pequea seal. (b) Calcule la oscilacin mxima del voltaje de salida mientras ambos dispositivos estn saturados.

**Figure 3.18** CS stage with current-source load.

### Question 1

Problem 3.2: ingrese el cálculo para  $\frac{1}{2} \mu_n C_{ox} (W/L)_1$  (mA/V<sup>2</sup>)

$$a = 0.0067 \text{ mA/V}^2$$

### Question 2

Problem 3.2: ingrese el cálculo para  $\frac{1}{2} \mu_p C_{ox} (W/L)_2$  (mA/V<sup>2</sup>)

$$b = 4.7950 \times 10^{-4} \text{ mA/V}^2$$

### Question 3

Problem 3.2: ingrese el cálculo para  $V_{gs1}$  (V)

$$V_{gs1} = V_{TH} + \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}_1}} = 0.9729 \text{ (V)}$$

### Question 4

Problem 3.2: ingrese el cálculo para  $g_{m1}$  (mA/V)

$$g_{m1} = 3.6642 \text{ mA/V}$$

### Question 5

Problema 3.2: ingrese el cálculo para  $V_{gs2}$  (V). Enter this value as negative number.

Sabiendo que

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}_2 * (V_{gs} - V_{th})^2$$

$$V_{sg2} = |V_{TH}| + \sqrt{\frac{2I_D}{\mu_p C_{ox} \frac{W}{L}_2}} = 1.8212 \text{ (V)}$$

$$V_{gs2} = |V_{TH}| + \sqrt{\frac{2I_D}{\mu_p C_{ox} \frac{W}{L}_2}} = -1.8212 \text{ (V)}$$

### Question 6

Problem 3.2: ingrese el cálculo para  $g_{m2}$  (mA/V)

$$g_{m2} = 0.9793 \text{ mA/V}$$

### Question 7

Problem 3.2: ingrese el cálculo para  $r_{o1}$  (kOhms)

$$r_{o1} = 20 \text{ kohms}$$

Question 8

Problem 3.2: ingrese el cálculo para ro2 (kOhms)

$$r_{o2} = 10 \text{ kohms}$$

Question 9

Problem 3.2: ingrese el cálculo para Av (valor negativo)

$$A_v = -g_{m1} * |r_{o1}/r_{o2}| = -24.4277 \text{ V/V}$$

Question 10

Problem 3.2: part b, enter the calculated value for maximum output voltage, Vout\_max (V)

$$V_{o-max} = V_{DD} - |V_{gs2} - V_{th2}| = 1.9788 \text{ V}$$

Question 11

Problem 3.2: part b, enter the calculated value for minimum output voltage, Vout\_min (V)

$$V_{o-min} = V_{in} - V_{th}$$

Planteamos que  $V_{in} = V_{gs1}$  y calculamos  $V_{gs1}$ .

$$V_{gs} = V_g - V_s$$

Debido a la configuración que estamos usando sabemos que  $V_s = 0V$

$$V_{gs1} = V_g = 0.97 \text{ V}$$

$$\text{Entonces } V_{o-min} = V_g - V_{th1} = 0.97 - 0.7 \text{ V} = 0.272 \text{ V}$$

Consideramos que el transistor está en saturación por lo tanto también podemos plantear que

$$V_{DS1} \leq V_{gs1} - V_{th} \rightarrow V_{DSmin} = 0.272 \text{ V}$$

Chapter 3 Problem 3.24 (only question a) - Notes: neglect  $r_o$ ,  $g_{mb}$ ,  $V_{DD}=3V$ , use eq 2.30 for  $g_m$ , use section 3.3.6 for  $G_m$  and  $A_v$  calculation

Using the provided transistor models construct in LTSpice the circuits in problems 3.2 and 3.24(a) and simulate the low frequency voltage gain (around 1kHz; use an input signal with about 10mV amplitude)

Unless otherwise stated, in the following problems, use the device data shown in Table 2.1 and assume that  $V_{DD} = 3V$  where necessary. All device dimensions are effective values and in microns

3.24. Consider the circuit of Fig. 3.23 with  $(W/L)_1 = 50/0.5$ ,  $R_D = 2k$ , and  $R_S = 200$ .

(a) Calculate the small-signal voltage gain if  $I_D = 0.5mA$ .

(b) Assuming  $\lambda = \gamma = 0$ , calculate the input voltage that places  $M_1$  at the edge of the triode region. What is the gain under this condition?

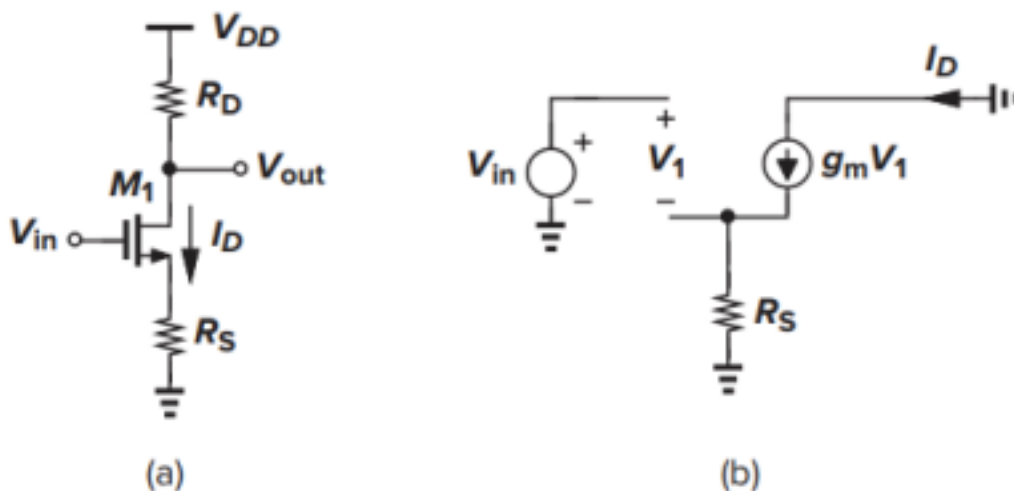


Figure 3.23 CS stage with source degeneration.

Question 12

Problem 3.24: part a, enter the calculated value for transistor  $r_o$  (kOhms)

$$r_o = \frac{1}{\lambda I_D} = 20 \text{ kohms}$$

Question 13

Problem 3.24: part a, enter the calculated value for transistor  $V_{ds}$  (V)

Sabiendo que  $R_S = 200 \text{ ohm}$  podemos calcular la tensión en source

$$V_s = I_D * R_S = 0.1V$$

Análogamente podemos hacer lo mismo en la tensión de drain:

$$R_d = 2 \text{ kohm} \rightarrow V_d = V_{DD} - I_D * R_D = 2 \text{ V}$$

Por último calculamos la diferencia de potencial:

$$V_{ds} = V_d - V_s = 1.90 \text{ V}$$

Question 14

Problem 3.24: part a, enter the calculated value for transistor gm (mA/V)

$$gm = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D (1 + \lambda V_{DS})} = 3.9971 \text{ mA/V}$$

Question 15

Problem 3.24: part a, enter the calculated value for circuit Gm (mA/V)

$$G_m = \frac{g_m * r_o}{R_s + R_{out}} = 2.2091 \text{ mA/V}$$

Siendo  $R_{out} = (1 + gm * R_s) * r_o$  para poder tener en cuenta el efecto de  $r_o$  en el cálculo.

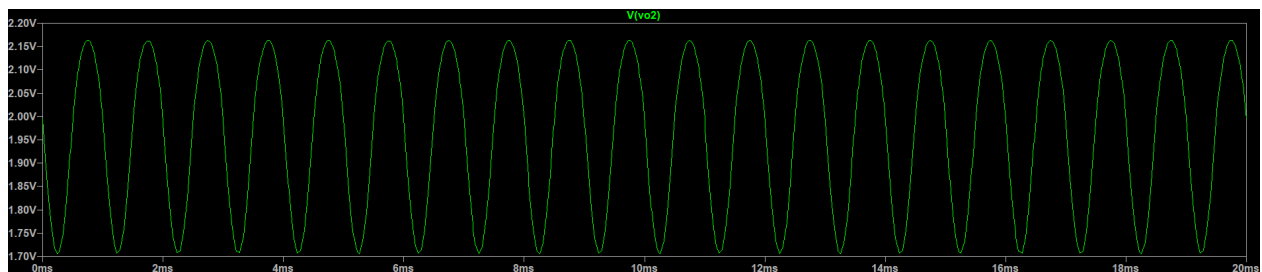
Question 16

Problem 3.24: part a, enter the calculated value for Av

$$A_v = - \frac{g_m * r_o * R_D}{R_D + R_s + r_o + (g_m * R_s * r_o)} = - 4.1867 \text{ V/V}$$

Question 17

Circuit simulation of Problem 3.2: enter the simulated voltage gain (negative value)



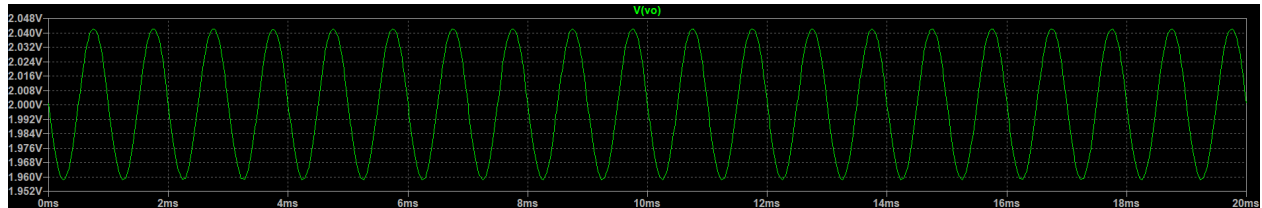
Sacando primero el valor medio de la señal haciendo  $V_{out} = 2.15 - 1.70 = 0.45 \text{ V}$

Sacamos el valor simulado de la ganancia de tensión como:  $A_v = \frac{V_{out}}{V_{in}} = - 22.5 \text{ V/V}$ .

Consideramos que es un valor correcto puesto a que el cálculo de la misma había dado -24.4 V/V.

#### Question 18

Circuit simulation of Problem 3.24: enter the simulated voltage gain (negative value)



Sacando primero el valor medio de la señal haciendo  $V_{out} = 2.04 - 1.96 = 0.08 V$

Sacamos el valor simulado de la ganancia de tensión como:  $A_v = \frac{V_{out}}{V_{in}} = -4 V/V$ .

Consideramos que es un valor correcto puesto a que el cálculo de la misma había dado -4.1 V/V.

#### Question 19

Upload the file that shows your detailed calculations for problems 3.2 and 3.24

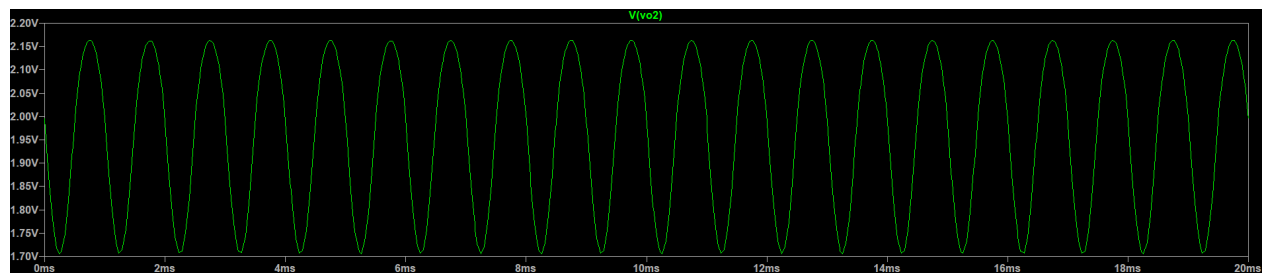
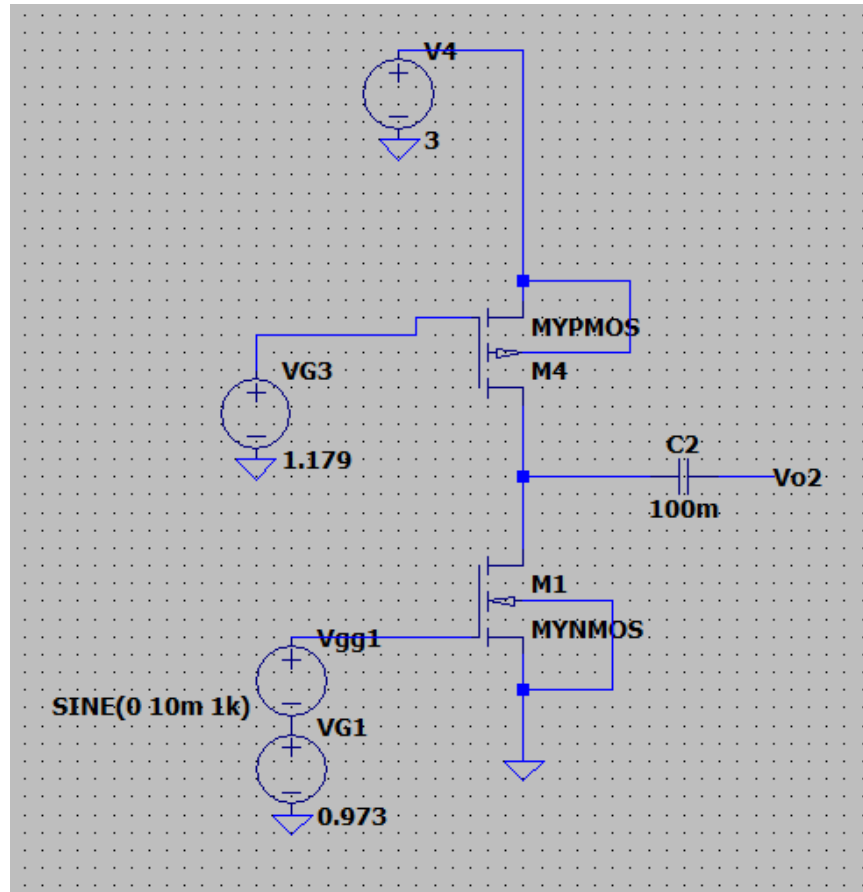
[Aquí código de MATLAB](#)

#### Question 20

Upload screenshots of the LTSpice simulation results (waveforms) used for determining  $A_v$  on both circuits (3.2 and 3.24)

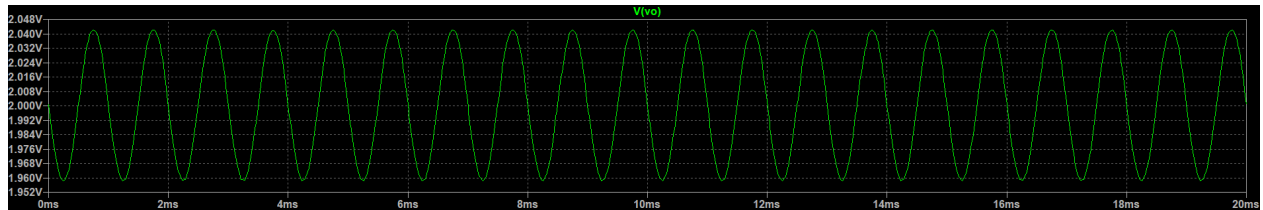
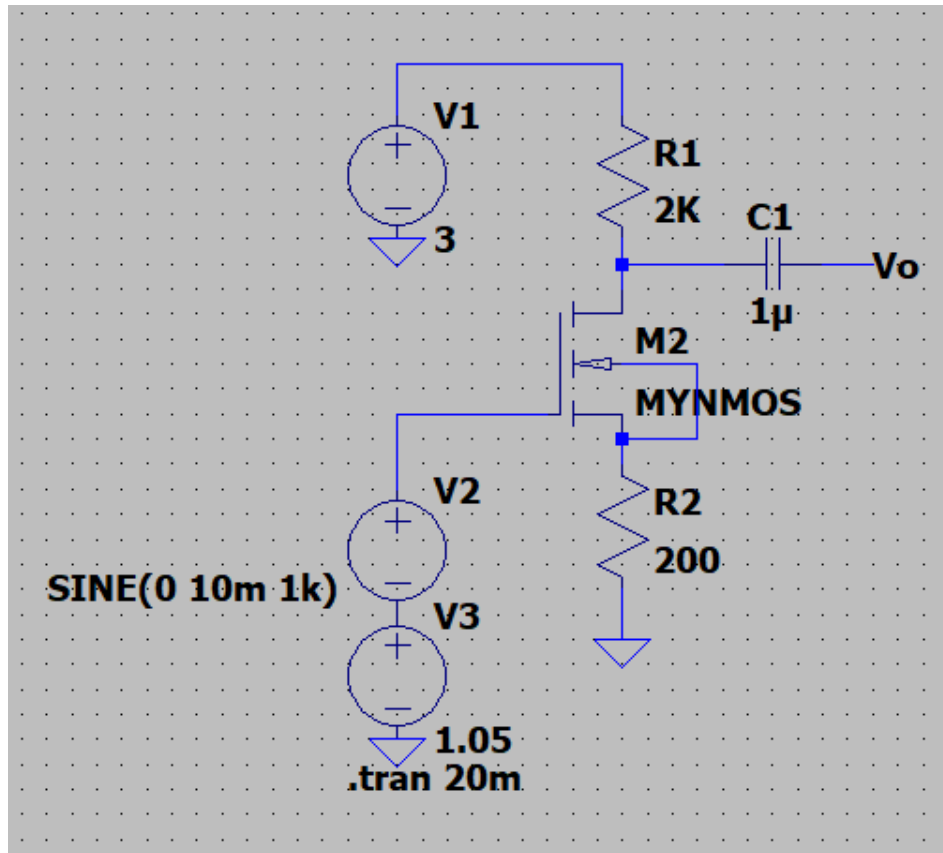
En ambos circuitos pondremos como señal de entrada una senoidal de amplitud 10 mV y frecuencia de 1kHz.

3.2





3.24



Ubicar el NMOS en zona del triodo significa que  $V_{DS} = V_{GS} - V_{th}$  y por otro lado también sabemos que:

$$V_{DS} = V_{in} - V_S = V_{in} - I_D * R_S$$

$$V_{DS} = V_D - V_S = V_{dd} - I_D * R_D - I_D * R_S$$

Ubicamos las ecuaciones en la condición de frontera y queda expresado:

$$V_{in} = V_{dd} - I_D * R_D + V_{th}$$

$$V_{in} = 3 - 0.5 * 2 + 0.8 = 2.2 \text{ V}$$

De manera teórica, la ganancia de tensión en esta zona es nula; podemos considerar al transistor como una resistencia de valor controlado.