

PRÁCTICA 4

CIRCUITOS COMBINACIONALES I

1. Introducción

En esta práctica vamos a aprender a describir algunos circuitos combinacionales en VHDL.

2. Objetivos

- Practicar la descripción de circuitos combinacionales en VHDL.
- Practicar el proceso de diseño en FPGAs con la herramienta Vivado de Xilinx.

3. Trabajo previo

Repasar las sentencias VHDL.

Repasar los circuitos combinacionales.

4. Pasos a seguir

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo.

5. Ejercicios

5.1. Función lógica de 4 variables

Describir la siguiente función lógica de 4 entradas en un fichero denominado “funcion_4_entr.vhd”, incluido en el proyecto “practica_4_ej_1”.

Utilizar las sentencias VHDL que se consideren oportunas para describir su comportamiento.

Especificaciones

Una función lógica de 4 entradas obedece a la siguiente tabla de verdad:

| Decimal | a | b | c | d | Y |
|----------------|----------|----------|----------|----------|----------|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | 1 |

Simulación

Escribir un banco de pruebas que cubra todas las posibles combinaciones de las entradas.

Prueba en placa

Para comprobar el circuito en la placa, asignar los puertos del circuito a los siguientes componentes de la placa en el fichero XDC:

| Puerto | Componente de la placa Basys 3 |
|---------------|---------------------------------------|
| a | SW3 |
| b | SW2 |
| c | SW1 |
| d | SW0 |
| Y | LD0 |

5.2. Sumador de 2 bits sin signo

Describir el siguiente circuito combinacional: sumador de 2 bits sin signo en un fichero denominado “sumador_2_bits.vhd”, incluido en el Proyecto “practica_4_ej_2”.

Utilizar las sentencias VHDL que se consideren oportunas para describir su comportamiento.

Especificaciones

Este circuito debe activar sus salidas “resultado(2:0)” en función del valor de los operandos A(1:0) y B(1:0) para realizar una suma aritmética. Tanto las entradas como las salidas del circuito deben considerarse como vectores, aunque en la arquitectura pueden describirse por separado si se desea.

Tabla de verdad

| A (1:0) | | B (1:0) | | Resultado (2:0) | | |
|---------|---|---------|---|-----------------|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Simulación

Escribir un banco de pruebas que cubra todas las posibles combinaciones de las entradas.

Prueba en placa

Para comprobar el circuito en la placa, asignar los puertos del circuito a los siguientes componentes de la placa en el fichero XDC:

| Puerto | Componente de la placa Basys 3 |
|---------------|---------------------------------------|
| A(1) | SW(3) |
| A(0) | SW(2) |
| B(1) | SW(1) |
| B(0) | SW(0) |
| Resultado(2) | LD(2) |
| Resultado(1) | LD(1) |
| Resultado(0) | LD(0) |

6. Resultados

- En la sesión de laboratorio, los estudiantes deben mostrar cada uno de los circuitos al, profesor.
- Dentro de la misma sesión, los estudiantes deben subir los ficheros descritos abajo a la correspondiente carpeta de ejercicios de FAITIC:
 - Proyectos comprimidos de Vivado correspondiente a cada uno de los ejemplos y ejercicios. Los ficheros deben tener la extensión “.zip” y se generan en el propio Vivado. Los nombres para esta práctica han de ser los siguientes
 - Practica_4_ej_1.zip
 - Practica_4_ej_2.zip