

PRÁCTICA 11
INSTRUMENTACIÓN DIGITAL
MONTAJE Y CONEXIÓN DE COMPONENTES

1. Introducción

En esta práctica continuaremos el aprendizaje del lenguaje VHDL para la descripción de circuitos secuenciales síncronos de control, y aplicaremos lo aprendido en la práctica anterior para diseñar el sistema síncrono de control de un motor paso a paso.

En concreto, trataremos los siguientes aspectos:

- Manejo del analizador lógico LA-2124A (Manual completo en FAITIC).
- Conexión de componentes externos al FPGA.

2. Objetivos

- Aprender a manejar un analizador lógico.
- Aprender a analizar el funcionamiento de un circuito secuencial básico mediante el analizador lógico.
- Aprender a conectar distintos componentes básicos a un FPGA para analizar su funcionamiento.
- Manejar el analizador lógico para verificar en placa el correcto funcionamiento de los circuitos diseñados.

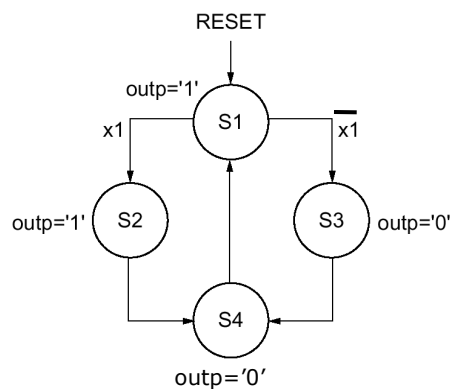
3. Trabajo previo

- Repasar la teoría de circuitos secuenciales y máquinas de estados.
- Descargar los ficheros disponibles para la realización del ejemplo de FaiTIC.
- Realizar el esquema “top_control_basico_placa.sch” para la prueba en placa del ejemplo 4.1.1 y modificar el fichero UCF disponible en FaiTIC para realizar la asignación de los terminales de entrada/salida especificada.
- Haber realizado la descripción en VHDL y la simulación funcional de la máquina de estados para el control de un motor paso a paso (ejercicio 4.1.3 de la práctica anterior).
- Realizar el esquema “top_motor_placa.sch” para la prueba en placa del ejemplo 4.2.1 y modificar el fichero UCF disponible en FaiTIC para realizar la asignación de los terminales de entrada/salida especificada.

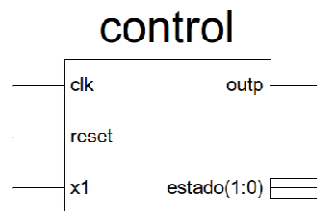
4.1. Ejemplos. (4 puntos).

4.1.1. Máquina de estados básica con 3 procesos. Análisis del funcionamiento de la máquina de estados básica con 3 procesos en modo analizador temporal (2 puntos).

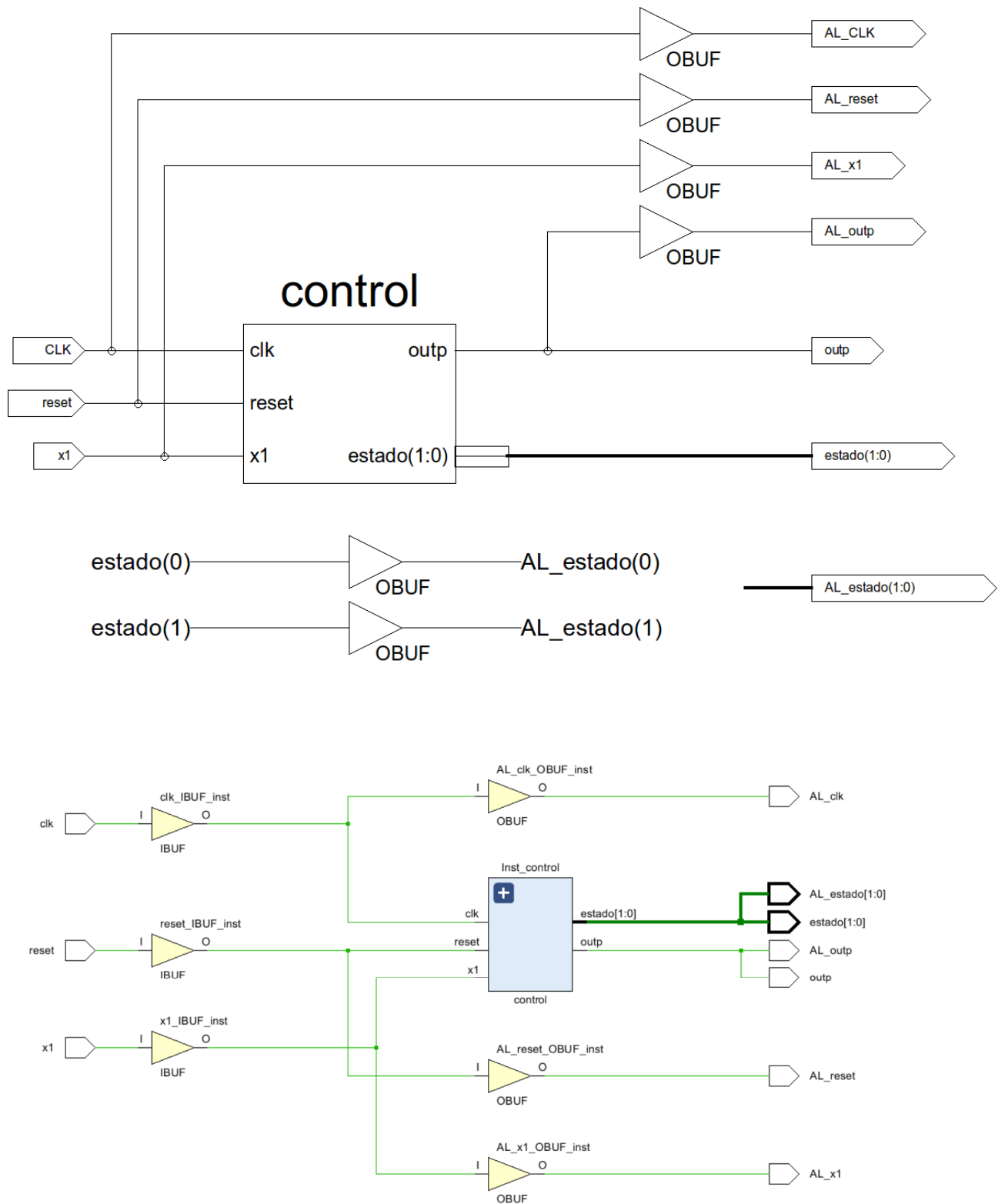
Crear un nuevo proyecto y añadir los ficheros VHDL disponibles en el directorio de recursos de esta práctica de FaiTIC. Estos ficheros describen la máquina de estados básica correspondiente al siguiente grafo de estados (analizado en el documento Desarrollo_Practica_10_Electronica_Digital.pdf) y al banco de pruebas necesario para la simulación.

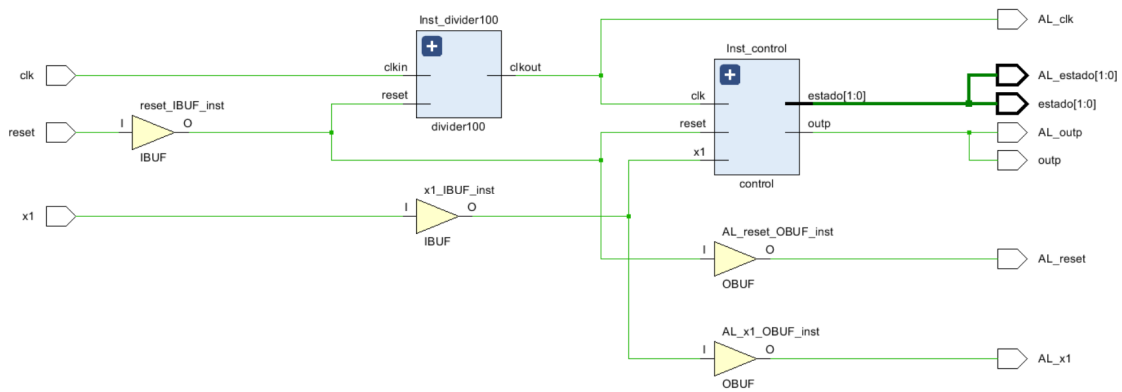


Realizar todas las tareas anteriores, excepto la prueba en placa, para la máquina de estados:



Para probar el funcionamiento de la máquina de estados básica en la placa con el analizador lógico, realizar un fichero VHDL denominado “top_control.vhd” que responda al siguiente esquema:





Los componentes “OBUF” sólo representan un cambio de nombre de la señal, por tanto, no son necesarios en VHDL, ya que basta con realizar una asignación directa en VHDL.

Asignar los siguientes terminales para la prueba en la placa:

Señal del circuito	Elemento de la placa Basys 3	Analizador lógico	Señal del circuito	Elemento de la placa Basys 3
AL_reset	conector J1_1	Ch00	reset	BTNC
AL_clk	conector J1_2	Ch01	clk	Clk
AL_x1	conector J1_3	Ch02	x1	SW(0)
AL_outp	conector J1_4	Ch03	outp	LD(15)
AL_estado(0)	conector J1_7	Ch04	estado(0)	LD(0)
AL_estado(1)	conector J1_8	Ch05	estado(1)	LD(1)
GND	conector J1_5	Cualquier GND		

Generar el fichero de configuración con la nueva asignación de terminales y configurar la FPGA.

Verificar el funcionamiento del circuito en la placa.

¿Funciona correctamente la máquina de estados básica al probarla en la placa? ¿Se cumplen las transiciones entre estados descritas? ¿Por qué?

Para comprobar el funcionamiento del circuito con el analizador lógico, se cablearán las salidas del circuito de control desde el conector J1 de la placa de FPGA a los canales del analizador lógico de acuerdo con la tabla anterior.

El analizador lógico se utilizará como analizador temporal (reloj interno) y en modo de adquisición automático (sin condición de disparo), de acuerdo con los parámetros de captura incluidos en la presentación de la práctica.

Configurar los canales de usuario desde la ventana <View> <Channel/State/Timing Edit>, de manera que se visualicen todas las señales con sus nombres en la pantalla temporal (*Timing Track*).

Comprobar que las formas de onda de la salida siguen la secuencia adecuada, en función de la señal x1. Copiar las formas de onda capturadas por el analizador (ALT + ImprPant) para x1='0' y para x1='1' y pegarlas en un documento que se guardará como "informe_practica11.doc". En FaiTIC se encuentra disponible un formato de informe.

4.1.2. Análisis del funcionamiento de la máquina de estados básica con 3 procesos en modo analizador temporal usando condición de disparo (2 puntos).

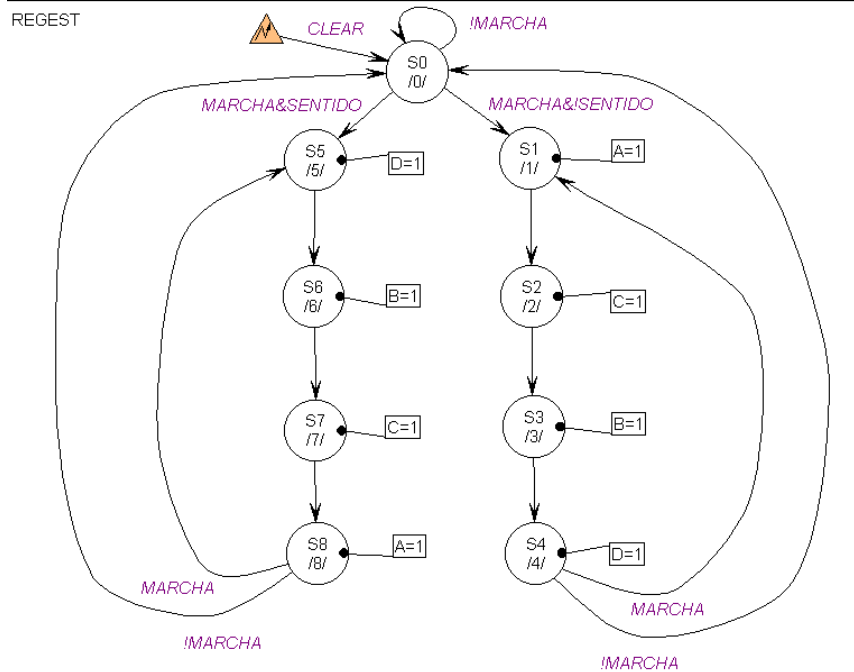
Con el mismo montaje anterior, en este ejemplo se utilizará el analizador lógico como analizador temporal, con una condición de disparo correspondiente al nivel 1 de la señal x1 y en modo de una única adquisición, de acuerdo con los parámetros de captura incluidos en la presentación de la práctica.

Copiar las formas de onda capturadas por el analizador (ALT + ImprPant) y pegarlas en el "informe_practica11.doc". En FaiTIC se encuentra disponible un formato de informe.

4.2. Ejercicios (6 puntos).

4.2.1. Circuito para el control de un motor paso a paso (2 puntos).

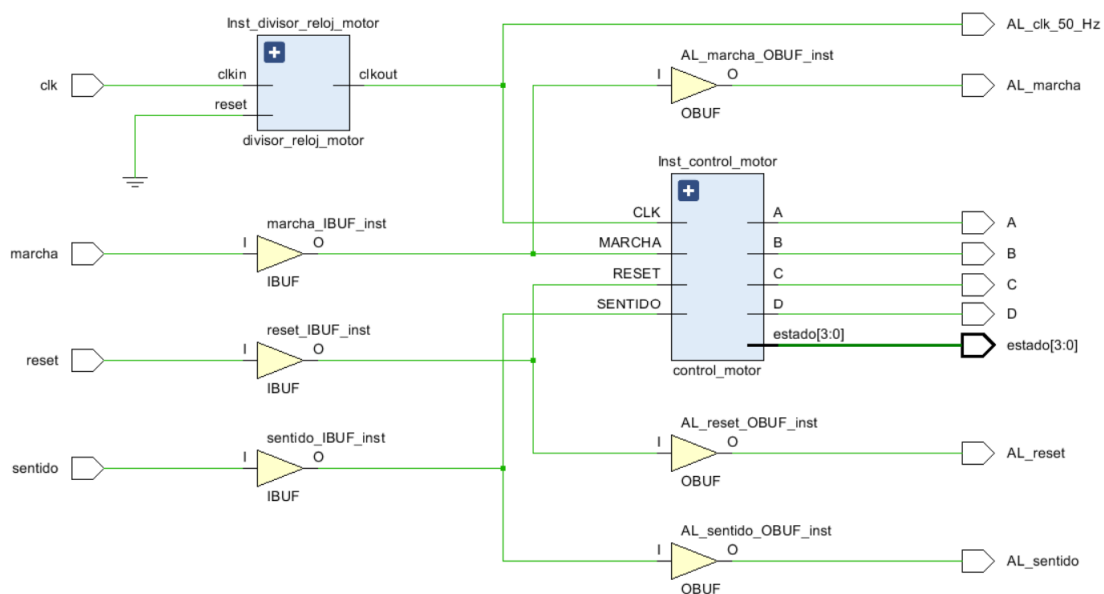
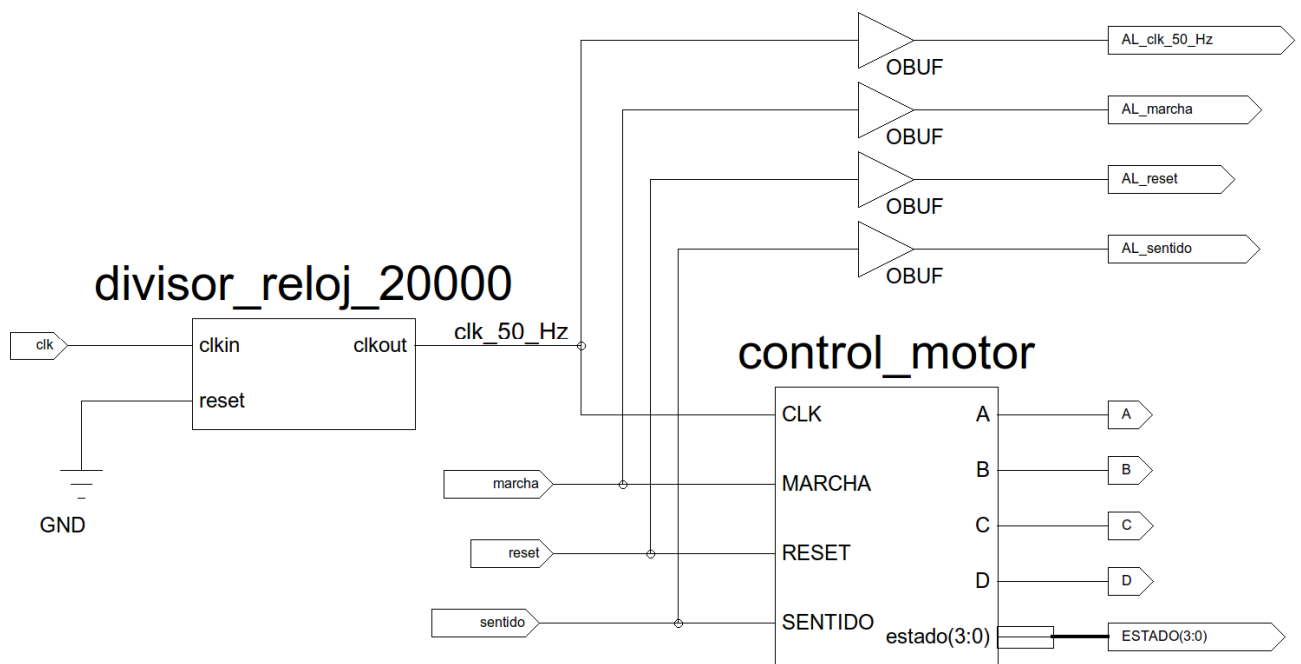
Abrir el proyecto "practica_10_ejercicio_3" de la práctica anterior en donde se ha diseñado en VHDL la máquina de estados que realiza el control de un motor paso a paso siguiendo el siguiente grafo de estados.



Realizar un fichero VHDL denominado “top_motor_placa.vhd” que responda al siguiente esquema, utilizando la máquina de estados diseñada anteriormente y el circuito divisor de frecuencia suministrado por el profesor (“divisor_reloj_motor”). Realizar la simulación temporal del circuito.

Los componentes “OBUF” sólo representan un cambio de nombre de la señal, por tanto, no son necesarios en VHDL, ya que basta con realizar una asignación directa en VHDL.

En el motor utilizado para la prueba, la frecuencia de la señal de reloj debe estar comprendida entre 12,5 y 100 Hz, por eso es necesario poner ese circuito divisor de reloj, que divide la frecuencia de 100 MHz de la señal de reloj principal entre 2.000.000, obteniendo una señal de reloj de frecuencia 50 Hz.



4.2.2. Verificar el funcionamiento en placa de la máquina de estados para el control de un motor paso a paso utilizando el analizador lógico (2 puntos).

Partiendo del proyecto creado en el apartado anterior, se generará el fichero de configuración con la asignación de terminales de la tabla siguiente y se configurará la FPGA.

Señal del circuito	Elemento de la placa Basys 3	Analizador lógico	Señal del circuito	Elemento de la placa Basys 3
AL_reset	conector J1_1	Ch00	reset	BTNC
AL_clk_50_Hz	conector J1_2	Ch01	clk	Clk
AL_marcha	conector J1_3	Ch02	marcha	SW(0)
AL_sentido	conector J1_4	Ch03	sentido	SW(1)
A	conector J1_7	Ch04	estado(3)	LD(3)
B	conector J1_8	Ch05	estado(2)	LD(2)
C	conector J1_9	Ch06	estado(1)	LD(1)
D	conector J1_10	Ch07	estado(0)	LD(0)
GND	conector J1_5	Cualquier GND		

Para comprobar el funcionamiento del circuito con el analizador lógico, se cablearán las salidas del circuito de control desde el conector J1 de la placa de FPGA a los canales del analizador lógico de acuerdo con la tabla anterior.

Configurar los parámetros del analizador lógico para utilizarlo como analizador temporal, en modo de adquisición automática (sin condición de disparo), con una frecuencia de muestreo adecuada para visualizar las señales del circuito.

Configurar los canales de usuario desde la ventana *<View> <Channel/State/Timing Edit>*, de manera que se visualicen todas las señales con sus nombres en la pantalla temporal (*Timing Track*).

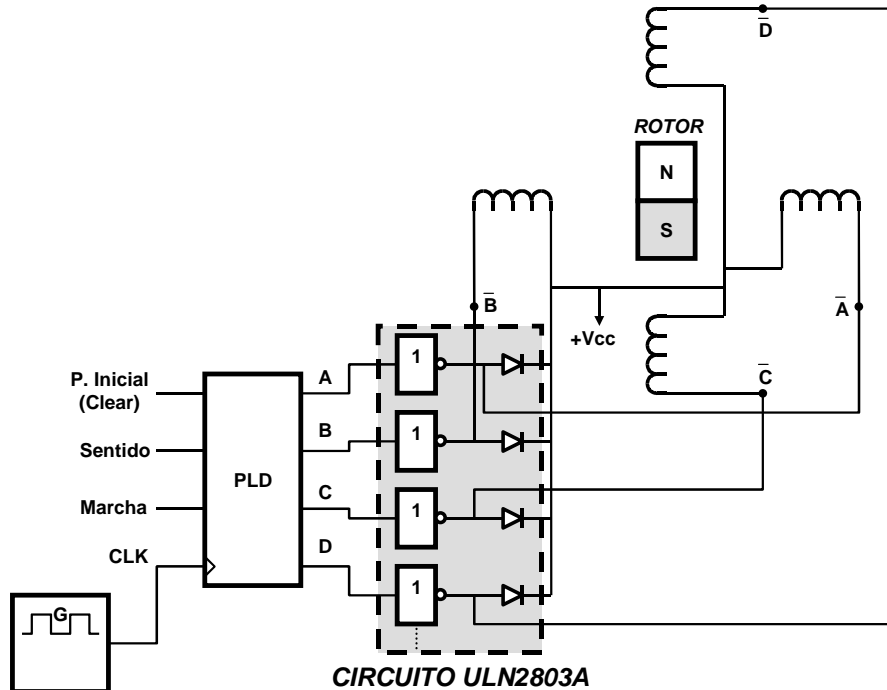
Realizar la adquisición de muestras. Comprobar que las formas de onda de la salida siguen la secuencia adecuada, en función de la señal de sentido.

Debemos recordar que hay que cambiar el valor de la señal de sentido con la señal marcha a 0 para que tenga efecto.

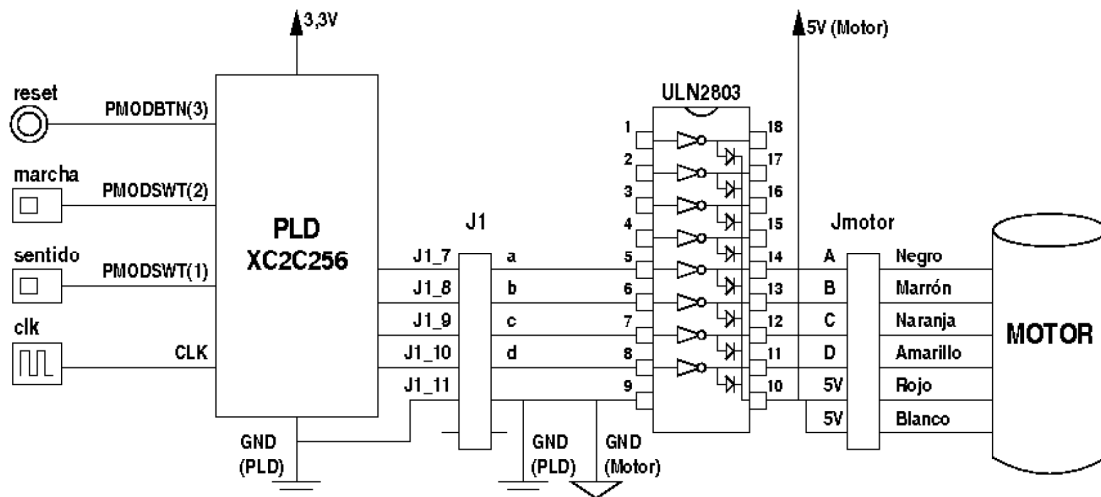
Copiar las formas de onda capturadas por el analizador (ALT + ImprPant) para giro en sentido horario y sentido anti-horario y pegarlas en el “informe_practica_11.doc”. En FaiTIC se encuentra disponible un formato de informe.

4.2.3. Verificar el correcto funcionamiento de la máquina de estados para el control de un motor paso a paso utilizando el motor paso a paso (2 puntos).

La prueba de este circuito en la placa se realizará con el mismo circuito del apartado anterior de acuerdo al siguiente esquema de montaje.



que se concreta en el siguiente montaje, que será suministrado por el profesor:



IMPORTANTE: Puede ser necesario accionar el pulsador “reset” una vez programado la FPGA, para que la máquina de estados se inicialice al estado S0 y el circuito comience a funcionar.

5. Resultados.

- En el laboratorio, el día de las prácticas, se debe enseñar al profesor el funcionamiento en la placa de desarrollo de cada uno de los circuitos, así como el análisis del funcionamiento realizado con el analizador lógico.
- Se debe rellenar un informe de los resultados del análisis de los circuitos, incluyendo figuras capturadas del “software” del analizador lógico, en las que se observe el funcionamiento previsto, de acuerdo con el formato de informe disponible en FaiTIC.
- Antes de la fecha límite de cada práctica, deberán subirse al apartado correspondiente a la práctica, de la carpeta “Ejercicios” de FaiTIC, la siguiente documentación.
 - Informe de los resultados de la práctica. El nombre del archivo debe ser: informe_practica_11.doc (o .docx)”
 - Proyectos Vivado comprimidos correspondientes a los circuitos diseñados. El nombre de los archivos debe ser el siguiente:
 - practica_11_ejemplo.zip
 - practica_11_ejercicio_1.zip