

# **PRÁCTICA 7**

## **CIRCUITOS ARITMÉTICOS I**

### **1. Introducción**

En esta práctica vamos a aprender a describir los circuitos aritméticos básicos.

### **2. Objetivos**

- Aprender a diseñar circuitos aritméticos básicos.
- Practicar el proceso de diseño en FPGAs con la herramienta Vivado de Xilinx.

### **3. Trabajo previo**

Repasar las sentencias VHDL.

Repasar la aritmética binaria.

### **4. Pasos a seguir**

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo.

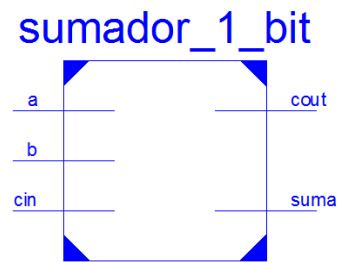
#### **5.1. Ejercicios (10 puntos).**

##### **5.1.1. Sumador total de 2 números de 1 bit. (3 puntos).**

Realizar todas las tareas anteriores para el siguiente circuito:

Se realizará siguiendo la tabla de verdad del circuito y escogiendo las sentencias VHDL que el alumno considere más adecuadas.

Ai	Bi	ACARREO ANTERIOR (Cin)	ACARREO DE SALIDA (Cout)	SUMA (Si)
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben todas las combinaciones de las variables de entrada. Cada combinación de valores de las entradas debe mantenerse estable al menos un paso de simulación (1 microsegundo).

Para probar el circuito en la placa, se asignarán los siguientes terminales:

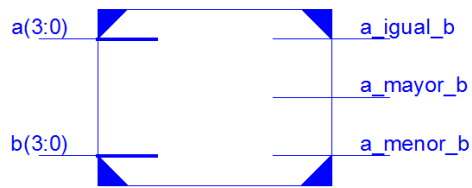
Señal del circuito	Elemento de la placa Basys 3
cin	SW(2)
B	SW(1)
A	SW(0)
cout	LD(1)
suma	LD(0)

### 5.1.2. Comparador de magnitud de 2 números de 4 bits (3 puntos).

Realizar todas las tareas anteriores para el siguiente circuito:

El circuito debe tener las salidas: “a\_mayor\_que\_b”, “a\_menor\_que\_b”, “a\_igual\_b”. Se deben utilizar los operadores “>”, “<” e “=” de VHDL y el paquete de la biblioteca de IEEE correspondiente a los números sin signo.

### comparador\_4\_bits



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- a = “0011” mientras “b” recorre todas las combinaciones.
- b = “1100” mientras “a” recorre todas las combinaciones.
- Cada combinación de valores de las entradas debe mantenerse estable al menos un paso de simulación (1 microsegundo).

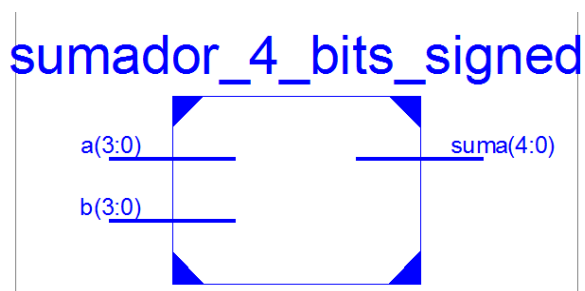
Asignación de terminales para la prueba en la placa.

Señal del circuito	Elemento de la placa Basys 3
a(3:0)	SW(3:0)
b(3:0)	SW(7:4)
a_igual_b	LD(0)
a_mayor_b	LD(1)
a_menor_b	LD(2)

### 5.1.3. Sumador de 2 números con signo de 4 bits (4 puntos).

Realizar todas las tareas anteriores para el siguiente circuito:

Se debe utilizar el operador “+” en VHDL y extender 1 bit los operandos, para obtener un resultado correcto. Además, se debe utilizar el paquete de la biblioteca de IEEE correspondiente a los números con signo.



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- a = “0111” mientras “b” recorre todas las combinaciones.
- b = “1110” mientras “a” recorre todas las combinaciones.
- Cada combinación de valores de las entradas debe mantenerse estable al menos un paso de simulación (1 microsegundo).

Asignación de terminales para la prueba en la placa.

Señal del circuito	Elemento de la placa Basys 3
a(3:0)	SW(3:0)
b(3:0)	SW(7:4)
suma(4:0)	LD(4:0)

## 6. Resultados.

- En el laboratorio, el día de las prácticas, se debe enseñar al profesor la simulación temporal de cada uno de los circuitos, una vez implementados sin errores, con el informe de implementación (“fitting”) abierto.
- Asimismo, se deberá enseñar el funcionamiento en la placa de desarrollo de cada uno de los circuitos en los que se pida esta tarea.
- Antes de la fecha límite de cada práctica, deberán subirse al apartado correspondiente a la práctica, de la carpeta “Ejercicios” de FaiTIC, la siguiente documentación.
  - Proyectos ISE comprimidos correspondientes a cada uno de los circuitos diseñados. El nombre de los archivos debe ser el siguiente:
    - practica\_7\_ejercicio\_1.zip
    - practica\_7\_ejercicio\_2.zip
    - practica\_7\_ejercicio\_3.zip