

PRÁCTICA 6

CIRCUITOS COMBINACIONALES III

1. Introducción

En esta práctica vamos a aprender a describir algunos bloques combinacionales básicos en VHDL.

2. Objetivos

- Practicar la descripción de circuitos combinacionales en VHDL.
- Practicar el proceso de diseño en FPGAs con la herramienta Vivado de Xilinx.

3. Trabajo previo

Repasar las sentencias VHDL.

Repasar los circuitos combinacionales.

4. Pasos a seguir

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo.

5.1. Ejercicios (10 puntos).

5.1.1. Decodificador 1 entre 4 con salidas activas a nivel cero (3 puntos).

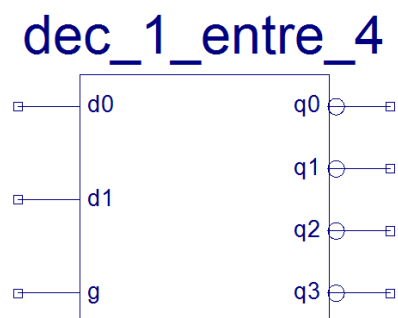
Utilizar **operadores lógicos (and, or, etc.)** para su descripción.

Realizar todas las tareas anteriores para el siguiente circuito:

Tabla de verdad.

G	d1	d0	q3	q2	q1	q0
0	X	X	1	1	1	1

Práctica 6 Electrónica Digital. Circuitos combinacionales I.



1	0	0	1	1	1	0
1	0	1	1	1	0	1
1	1	0	1	0	1	1
1	1	1	0	1	1	1

Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Con la señal de inhibición (G) a nivel 0, todas las salidas q(i) están a nivel 1 independientemente del valor de las entradas d1 y d0.
- Con la señal de inhibición (G) a nivel 1, se deben activar sucesivamente las distintas combinaciones de las entradas d1 y d0 para comprobar que la salida q(i) correspondiente se activa a nivel 0.
- Cada combinación de valores de las entradas debe mantenerse estable al menos un paso de simulación (1 microsegundo).

Asignación de terminales para la prueba en la placa

Señal del circuito	Elemento de la placa Basys 3
d1	SW(1)
d0	SW(0)
G	SW(15)
q3	LD(3)
q2	LD(2)
q1	LD(1)
q0	LD(0)

5.1.2. Multiplexor de 4 canales de 1 bit (3 puntos).

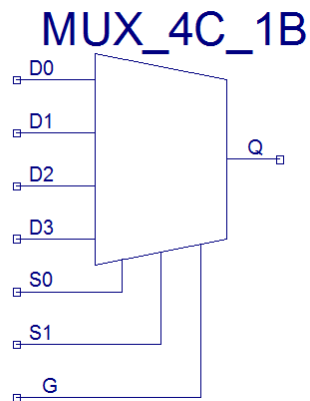
Utilizar la **sentencia “case”** para su descripción.

Realizar todas las tareas anteriores para el siguiente circuito:

Tabla de verdad.

G	S1	S0	Q
0	X	X	0

1	0	0	D0
1	0	1	D1
1	1	0	D2
1	1	1	D3



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Con la señal de inhibición (G) a nivel 0, la salida Q está a nivel 0 independientemente del valor de las entradas S1 y S0.
- Con la señal de inhibición (G) a nivel 1, la salida Q sigue a la entrada D(i) correspondiente a la combinación seleccionada mediante las entradas S1 y S0. Para comprobar esto, se debe modificar el valor de la entrada D(i) seleccionada en cada momento.
- Cada combinación de valores de las entradas debe mantenerse estable al menos un paso de simulación (1 microsegundo).

Asignación de terminales para la prueba en la placa

Señal del circuito	Elemento de la placa Basys 3
s1	SW(14)
s0	SW(13)
g	SW(15)
d3	SW(3)
d2	SW(2)
d1	SW(1)

Señal del circuito	Elemento de la placa Basys 3
d0	SW(0)
q	LD(0)

4.1.3. Decodificador de código binario a código de 7 segmentos de ánodo común (4 puntos).

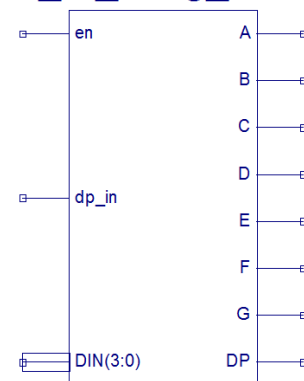
Utilizar la **sentencia “with...select”** para su descripción.

Realizar todas las tareas anteriores excepto la prueba en la placa para el siguiente circuito.

Tabla de verdad.

en	DIN(3:0)	ABCDEFGG	dp_in	DP
0	XXXX	1111111	X	1
1	0000	0000001	0	1
1	0001	1001111	1	0
..... Resto combinaciones hasta				
1	1111	0111000	1	0

bin_to_7seg_anodo



El circuito debe incluir además las salidas “an3”, “an2”, “an1” y “an0”. “an0” se debe fijar a 0 lógico para activar el dígito 0 del visualizador. Las demás se deben fijar a 1 lógico para inhibir el resto de los dígitos.

Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Con la señal de habilitación (en) a nivel 0, todas las salidas están a nivel 1 independientemente del valor de las entradas DIN(3:0) y dp_in.
- Con la señal de habilitación (en) a nivel 1, se activan las salidas correspondientes a los segmentos ABCDEFG que permiten dibujar el carácter seleccionado por la combinación de las entradas DIN(3:0). Se deben probar las dieciséis combinaciones de las entradas DIN(3:0) en orden.
- Con la señal de habilitación (en) a nivel 1, la salida DP tiene el nivel opuesto al de la entrada dp_in.
- Cada combinación de valores de las entradas debe mantenerse estable al menos un paso de simulación (1 microsegundo).

Asignación de terminales para la prueba en la placa

Señal circuito	Elemento placa Basys 3	Señal circuito	Elemento placa Basys 3
DIN(3)	SW(3)	a	ca
DIN (2)	SW(2)	b	cb
DIN (1)	SW(1)	c	cc
DIN (0)	SW(0)	d	cd
en	SW(15)	e	ce
dp_in	BTNC	f	cf
an3	an3	g	cg
an2	an2	dp	dp
an1	an1		
an0	an0		

6. Resultados.

- En el laboratorio, el día de las prácticas, se debe enseñar al profesor la simulación temporal de cada uno de los circuitos, una vez implementados sin errores, con el informe de implementación (“fitting”) abierto.
- Asimismo, se deberá enseñar el funcionamiento en la placa de desarrollo de cada uno de los circuitos en los que se pida esta tarea.
- Antes de la fecha límite de cada práctica, deberán subirse al apartado correspondiente a la práctica, de la carpeta “Ejercicios” de FaiTIC, la siguiente documentación.
 - Proyectos ISE comprimidos correspondientes a cada uno de los circuitos diseñados. El nombre de los archivos debe ser el siguiente:
 - practica_6_ejercicio_1.zip
 - practica_6_ejercicio_2.zip
 - practica_6_ejercicio_3.zip