

# PRÁCTICA 9

## CIRCUITOS SECUENCIALES I

### 1. Introducción

En esta práctica vamos a comenzar con la descripción de los circuitos secuenciales.

### 2. Objetivos

- Aprender a diseñar circuitos secuenciales.
- Practicar el proceso de diseño en FPGAs con la herramienta Vivado de Xilinx.

### 3. Trabajo previo

Repasar las sentencias VHDL.

Repasar los circuitos aritméticos.

### 4. Pasos a seguir

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo.

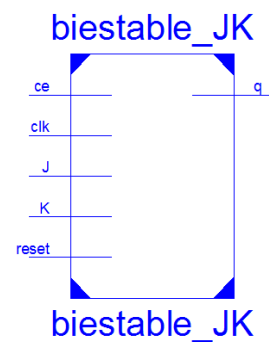
#### 5.1. Ejercicios (10 puntos).

##### 5.1.1. Biestable JK síncrono activado por flancos, con entrada de habilitación (“clock\_enable”) y de puesta en estado inicial (“reset”) síncrona (2 puntos).

Realizar todas las tareas anteriores para el siguiente circuito:

##### Tabla de verdad.

reset	ce	J	K	clk	Qt+1
1	X	X	X	↑	0
0	0	X	X	↑	Qt
0	1	0	0	↑	Qt
0	1	0	1	↑	0
0	1	1	0	↑	1
0	1	1	1	↑	not Qt



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Con la señal de habilitación (ce) a nivel 0 y la señal “reset” a nivel cero, aplicar varios ciclos de reloj para comprobar que la salida se mantiene en su último valor, independientemente del valor del resto de las entradas.
- Con la señal de habilitación (ce) a nivel 1 y la señal “reset” a nivel cero, probar todas las combinaciones de J y K y comprobar que la salida se comporta correctamente respecto a la tabla de verdad.
- Con la señal de habilitación (ce) a nivel 1, hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Recordad que cada combinación de valores de las entradas debe mantenerse estable al menos un ciclo de reloj de período 1 microsegundo.

#### Asignación de terminales para la prueba en la placa

Señal del circuito	Elemento de la placa Basys 3
clk	clk
reset	BTNC
ce	BTNU
J	SW(1)
K	SW(0)
q	LD(0)

¿Funciona correctamente el biestable JK al probarlo en la placa?.

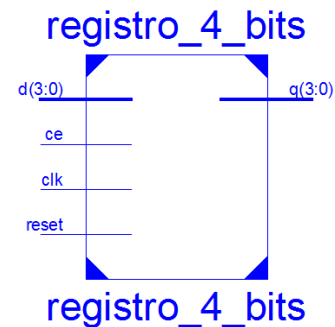
¿En qué casos funciona mal?. ¿Por qué?.

#### 5.1.2. Registro paralelo de 4 bits síncrono activado por flancos, con entrada de habilitación (“clock\_enable”) y de puesta en estado inicial (“reset”) síncrona (3 puntos).

Realizar todas las tareas anteriores para el siguiente circuito:

### Tabla de verdad.

reset	ce	d(3:0)	clk	q(3:0)t+1
1	X	XXXX	↑	0000
0	0	XXXX	↑	q(3:0)t
0	1	d3d2d1d0	↑	d3d2d1d0



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Con la señal de habilitación (ce) a nivel 0 y la señal “reset” a nivel cero, aplicar varios ciclos de reloj para comprobar que las salidas se mantienen en su último valor independientemente del valor del resto de las entradas.
- Con la señal de habilitación (ce) a nivel 1 y la señal “reset” a nivel cero, probar todas las combinaciones de “d” y comprobar que la salida se comporta correctamente respecto a la tabla de verdad.
- Con la señal de habilitación (ce) a nivel 1, hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Recordad que cada combinación de valores de las entradas debe mantenerse estable al menos un ciclo de reloj de período 1 microsegundo.

### Asignación de terminales para la prueba en la placa

Señal del circuito	Elemento de la placa Basys 3
clk	clk
reset	BTNC
ce	BTNU
d(3:0)	SW(3:0)
q(3:0)	LD(3:0)

¿Funciona correctamente el registro al probarlo en la placa?.

¿Por qué?.

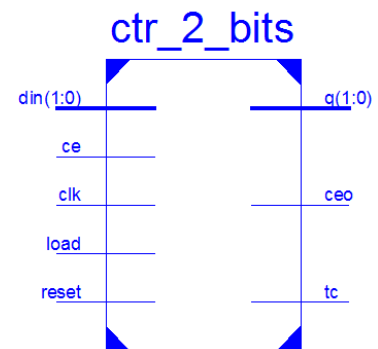
**5.1.3. Contador binario ascendente de 2 bits síncrono activado por flancos, con entrada de habilitación (“clock\_enable”), de puesta en estado inicial (“reset”) síncrona y de carga en paralelo (“load”), y salidas de fin de conteo asíncrona (“terminal\_count”) y síncrona (“clock\_enable\_output”) (3 puntos).**

Se debe utilizar el operador “+” en VHDL para la función de conteo.

Realizar todas las tareas anteriores para el siguiente circuito:

**Tabla de verdad.**

reset	load	ce	din(1:0)	clk	q(1:0)t+1
1	X	X	XX	↑	00
0	1	X	d1d0	↑	d1d0
0	0	0	XX	↑	q(1:0)t
0	0	1	XX	↑	estado_anterior + 1



Además:

- “tc” vale 1 si  $q_1q_0 = “11”$ .
- “ceo” vale 1 si  $q_1q_0 = “11”$  y  $ce = '1'$ .

Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Con la señal de habilitación (ce) a nivel 0, la señal “reset” a nivel cero y la señal “load” a nivel cero, aplicar varios ciclos de reloj para comprobar que las salidas se mantienen en su último valor independientemente del valor del resto de las entradas.
- Con la señal de habilitación (ce) a nivel 0 y la señal “reset” a nivel cero, hacer una carga en paralelo del valor “10” mediante la activación de la señal “load” a nivel uno.
- Con la señal de habilitación (ce) a nivel 1 y las señales “reset” y “load” a nivel cero, aplicar 20 ciclos de reloj y comprobar que las salidas se comportan correctamente respecto a la tabla de verdad.
- Con la señal de habilitación (ce) a nivel 1, hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.

- Recordad que cada combinación de valores de las entradas debe mantenerse estable al menos un ciclo de reloj de período 1 microsegundo.

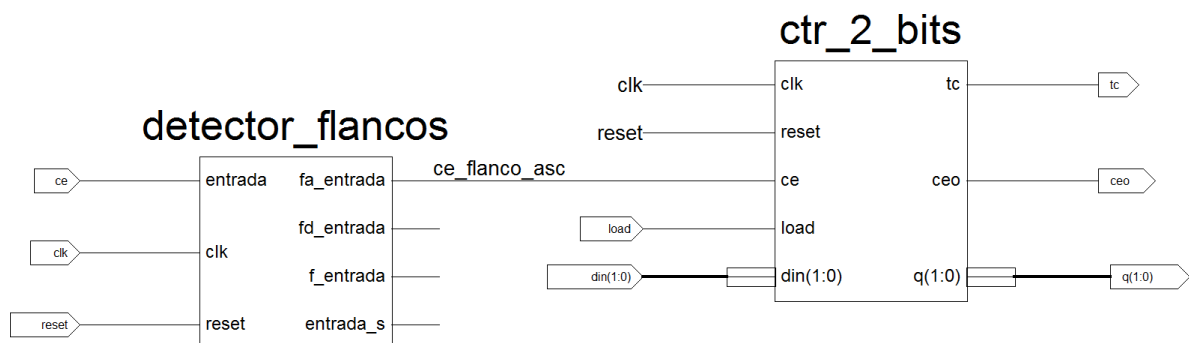
### Asignación de terminales para la prueba en la placa

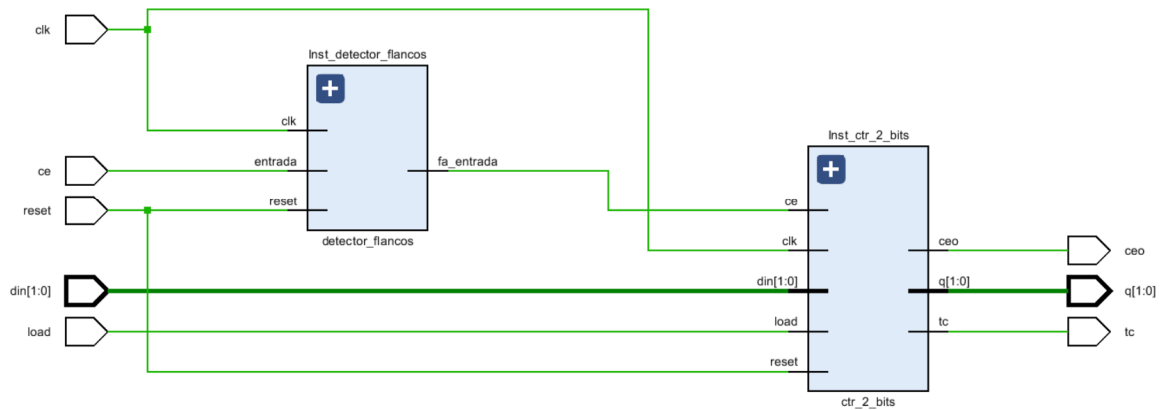
Señal del circuito	Elemento de la placa Basys 3
clk	clk
reset	BTNC
ce	BTNU
din(1:0)	SW(1:0)
load	SW(15)
tc	LD(15)
ceo	LD(14)
q(1:0)	LD(1:0)

¿Por qué funciona mal el contador al probarlo en la placa?

#### 5.1.4.- Prueba del circuito detector de flancos (1 punto).

Probar el funcionamiento del contador en la placa “Coolrunner 2 starter kit”, con la misma asignación de terminales que en el apartado anterior, pero intercalando entre el pulsador PMODBTN(0) y la entrada “ce” del contador, el circuito detector de flancos (detector\_flancos.vhd) suministrado por el profesor, de acuerdo con el siguiente esquema.

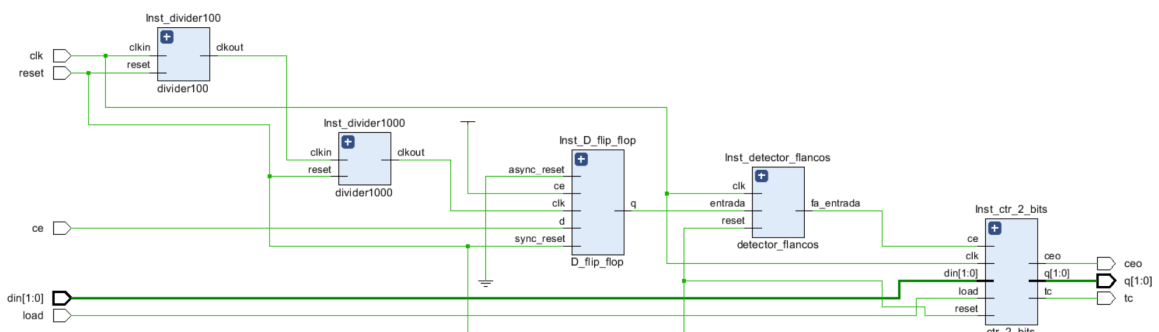




¿Funciona ahora correctamente el contador en la placa?

### 5.1.5.- Prueba del circuito antirrebotes (1 punto).

Probar el funcionamiento del contador en la placa “Coolrunner 2 starter kit”, con la misma asignación de terminales que en el apartado anterior, pero intercalando entre el pulsador PMODBTN(0) y el circuito detector de flancos (detector\_flancos.vhd) un circuito antirrebotes formado por un biestable D y dos divisores de reloj suministrados por el profesor, de acuerdo con el siguiente esquema.



¿Funciona ahora correctamente el contador en la placa?

## 6. Resultados.

- En el laboratorio, el día de las prácticas, se debe enseñar al profesor la simulación temporal de cada uno de los circuitos, una vez implementados sin errores, con el informe de implementación (“fitting”) abierto.
- Asimismo, se deberá enseñar el funcionamiento en la placa de desarrollo de cada uno de los circuitos en los que se pida esta tarea.
- Antes de la fecha límite de cada práctica, deberán subirse al apartado correspondiente a la práctica, de la carpeta “Ejercicios” de FaiTIC, la siguiente documentación.

- Proyectos ISE comprimidos correspondientes a cada uno de los circuitos diseñados. El nombre de los archivos debe ser el siguiente:
  - practica\_9\_ejercicio\_1.zip
  - practica\_9\_ejercicio\_2.zip
  - practica\_9\_ejercicio\_3.zip
  - practica\_9\_ejercicio\_4.zip
  - practica\_9\_ejercicio\_5.zip