

PRÁCTICA 10
CIRCUITOS SECUENCIALES II
MÁQUINAS DE ESTADO

1. Introducción

En esta práctica vamos a continuar con la descripción de circuitos secuenciales más complejos.

2. Objetivos

- Aprender a diseñar máquinas de estado a partir de los circuitos secuenciales y combinacionales ya conocidos.
- Practicar el proceso de diseño en FPGAs con la herramienta Vivado de Xilinx.

3. Trabajo previo

Repasar las sentencias VHDL.

Repasar la teoría de circuitos secuenciales y máquinas de estados.

4. Pasos a seguir

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo.

5. Enunciado.

Realizar los siguientes pasos para cada circuito:

- Hacer un nuevo proyecto en ISE para cada circuito. Seleccionar siempre el CPLD de la placa de desarrollo.
- Describir el circuito en VHDL.
- Sintetizarlo para comprobar si la descripción es correcta y sintetizable.
- Leer el informe de síntesis ("synthesis report").
- Simulación.
 - Realizar el banco de pruebas en VHDL.

- Realizar la simulación funcional (“behavioral”).
- Realizar la implementación (“fit”).
- Leer el informe de implementación (“fitter report”).
- Realizar la simulación temporal (“post-fit”).
- Enseñar la simulación temporal al profesor.
- Prueba en la placa.
 - Añadir el fichero de asignación de terminales (.UCF) al proyecto.
 - Asignar los terminales necesarios para la prueba en la placa.
 - Realizar la implementación (“fit”) del esquemático principal.
 - Leer el informe de implementación (“fitter report”).
 - Obtener el fichero de programación para el PLD de la placa de desarrollo “CoolRunner 2 starter kit”.
 - Programar el PLD.
 - Comprobar el funcionamiento del sistema digital en la placa de desarrollo con PLDs.
 - Enseñar el circuito funcionando al profesor.
- En algunos circuitos, para realizar la prueba en la placa, es necesario definir un nuevo fichero de tipo esquemático, en el que se debe incluir el símbolo del circuito VHDL realizado. Cuando sea así, se indicará expresamente en el enunciado del ejercicio. En ese caso, el fichero .UCF de asignación de terminales se asociará a dicho esquemático.

5.1. Ejercicios (10 puntos).

5.1.1. Registro de desplazamiento a la derecha de 8 bits síncrono activado por flancos, con entrada de habilitación de desplazamiento (“shift_enable”), de puesta en estado inicial (“reset”) síncrona y de carga en paralelo (“load”) y salidas paralelo y serie (3 puntos).

Se debe utilizar el operador “&” en VHDL para la función de desplazamiento.

Realizar todas las tareas anteriores, excepto la prueba en la placa, para el siguiente circuito:

reg_desplazamiento_derecha_8_bits

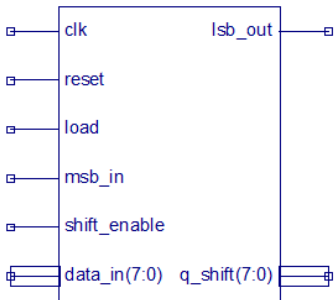


Tabla de verdad.

reset	load	shift_enable	data_in(7:0)	msb_in	clk	q_shift(7:0)t+1
1	X	X	XXXXXXXXX	X	↑	00000000
0	1	X	d(7:0)	X	↑	d(7:0)
0	0	0	XXXXXXXXX	X	↑	q_shift(7:0)t
0	0	1	XXXXXXXXX	msb	↑	msb & q_shift(7:1)t

Además:

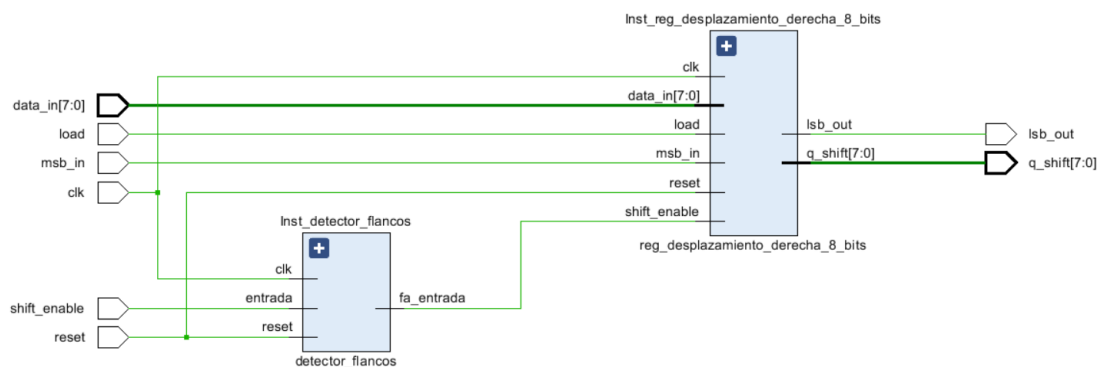
- “lsb_out” vale siempre lo mismo que “q_shift(0)”.

Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Con la señal de habilitación (shift_enable) a nivel 0, la señal “reset” a nivel cero y la señal “load” a nivel cero, aplicar varios ciclos de reloj para comprobar que las salidas se mantienen en su último valor independientemente del valor del resto de las entradas.

- Con la señal de habilitación (shift_enable) a nivel 0 y la señal “reset” a nivel cero, haced una carga en paralelo del valor “10101010” mediante la activación de la señal “load” a nivel uno.
- Con la señal de habilitación (shift_enable) a nivel 1 y las señales “reset” y “load” a nivel cero, aplicar 20 ciclos de reloj y comprobar que las salidas se comportan correctamente respecto a la tabla de verdad. Durante los primeros 10 ciclos de reloj, la señal “msb_in” debe estar a nivel 0 y durante los últimos 10 ciclos de reloj, la señal “msb_in” debe estar a nivel 1.
- Con la señal de habilitación (shift_enable) a nivel 1, hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Recordad que cada combinación de valores de las entradas debe mantenerse estable al menos un ciclo de reloj de período 1 microsegundo.

Para probar el funcionamiento del registro de desplazamiento en la placa, realizar un nuevo fichero VHDL que responda al siguiente esquema (“top_reg_desplazamiento_placa.vhd”), intercalando entre la entrada “shift_enable” procedente del pulsador PMODBTN(0) y la señal “shift_enable” del registro, el circuito detector de flancos (detector_flancos.vhd) suministrado por el profesor, de acuerdo con la figura.



Asignación de terminales para la prueba en la placa

Señal del circuito	Elemento de la placa Basys 3
clk	clk
reset	BTNC
shift_enable	BTNU
load	SW(15)

Señal del circuito	Elemento de la placa Basys 3
msb_in	SW(8)
data_in(7:0)	SW(7:0)
lsb_out	LD(15)
q_shift(7:0)	LD(7:0)

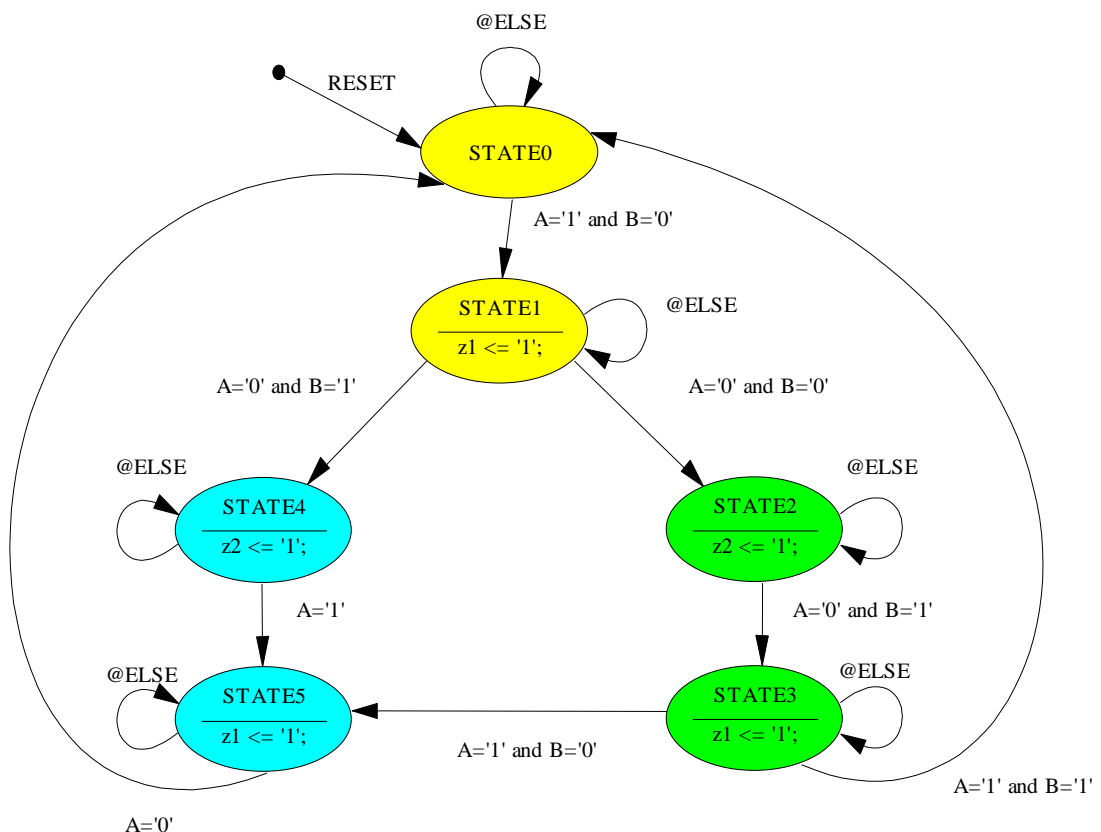
¿Funciona correctamente el registro de desplazamiento en la placa?

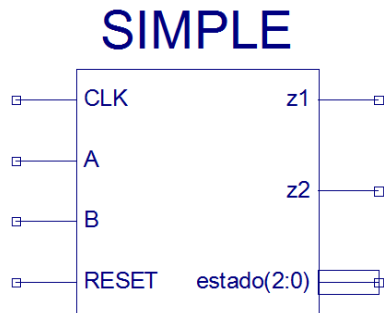
Si no es así, añada los circuitos necesarios para que funcione correctamente.

5.1.2. Máquina de estados simple (3 puntos).

Se debe diseñar en VHDL una máquina de estados correspondiente al siguiente grafo de estados. Se deben utilizar 3 procesos en VHDL, codificación binaria y salidas combinacionales para el diseño de la máquina de estados.

Realizar todas las tareas anteriores, excepto la prueba en la placa para la máquina de estados.

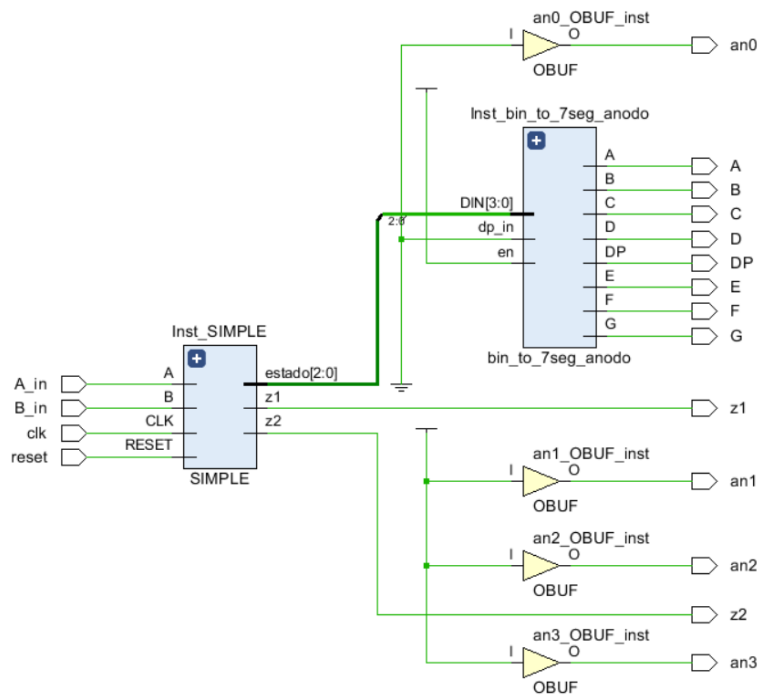




Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Recorrer todos los estados del grafo, activando (nivel 1) o desactivando (nivel 0) las señales A y B al menos un período de reloj en la secuencia necesaria para recorrer las distintas ramas del grafo.
- Se debe comprobar también que el grafo permanece en cada estado si se no se cumple la condición de transición de salida del mismo.
- Recordad que cada combinación de valores de las entradas debe mantenerse estable al menos un ciclo de reloj de período 1 microsegundo.

Para probar el funcionamiento de la máquina de estados en la placa, realizar un nuevo fichero VHDL que responda al siguiente esquema (“top_maquina_estados_placa.vhd”), utilizando la máquina de estados diseñada anteriormente y el circuito decodificador de binario a 7 segmentos realizado en prácticas anteriores.

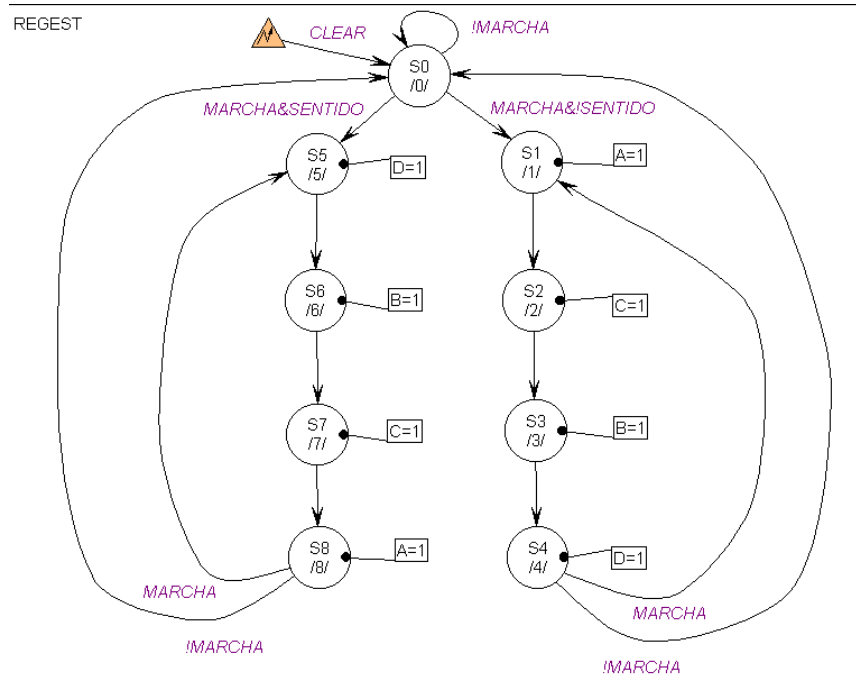


Asignación de terminales para la prueba en la placa

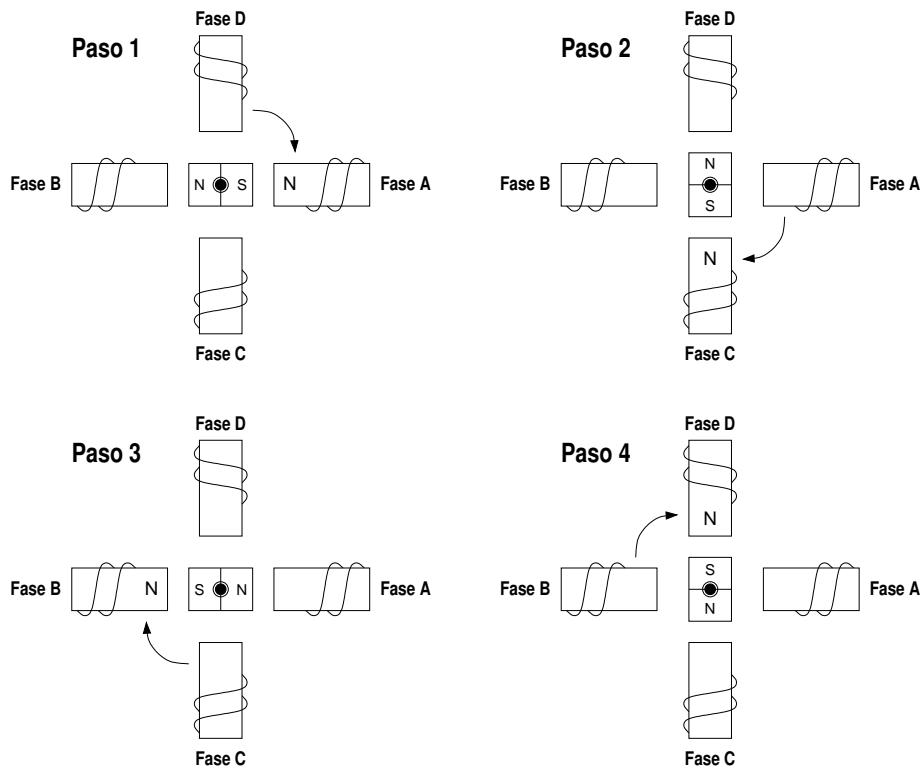
Señal del circuito	Elemento de la placa Basys 3	Señal del circuito	Elemento de la placa Basys 3
clk	clk	A	ca
reset	BTNC	B	cb
z1	LD(0)	C	cc
z2	LD(1)	D	cd
A_in	SW(0)	E	ce
B_in	SW(1)	F	cf
an4	an4	G	cg
an3	an3	DP	cdp
an2	an2		
an1	an1		

5.1.3. Máquina de estados para el control de un motor paso a paso (4 puntos).

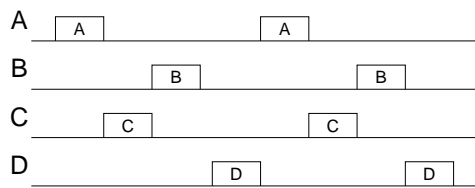
Crear un nuevo proyecto y diseñar en VHDL una máquina de estados correspondiente al siguiente grafo de estados. Se deben utilizar 3 procesos en VHDL, codificación binaria y salidas combinacionales para el diseño de la máquina de estados.



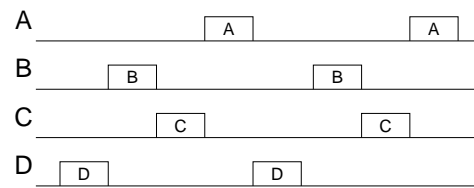
En la siguiente figura se muestra un diagrama general del funcionamiento de un motor paso a paso de 4 fases cuando se le aplica la secuencia de giro a la derecha A-C-B-D.



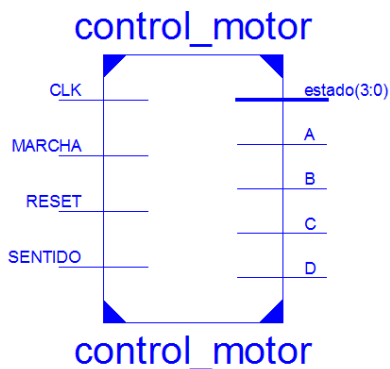
Secuencia de giro a la derecha:



Secuencia de giro a la izquierda:



Realizar todas las tareas anteriores, excepto la prueba en la placa para la máquina de estados.



Para probar el circuito adecuadamente, se debe realizar un banco de pruebas en el que se comprueben al menos los siguientes casos:

- Hacer una puesta en estado inicial, activando la señal “reset” a nivel uno durante al menos un período de reloj y poniendo el resto de las entradas en nivel cero.
- Recorrer todos los estados del grafo, activando (nivel 1) o desactivando (nivel 0) las señales “marcha” y “sentido” al menos un período de reloj en la secuencia necesaria para recorrer las distintas ramas del grafo.
- Se debe comprobar también que el grafo permanece en cada estado si se no se cumple la condición de transición de salida del mismo.
- Recordad que cada combinación de valores de las entradas debe mantenerse estable al menos un ciclo de reloj de período 1 microsegundo.

La prueba en placa de este circuito se realizará en la práctica siguiente.

6. Resultados.

- En el laboratorio, el día de las prácticas, se debe enseñar al profesor la simulación temporal de cada uno de los circuitos, una vez implementados sin errores, con el informe de implementación (“fitting”) abierto.
- Asimismo, se deberá enseñar el funcionamiento en la placa de desarrollo de cada uno de los circuitos en los que se pida esta tarea.

- Antes de la fecha límite de cada práctica, deberán subirse al apartado correspondiente a la práctica, de la carpeta “Ejercicios” de FaiTIC, la siguiente documentación.
 - Proyectos ISE comprimidos correspondientes a cada uno de los circuitos diseñados. El nombre de los archivos debe ser el siguiente:
 - practica_10_ejercicio_1.zip
 - practica_10_ejercicio_2.zip
 - practica_10_ejercicio_3.zip