

PRÁCTICA 2

INTRODUCCIÓN A LA HERRAMIENTA VIVADO DE XILINX: VHDL

1. Introducción

En esta práctica aprenderemos a utilizar la herramienta software Vivado de Xilinx para diseño de sistemas digitales con FPGAs (Field Programmable Gate Arrays) utilizando VHDL.

2. Objetivos

- Aprender los fundamentos de la herramienta Vivado para diseño de sistemas digitales utilizando VHDL.
- Aprender a programar una FPGA y comprobar circuitos digitales en una placa de desarrollo.

3. Trabajo previo

Analizar los circuitos descritos en esta práctica y comprobar que satisfacen su respectiva tabla de verdad.

4. Pasos a seguir

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo

5. Ejemplos guiados

5.1. Función lógica básica utilizando operadores lógicos

Describir la siguiente función lógica en un fichero denominado “funcion.vhd” utilizando VHDL, incluido en el proyecto “Practica_2_ejemplo”.

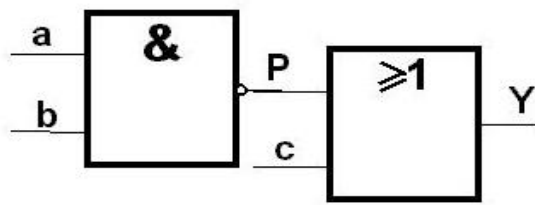
Especificaciones

Una función lógica que tiene 3 entradas viene descrita por la siguiente tabla de verdad.

Tabla de verdad

Decimal	a	b	c	Y
0	0	0	0	1
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Esquemático del circuito correspondiente



Simulación

Escribir un banco de pruebas que cubra todas las combinaciones posibles de las entradas.

Prueba en placa

Para comprobar el circuito en la placa, asignar los puertos del circuito a los siguientes componentes de la placa en el fichero XDC:

Puerto	Componente de la placa Basys 3
c	SW0
b	SW1
a	SW2
Y	LD0

6. Ejercicios

6.1. Circuito para detección de mayoría de unos

Describir el mismo circuito para la detección de unos de la práctica 1 en un fichero denominado “circuito_detección_unos”, ahora en VHDL, e incluirlo en el proyecto nuevo denominado “practica_2_ej_1”.

Utilizar los operadores lógicos (**and, or, not, etc.**) para describir su comportamiento.

Especificaciones

Este circuito debe activar su salida a nivel alto cuando hay más “unos” que “ceros” en sus 4 entradas.

De nuevo, las 4 entradas nunca coincidirán en el valor 1 simultáneamente.

Tabla de verdad

Decimal	d	c	b	a	f
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	X

Simulación

Escribir un banco de pruebas que cubra todas las posibles combinaciones de las entradas.

Prueba en placa

Para comprobar el circuito en la placa, asignar los puertos del circuito a los siguientes componentes de la placa en el fichero XDC:

Puerto	Componente de la placa Basys 3
d	SW4
c	SW3
b	SW2
a	SW1
f	LD0

7. Resultados

- En la sesión de laboratorio, los estudiantes deben mostrar cada uno de los circuitos al profesor.
- Dentro de la misma sesión, los estudiantes deben subir los ficheros descritos abajo a la correspondiente carpeta de ejercicios de FAITIC:
 - Proyectos comprimidos de Vivado correspondiente a cada uno de los ejemplos y ejercicios. Los ficheros deben tener la extensión “.zip” y se generan en el propio Vivado. Los nombres para esta práctica han de ser los siguientes
 - Practica_2_ejemplo.zip
 - Practica_2_ej_1.zip