

PRÁCTICA 12

SISTEMAS SECUENCIALES III

1. Introducción.

En esta práctica continuaremos el aprendizaje del lenguaje VHDL para la descripción de circuitos y sistemas digitales, y del manejo básico de la herramienta “software” Vivado de Xilinx para el diseño de sistemas digitales con FPGAs.

En concreto, trataremos los sistemas secuenciales.

2. Objetivos.

- Aprender a diseñar sistemas secuenciales más complejos.

3. Trabajo previo.

- Repasar las sentencias VHDL.
- Repasar la teoría de circuitos combinacionales y secuenciales.

4.1. Ejercicios (10 puntos).

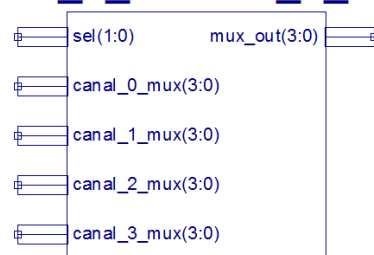
4.1.1. Multiplexor de 4 canales de 4 bits (2 puntos).

Utilizar la sentencia “case” para su descripción.

Tabla de verdad

sel(1:0)	mux_out(3:0)
00	canal_0_mux(3:0)
01	canal_1_mux(3:0)
10	canal_2_mux(3:0)
11	canal_3_mux(3:0)

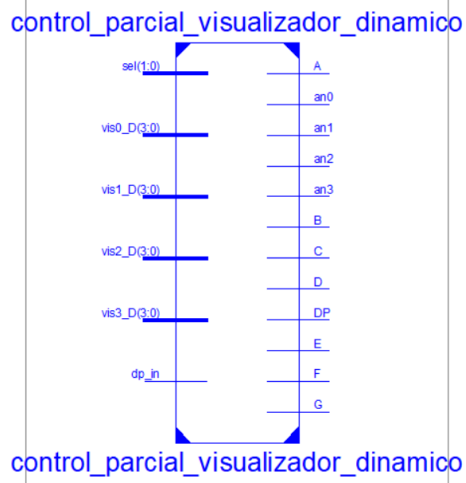
mux_4_canales_4_bits



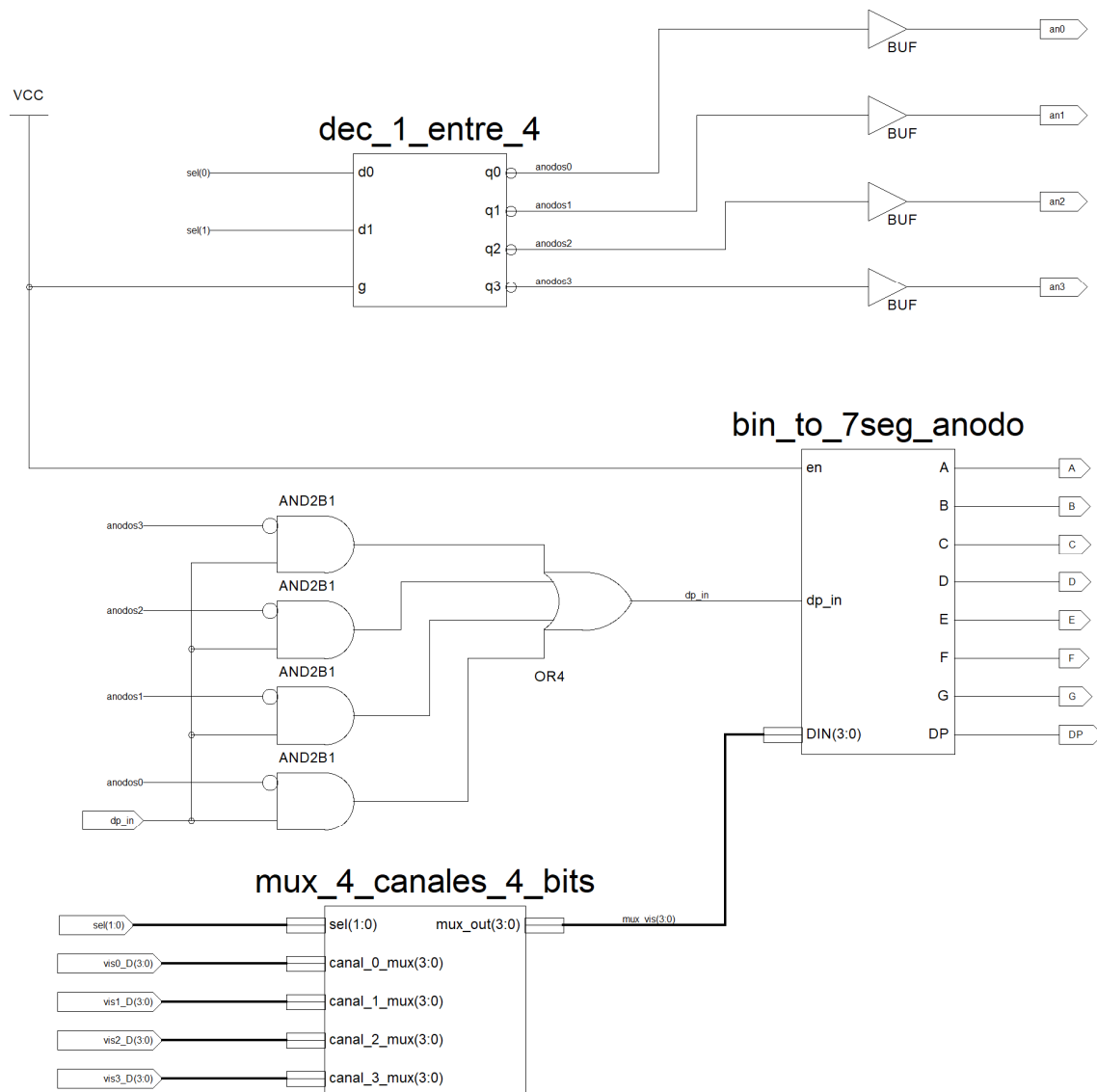
Realizar todas las tareas anteriores excepto la prueba en la placa para ese circuito.

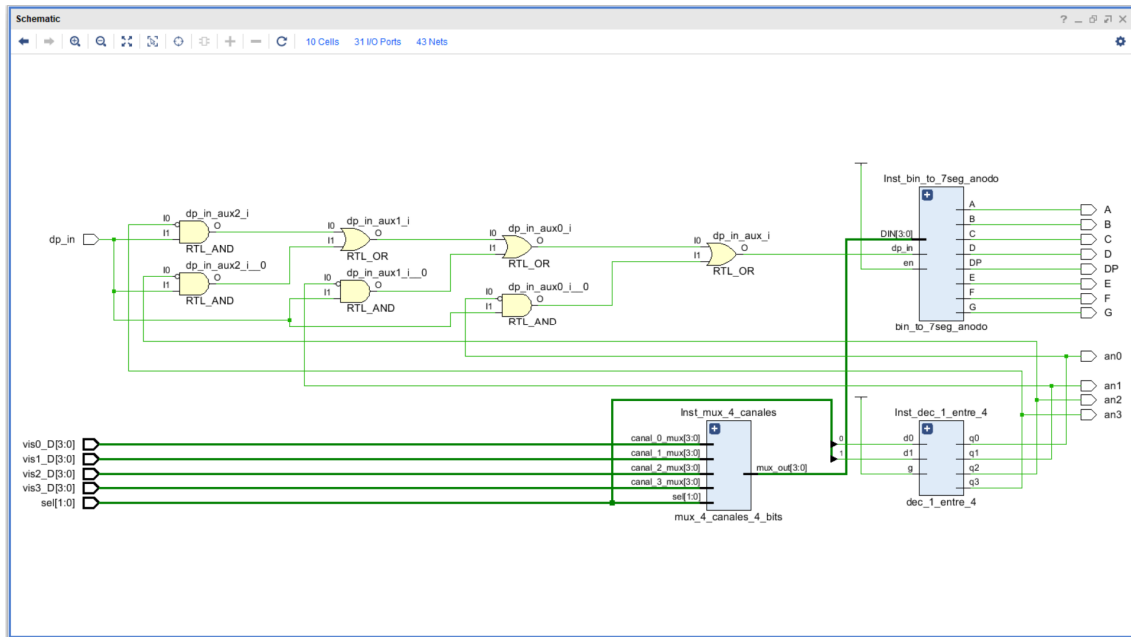
4.1.2. Control parcial del visualizador dinámico de 4 dígitos de 7 segmentos de ánodo común de la placa de desarrollo (3 puntos).

Definir en VHDL el siguiente circuito, denominado
“control_parcial_visualizador_dinamico.vhd”:



cuyo diagrama de bloques interno es el siguiente:





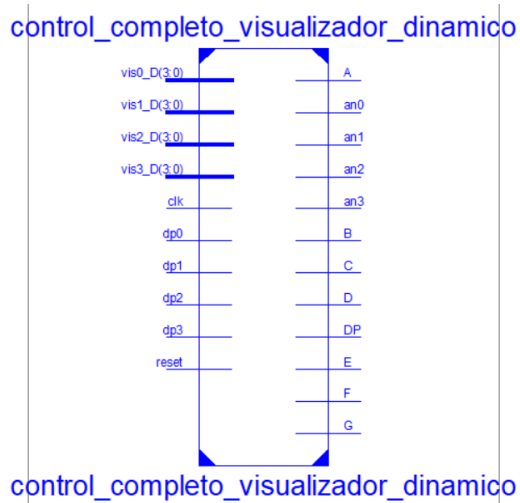
Para realizarlo se deben instanciar los tres componentes principales realizados en prácticas anteriores. Los componentes “BUF” sólo representan un cambio de nombre de la señal, por tanto, no son necesarios en VHDL, ya que basta con realizar una asignación directa en VHDL de la señal interna (por ejemplo “anodos0”) a la salida (por ejemplo “an0”).

Asignar los siguientes terminales para la prueba en la placa:

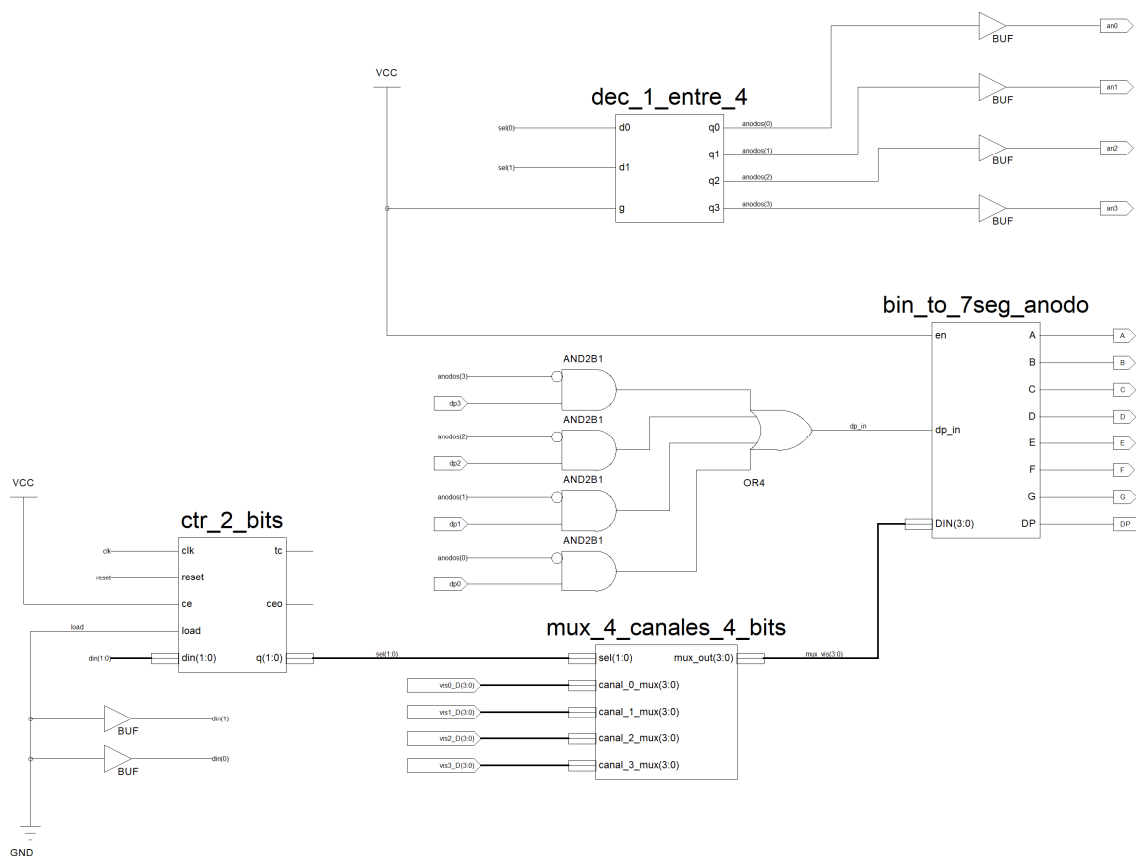
Señal del circuito	Elemento de la placa Basys 3	Señal del circuito	Elemento de la placa Basys 3
sel(1)	BTNL	an3	an1
sel(0)	BTNR	an2	an2
dp_in	BTNU	an1	an3
vis0_D(3:0)	SW3...SW0	an0	an4
vis0_D(3:0)	SW3...SW0	A	CA
vis0_D(3:0)	SW3...SW0	B	CB
vis0_D(3:0)	SW3...SW0	C	CC
		D	CD
		E	CE
		F	CF
		G	CG
		DP	CDP

4.1.3. Control del visualizador dinámico de 4 dígitos de 7 segmentos de ánodo común de la placa de desarrollo (3 puntos).

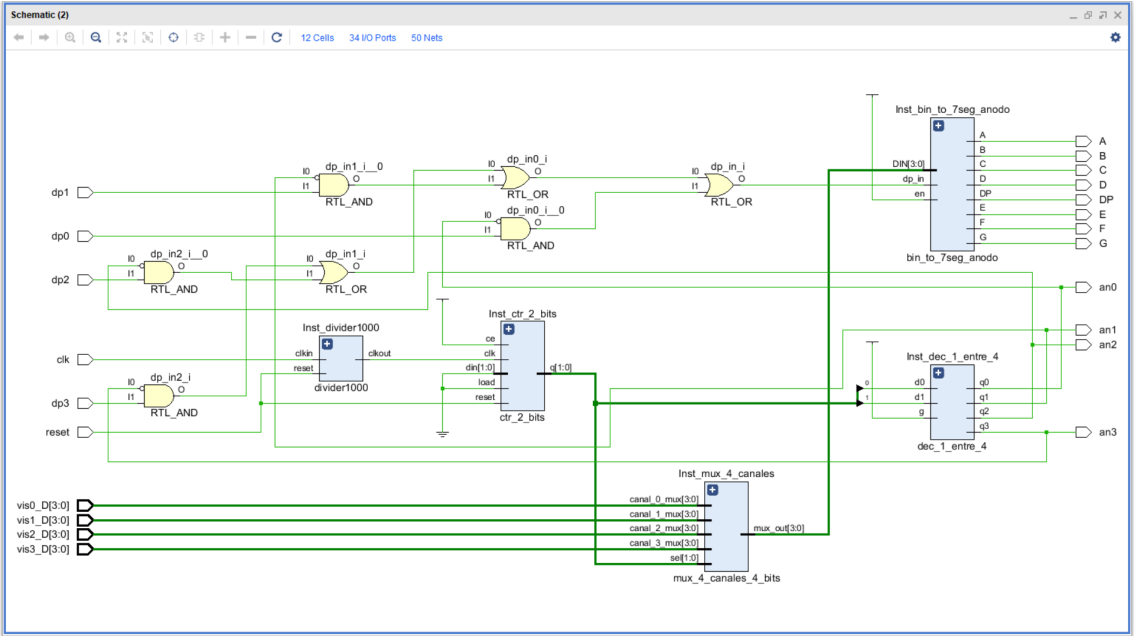
Definir en VHDL el siguiente circuito, denominado “control_visualizador_dinamico.vhd”, partiendo del circuito “control_parcial_visualizador_dinamico.vhd” realizado en el ejercicio anterior:



cuyo diagrama de bloques interno es el siguiente:



Para realizarlo, salvar el circuito “control_parcial_visualizador_dinamico.vhd” con el nuevo nombre y modificarlo para instanciar el nuevo componente principal “ctr_2_bits” realizado en una práctica anterior. Los componentes “BUF” sólo representan un cambio de nombre de la señal, por tanto, no son necesarios en VHDL, ya que basta con realizar una asignación directa en VHDL.



Asignar los siguientes terminales para la prueba en la placa:

Señal del circuito	Elemento de la placa Basys 3	Señal del circuito	Elemento de la placa Basys 3
clk	clk	an3	an1
reset	BTNC	an2	an2
c	BTNU	an1	an3
dp2	BTNR	an0	an4
dp1	BTND	A	CA
dp0	BTNL	B	CB
vis0_D(3:0)	SW3...SW0	C	CC
vis0_D(3:0)	SW3...SW0	D	CD
vis0_D(3:0)	SW3...SW0	E	CE
vis0_D(3:0)	SW3...SW0	F	CF

Señal del circuito	Elemento de la placa Basys 3	Señal del circuito	Elemento de la placa Basys 3
		G	CG
		DP	CDP

4.1.4. Informe de implementación del control del visualizador dinámico de 4 dígitos de 7 segmentos de ánodo común de la placa de desarrollo (2 puntos).

Se debe rellenar un informe de los resultados de diseño e implementación del ejercicio 3, siguiendo el modelo de informe en Word propuesto por el profesor.

5. Resultados.

- En el laboratorio, el día de las prácticas, se debe enseñar al profesor la simulación temporal de cada uno de los circuitos, una vez implementados sin errores, con el informe de implementación (“fitting”) abierto.
- Asimismo, se deberá enseñar el funcionamiento en la placa de desarrollo de cada uno de los circuitos en los que se pida esta tarea.
- Se debe rellenar un informe de los resultados de diseño e implementación del ejercicio 3, siguiendo el modelo de informe en Word propuesto por el profesor.
- Antes de la fecha límite de cada práctica, deberán subirse al apartado correspondiente a la práctica, de la carpeta “Ejercicios” de FaiTIC, la siguiente documentación.
 - Informe de los resultados de diseño e implementación de los circuitos realizados. El nombre del archivo debe ser:
“informe_practica_12_ejercicio_3.doc (o .docx)”
 - Proyectos Vivado comprimidos correspondientes a cada uno de los circuitos diseñados. El nombre de los archivos debe ser el siguiente:
 - practica_12_ejercicio_1.zip
 - practica_12_ejercicio_2.zip
 - practica_12_ejercicio_3.zip
 - Informe_control_visualizador.doc