

PRÁCTICA 5

CIRCUITO DE DETECCIÓN DE NÚMEROS

1. Introducción

En esta práctica vamos a aprender a describir algunos circuitos combinacionales en VHDL.

2. Objetivos

- Practicar la descripción de circuitos combinacionales en VHDL.
- Practicar el proceso de diseño en FPGAs con la herramienta Vivado de Xilinx.

3. Trabajo previo

Repasar las sentencias VHDL.

Repasar los circuitos combinacionales.

4. Pasos a seguir

Los estudiantes deben describir, sintetizar, simular y comprobar cada circuito en la placa de desarrollo.

5. Ejercicios

5.1. Circuito para detección de números

Describir el mismo circuito de detección de números de la práctica 1, ahora utilizando VHDL, incluido en el Proyecto “practica_5_ej_1”.

Describir cada función en un fichero VHDL diferente:

- Modelar f1 utilizando operadores lógicos (funcion1.vhd).
- Modelar f2 utilizando “If-then” (funcion2.vhd).
- Modelar f3 utilizando “When-else” (funcion3.vhd).

Ahora crear un Nuevo fichero denominado “circuito_deteccion_numeros”, instanciar en él los 3 componentes previos para conectarlos adecuadamente.

Especificaciones

El circuito tiene 4 entradas ‘a(3:0)’ que representan los valores en BCD natural (del 0 al 9).

El circuito debe activar la salida ‘f1’ cuando las 4 entradas ‘a(3:0)’ representan un número divisible por 2.

Asimismo debe activar la salida ‘f2’ cuando las 4 entradas ‘a(3:0)’ representan un número comprendido entre 1 y 4 (ambos inclusive).

Del mismo modo debe activar la salida ‘f3’ cuando las 4 entradas ‘a(3:0)’ representan un número divisible por 4.

Tabla de verdad

Decimal	a(3)	a(2)	a(1)	a(0)	f1	f2	f3
0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0
2	0	0	1	0	1	1	0
3	0	0	1	1	0	1	0
4	0	1	0	0	1	1	1
5	0	1	0	1	0	0	0
6	0	1	1	0	1	0	0
7	0	1	1	1	0	0	0
8	1	0	0	0	1	0	1
9	1	0	0	1	0	0	0
10	1	0	1	0	X	X	X
11	1	0	1	1	X	X	X
12	1	1	0	0	X	X	X
13	1	1	0	1	X	X	X
14	1	1	1	0	X	X	X
15	1	1	1	1	X	X	X

Esquemático

Comprobar el esquemático de la práctica 1 si es necesario.

Simulación

Escribir un banco de pruebas que cubra todas las posibles combinaciones de las entradas.

Prueba en placa

Para comprobar el circuito en la placa, asignar los puertos del circuito a los siguientes componentes de la placa en el fichero XDC:

Puerto	Componente de la placa Basys 3
a(3)	SW3
a(2)	SW2
a(1)	SW1
a(0)	SW0
f1	LD0
f2	LD1
f3	LD2

5.2. Decodificador binario de 1 a 8

Describir el decodificador octal, cuya tabla de verdad se indica más abajo, en un fichero denominado “decodificador_octal”, incluido en el Proyecto “practica_5_ej_2”.

Utilizar la sentencia case-when para describir el comportamiento.

Especificaciones

Este circuito debe activar la salida a nivel alto cuyo número corresponde al binario de las entradas.

Truth table.

d2	d1	d0	q7	q6	q5	q4	q3	q2	q1	q0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

Simulación

Escribir un banco de pruebas que cubra todas las posibles combinaciones de las entradas.

Prueba en placa

Para comprobar el circuito en la placa, asignar los puertos del circuito a los siguientes componentes de la placa en el fichero XDC:

Puerto	Componente de la placa Basys 3
d2	SW(3)
d1	SW(2)
d0	SW(1)
q7	LD(7)
q6	LD(6)
q5	LD(5)
q4	LD(4)
q3	LD(3)
q2	LD(2)
q1	LD(1)
q0	LD(0)

6. Resultados

- En la sesión de laboratorio, los estudiantes deben mostrar cada uno de los circuitos al profesor.
- Dentro de la misma sesión, los estudiantes deben subir los ficheros descritos abajo a la correspondiente carpeta de ejercicios de FAITIC:
 - Proyectos comprimidos de Vivado correspondiente a cada uno de los ejemplos y ejercicios. Los ficheros deben tener la extensión “.zip” y se generan en el propio Vivado. Los nombres para esta práctica han de ser los siguientes
 - Practica_5_ej_1.zip
 - Practica_5_ej_2.zip