

PRÁCTICO 4 - Direccionamiento y Lógica de Decodificación de Memorias

Mapa de memoria

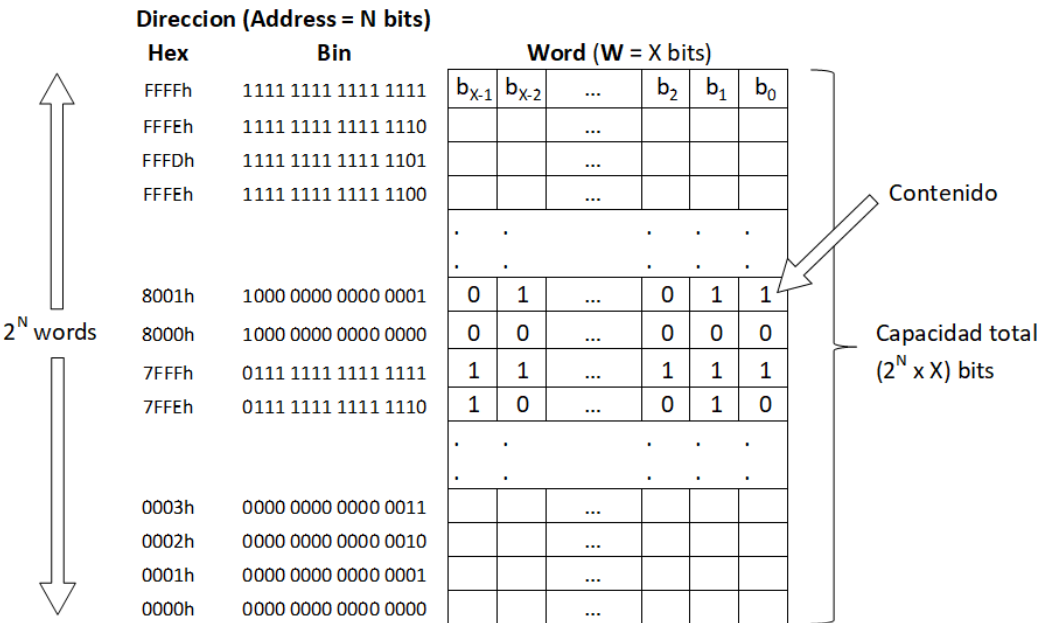
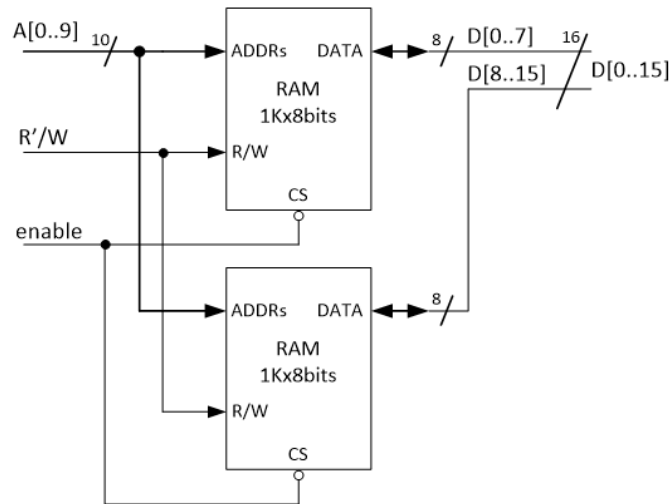


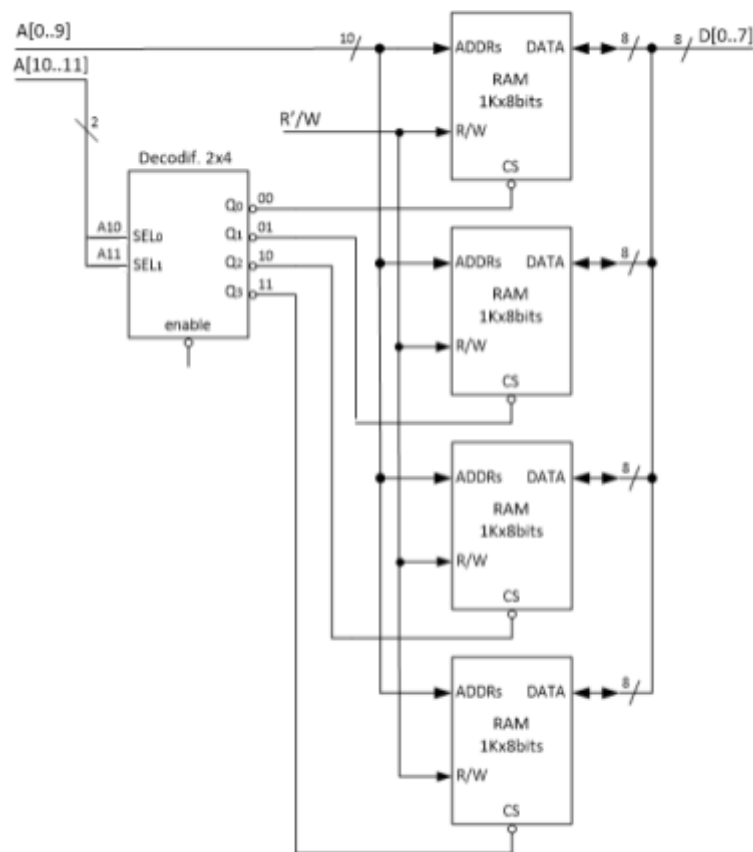
Tabla de capacidad de direccionamiento y unidades de almacenamiento de información

N bits (2 ^N)	Capacidad (en words)	N bits (2 ^N)	Capacidad (en words)	Símbolo [Prefijo]
2 ¹	= 2 words	2 ¹⁰	= 1024 words	= 1Kw [Kilo]
2 ²	= 4 words	2 ²⁰	= 1024 Kw	= 1Mw [Mega]
2 ³	= 8 words	2 ³⁰	= 1024 Mw	= 1Gw [Giga]
2 ⁴	= 16 words	2 ⁴⁰	= 1024 Gw	= 1Tw [Tera]
2 ⁵	= 32 words	2 ⁵⁰	= 1024 Tw	= 1Pw [Peta]
2 ⁶	= 64 words			
2 ⁷	= 128 words			
2 ⁸	= 256 words			
2 ⁹	= 512 words			

Ejemplo de conexión en **paralelo** (para aumentar el ancho de palabra)



Ejemplo de conexión en **serie** (para aumentar la capacidad de direccionamiento)



Ejercicio 1:

Dados los siguientes bloques de memoria:

- | | |
|-----------------|-----------------|
| 1) 8Kbyte | 5) 16Knibble |
| 2) 256 x 16bits | 6) 32Mbyte |
| 3) 2Kbits | 7) 16K x 32bits |
| 4) 4K x 4bits | 8) 1024Kbyte |

Se pide:

- A. Ordenar los bloques de forma descendente según su capacidad total.
- B. Ordenar los bloques de forma ascendente según su cantidad de palabras.

Ejercicio 2:

Cuántos “chip” de memoria RAM de 2K palabras x 8 bits se necesitan para implementar un banco de memoria de:

- A. 2K palabras de 16 bits?
- B. 4K palabras de 8 bits?
- C. 4K palabras de 16 bits?

Ejercicio 3:

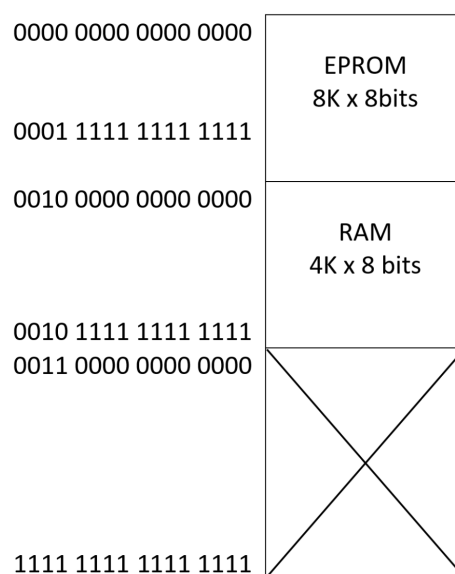
Construir un sistema de memoria RAM de 4K palabras de 16 bits mediante la utilización de “chips” de memoria de:

- A. 1K palabras de 16 bits.
- B. 4K palabras de 8 bits.
- C. 2K palabras de 8 bits.

Ejercicio 4:

Construir un sistema de memoria como el que se muestra en el mapa de memoria de la figura. Se dispone para su implementación con los siguientes “chip” de memoria: EPROM de 2K x 8 bits y RAM de 2K x 4 bits.

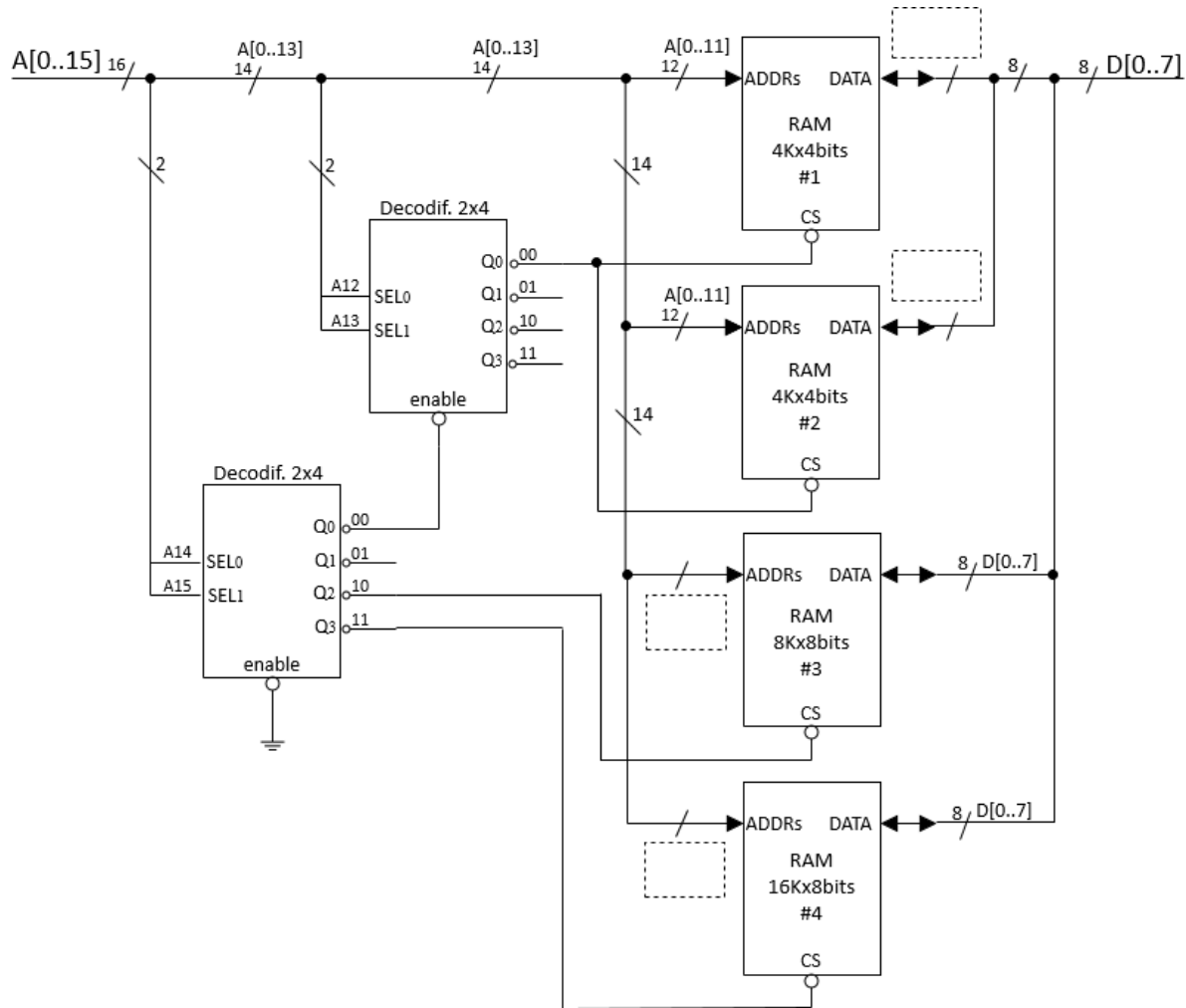
- A. Realizar una implementación que NO genere posiciones imagen en el espacio no implementado.
- B. Realizar una implementación en la cual se generen posiciones imagen del contenido de la EPROM y la RAM a lo largo de todo el espacio direccionable. Analizar: ¿cuántas veces se replica el contenido de la RAM? y ¿cuántas veces se replica el contenido de la EPROM?, ¿por qué?



- D. Diseñar con compuertas lógicas un circuito que proporcione un “1” a la salida cuando la dirección generada por el procesador no esté en el mapa de memoria implementado.
- E. ¿Esta implementación genera posiciones imagen de algún bloque de memoria?, ¿Por qué?

Ejercicio 7

Basados en el sistema de memoria mostrado en la figura:



Se pide:

- Completar los cuadros en línea de puntos con los faltantes de cantidad de señales y su denominación ($A[\dots]$ o $D[\dots]$) para los bloques #1, #2, #3 y #4.
- Desarrollar el mapa de memoria implementado, indicando la dirección de inicio y final de cada bloque. Especificar si se trata de un rango real o de posiciones imagen.
- Responder con **V** (Verdadero) o **F** (Falso) las siguientes afirmaciones:
 - El sistema de memoria implementado NO contiene posiciones imagen.
 - El sistema de memoria contiene segmentos de memoria no implementados.
 - El procesador puede direccionar un total de 64K palabras de 16 bits.
 - Todos los bloques están implementados en posiciones de memoria consecutivas.

Ejercicio 8:

Basados en el sistema de memoria mostrado en la figura, responder:

- Calcular la capacidad total de memoria implementada (expresada en bits).
- Dibujar el mapa de memoria, indicando la dirección de inicio y final de cada bloque.
- ¿Este esquema genera posiciones imagen? De ser así, especificar a qué bloque corresponde y en qué rango se encuentra en el mapa de memoria del punto B).
- Sobre el mismo diagrama de la figura, dibuje la implementación de un bloque de memoria RAM #3 de 1G x 32bits a partir de la dirección 0xC0000000 utilizando la cantidad necesaria de CI's de memoria RAM de 512M x 16 bits y decodificadores.

