****

**Universidad Estatal a Distancia**

**Diplomado en Informática**

**Cátedra de Tecnología de Sistemas**

**Escuela de Ciencias Exactas y Naturales**

**Proyecto #2**

**Organización de Computadoras**

**Diciembre 2015**

Olman A Rojas Espinoza

Contenido

[Introducción 3](#_Toc437181775)

[Marco Teórico 4](#_Toc437181776)

[Latches. 4](#_Toc437181777)

[Flip Flops 5](#_Toc437181778)

[Desarrollo 6](#_Toc437181779)

[Conclusión 8](#_Toc437181780)

[Bibliografía 9](#_Toc437181781)

# Introducción

En el siguiente trabajo se solicita un contador de horas y minutos, se define que las horas van a estar compuestas del 0 al 2 y los minutos del 0 al 5.

Los componentes a utilizar son 3 flip flops para los minutos y 2 flip flops para las horas, un único que reloj que va alimentar a los minutos y cuando estos cumplan su ciclo entonces alimentan la entrada de reloj de las horas.

Para los minutos se sabe al existir 3 flip flops este da como resultado 8 posibilidades o en otras palabras 8 números que se enumeran del 0 al 7. En vista que hay que aplicarle un reset después el número 5, se va a utilizar una tabla de verdad para encontrar en que combinación de flip flops debe de ocurrir el reset.

Este reset también será el responsable de alimentar el reloj de entrada de los dos flip flops asincrónicos que corresponden al conteo de las horas. Debido a que son 2 flip flops las posibilidades son 4 y estas van enumeradas del 0 al 3. Sin embargo el enunciado pide que se haga un reset una vez pasado el número 2.

Utilizando otra tabla de verdad, se va a definir cuando el reloj de las horas debe de volver a cero.

Primero se van analizar los latches y luego como se forman los flip flops, se creará una tabla de verdad del circuito y se explicará cómo se originan los códigos binarios para representar números decimales.

Por último se analizará en la tabla de verdad donde se encuentra la condición de reset para aplicarla en el circuito y que se logre el objetivo.

# Marco Teórico

## Latches.

Los latches[[1]](#footnote-1) son circuitos lógicos [[2]](#endnote-1)basados en circuitos básicos que utilizan compuertas lógicas y son capaces de almacenar información.

La información que estos son capaces de almacenar no es la información como todos la conocemos, no es video ni audio, son simplemente estados de 0 o 1.

Sin embargo si unimos todos estos ceros o unos en una gran cadena, toda esa cadena puede llegar a representar un audio o un video.

|  |  |
| --- | --- |
| https://cdn.sparkfun.com/assets/learn_tutorials/2/1/6/34-sr-latch-nand.png  Figura 1 - Latch S-R | Como se puede observar en la Figura 1, un latch es un circuito lógico que contiene compuertas lógicas, lo interesante de este circuito es que dependiendo de las entradas de corriente o bien si lo quisiéramos interpretar como positivo y negativo, sus salidas pueden variar.  Se le llama S-R para dar a entender que son Set o Reset. Esto significa que si se aplica un 1 al set, entonces se establece la memoria, y si se quiere resetear entonces se aplica un 1 al reset.  Para conocer las posibilidades que existen en sus salidas basta con aplicar una tabla de verdad de 4 posibilidades: |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Como se puede observar en la Figura #2, existen 3 posibilidades válidas de las 4 posibles combinaciones, si no se aplica una señal o en este caso un 1, entonces no existirá un cambio en la memoria actual.  Si se aplica un 1 en el set y un 0 en el reset, entonces la memoria adquiere un valor.  Si por el contrario aplicamos un 0 al reset y un 1 al reset, entonces restablecemos la memoria en 0. | |  |  |  |  |  | | --- | --- | --- | --- | --- | | **Entradas** | | **Salidas** | | **Estado** | | **R** | **S** | **Q** | **~Q** |  | | 0 | 0 | NC | NC | No cambio | | 0 | 1 | 1 | 0 | Set | | 1 | 0 | 0 | 1 | Reset | | 1 | 1 | 0 | 0 | No valido |   Figure - Tabla SR Latch |
| Por último cabe mencionar que no se debe de aplicar una señal en ambos extremos, ya que esto inválida el circuito y provoca que tanto el complemento Q y el anti complemento ~Q se establezcan en cero. | |

Por otro lado también tenemos los flip flops.

## Flip Flops

Los flip flops[[3]](#footnote-2) son circuitos biestables síncronos. El termino síncrono indica que la salida del mismo varia únicamente en un instante de tiempo específico de una entrada llamada reloj.

|  |  |  |
| --- | --- | --- |
| Como se puede observar un flip flop tipo SR contiene un latch de tipo SR, sin embargo el circuito es activado únicamente cuando el reloj se encuentra activo.  Este tipo de entrada genera sincronía en el circuito. | | https://upload.wikimedia.org/wikipedia/commons/thumb/e/e1/SR_(Clocked)_Flip-flop_Diagram.svg/300px-SR_(Clocked)_Flip-flop_Diagram.svg.png  Figure - Flip Flop S-R |
| |  |  |  |  |  | | --- | --- | --- | --- | --- | | CLK | S | R | Q | $\overline{\mathrm Q}$ | | $\uparrow$ | 0 | 0 | Q | $\overline{\mathrm Q}$ | | $\uparrow$ | 0 | 1 | 0 | 1 | | $\uparrow$ | 1 | 0 | 1 | 0 | | $\uparrow$ | 1 | 1 | \* | \* |   Figura 4 - Tabla de Verdad Flip Flop SR | Como se puede observar en la Figura #4 la tabla de verdad de un flip flop de tipo SR, es exactamente la misma de un latch, con la diferencia que esta sólo puede ser activada en el momento que el reloj se encuentre en funcionamiento.  Al igual que el latch, también posee memoria y se puede resetear, y también ocurre la invalidación cuando ambas entradas son 1.  Sin embargo como hemos visto en ambos casos la invalidación provoca un estado que no se debería utilizar, sin embargo a partir del flip flop tipo SR es donde nace el Flip Flop JK, este es capaz de tomar los estados inválidos, o sea ambos 1. Y hacer un evento al que se le llama toggling.[[4]](#footnote-3) | | |

|  |  |
| --- | --- |
| **El Flip Flop JK** permite bascular Q y ~Q, por lo tanto aunque ambas entradas J y K que vienen siendo las de Set y Reset sean activadas en 1, se va a producir un cambio entre Q y ~Q cada vez que el reloj haga un cambio.  Este tipo de comportamiento es el que deriva para construir contadores a partir de números binarios. | https://upload.wikimedia.org/wikipedia/commons/f/ff/JK-FlipFlop_(4-NAND).PNG  Figure - Flip Flop JK |

# Desarrollo

**A continuación el enunciado:**

*“Se le ha solicitado que diseñe un reloj que despliegue únicamente horas y minutos. Cómo todos sabemos, un reloj cuenta minutos de 1 a 59 y al cumplirse el 60 pone la hora, algo así como 10:59 salta 11:00, o 11:59 a 12:00 y así, con todas las horas.*

*Para efectos del proyecto vamos a simplificar el proceso. Usted va a diseñar un “reloj” cuyo minutos vayan de 0 a 5, y las horas de 0 a 2. El reloj debe inicializar en ceros (0:0). Cuando el minutero llegue a 5, el siguiente impulso marcará una hora, la que debe ser desplegada, al igual que el minutero, por ejemplo, analice la siguiente secuencia: 0:0, 0:1, 0:2, 0:3, 0:4, 0:5; 1:0, 1:1,…….. Cuando se llegue a 2:9, el reloj deberá inicializarse nuevamente a 0:0 y así, iniciar el ciclo horario nuevamente”.*

**Minutero**

Al conectarse 3 flip flops significa que existen 8 posibilidades diferentes en las combinaciones, para representar estas combinaciones y sus equivalentes se proceden a realizar una tabla de verdad.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Como se puede observar en la Figura #4. Existen 8 posibilidades que de forma decimal se representan con números del 0 al 7.  Sin embargo el enunciado requiere que el numerador llegue hasta el número 5 y a partir de ahí exista un reset y el contador quede en cero.  Si se observa en la Figura #X en la fila de color amarillo se aprecia cuando los 3 flip flops generan el siguiente cambio. Este cambio es determinado cuando el Flip Flop A y el Flip Flop B ambos se encuentran en 1. | |  |  |  |  | | --- | --- | --- | --- | | Flip Flop A | Flip Flop B | Flip Flop C | Decimal Equivalente | | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 1 | | 0 | 1 | 0 | 2 | | 0 | 1 | 1 | 3 | | 1 | 0 | 0 | 4 | | 1 | 0 | 1 | 5 | | 1 | 1 | 0 | 6 | | 1 | 1 | 1 | 7 |   Figure 4 - Tabla de Verdad - Minutero |

Aprovechando esta característica es cuando se crea una compuerta de tipo AND que su salida se conecta a los 3 conectores del flip flop que hacen el circuito de reset, estableciéndolos en cero y por lo tanto reiniciando el contador.

A su vez se aprovecha esta compuerta para alimentar la entrada del reloj para los flip flops asincrónicos que representan la hora.

De esta forma cada vez que exista un reset el contador de horas se alimenta y procede al conteo.

**Hora**

Para controlar las horas se analiza la siguiente tabla de verdad:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Como se puede observar en la Figura #5, existen dos flip flops lo que da como resultado 4 diferentes posibilidades, en este caso 4 decimales equivalentes.  El enunciado aclara que las horas no deben de pasar del decimal número 2, de esta forma lo que se procede es a enlazar en una compuerta tipo AND cuando el flip flop A y el Flip Flop B se encuentren en uno se proceda a disparar el reset de los flip flops de las horas. | |  |  |  | | --- | --- | --- | | Flip Flop A | Flip Flop B | Decimal Equivalente | | 0 | 0 | 0 | | 0 | 0 | 1 | | 1 | 1 | 2 | | 1 | 1 | 3 |   Figure 5 - Tabla de Verdad - Horas |

# Conclusión

Como se pudo observar en el trabajo anterior los contadores Asíncronos son del tipo más simple, se puede realizar únicamente con un reloj de entrada y permite utilizar una entrada de tipo 1 en ambas terminales J y K.

Estos contadores requieren de menos circuitería y son más fáciles de construir que su contraparte los contadores Síncronos.

Sin embargo esta sumatoria de longitud de onda acarrea en un problema que se llama retardo de propagación, esto quiere decir que mientras un flip flop espera al cambio del reloj este se encuentra con su onda cambiante, si a esto le sumamos más flip flops al principio, todas las sumatorias de este retardo se crea un retardo global.

La diferencia de un contador asíncrono a uno síncrono, es que el mismo impulso del reloj está conectado en todas las entradas de reloj de cada flip flop, sin embargo para realizar los circuitos estos se vuelven más complejos.

Es muy importante construir la tabla de verdad para encontrar la lógica del reseteo o bien de alimentación de la próxima cadena de flip flops, en el ejemplo de este proyecto cuando lo plasmé en bocetos, fui capaz de crear la lógica en papel y lápiz en alrededor de 5 minutos. La construcción del circuito demoró un poco más pero con una base ya definida.

# Bibliografía

Academy, N. (2015, 03 29). *Digital Electronics*. Retrieved from Youtube: https://www.youtube.com/playlist?list=PLBlnK6fEyqRjMH3mWf6kwqiTbT798eAOm

Floyd, T. L. (2006). *Fundamentos de sistemas digitales.* Madrid: Pearson Educación S.A.

1. http://www.allaboutcircuits.com/textbook/digital/chpt-10/s-r-latch/ [↑](#footnote-ref-1)
2. [↑](#endnote-ref-1)
3. Héctor Florez Hernandez, Algunas Ideas de Ingeniería, <http://hflorezf-es.blogspot.com/2011/09/flip-flops.html> [↑](#footnote-ref-2)
4. Viene a significar "conmutación". [↑](#footnote-ref-3)