

Fecha de asignación: 28 de febrero de 2023

Fecha límite de entrega: 23:59 horas del 27 de marzo de 2023

1. Objetivo

- Emplear los conocimientos teóricos adquiridos en el curso en el proceso de diseño de sistemas digitales.
- Emplear herramientas de software para el diseño y la simulación de sistemas digitales.

2. Descripción

En esta práctica, cada equipo de trabajo debe diseñar, implementar y simular un sistema secuencial que detecte tres cadenas de dígitos binarios diferentes, asignadas de antemano. El sistema debe disponer de una entrada binaria a través de la cual es conformada, al ritmo de la señal de reloj (*clock*), la secuencia a analizar. Las secuencias de bits asignadas deben ser identificadas sin importar donde ocurran dentro de una secuencia más larga. El sistema debe contar con una señal de *reset* asíncrona que permita llevar el sistema a su estado inicial, tal como se muestra en la Figura 1.

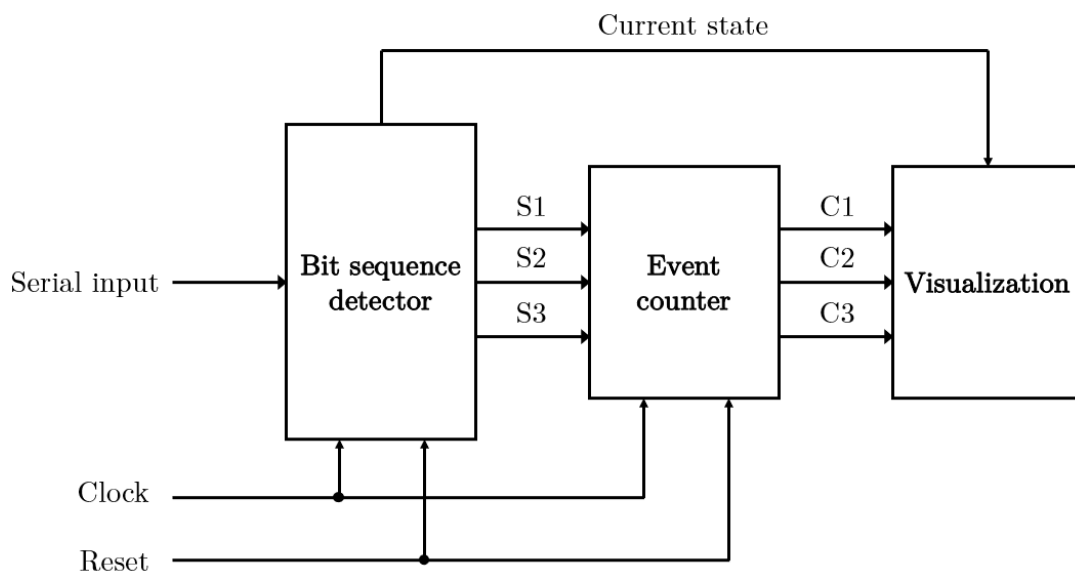


Figura 1. Diagrama de bloques del sistema secuencial a implementar

Las salidas **S1**, **S2** y **S3** indicarán la ocurrencia de las secuencias #1, #2 y #3, respectivamente. Luego, un contador de eventos se encargará de acumular el número de ocurrencias de cada secuencia durante un periodo determinado. Los valores de conteo de ocurrencias de cada secuencia (**C1**, **C2** y **C3**) deben ser visualizados en números decimales empleando *displays* de siete segmentos. De la misma manera debe ser visualizado el estado actual del componente detector de secuencias. Las tres secuencias por identificar asignadas a cada equipo de trabajo se indican en la en la sección 6 de este documento.

3. Procedimiento

Cada equipo de trabajo implementará el detector de secuencias como una sola máquina de estados finitos tipo Moore, además de los componentes de visualización, de acuerdo con la descripción previa, empleando la herramienta [*Logisim Evolution v.3.7.2*](#), y siguiendo un estilo estructural y jerárquico, en el que se diseñan bloques básicos que luego son instanciados para crear otros más complejos y de mayor nivel en la jerarquía de diseño. Una vez concebido el diagrama de estados del detector de secuencias, se debe representar mediante una tabla de estados y salidas, a partir de la cual se obtendrán las ecuaciones de excitación de los *flip flops* que le sean asignados a cada equipo, así como las ecuaciones de salida. Estas ecuaciones deben ser minimizadas empleando mapas de Karnaugh y para su implementación circuital sólo se podrán emplear compuertas AND, OR y NOT.

En ninguna circunstancia se permitirá que los contadores de eventos sean implementados usando el componente “Counter” de la biblioteca de *Logisim Evolution*. Es decir, los contadores tendrán que ser contruidos empleando como componente básico el *flip flop*, sin restricciones sobre su número y tipo.

El componente de visualización debe ser diseñado como un sistema combinacional, en el que los decodificadores que puedan ser necesarios tendrán que ser diseñados a partir de una tabla de verdad, las expresiones mínimas obtenidas con mapas de Karnaugh, y serán implementados sólo con compuertas AND, OR y NOT. La convención para ilustrar los dígitos decimales en un *display* de siete segmentos se muestra en la Figura 2.

Para la operación del sistema, es necesario tener en cuenta que debe soportar una frecuencia de reloj hasta de 8 Hz, con un tiempo de operación continúa hasta de 30 segundos.

El sistema tiene que ser simulado exhaustivamente con la misma herramienta para verificar su correcto funcionamiento.

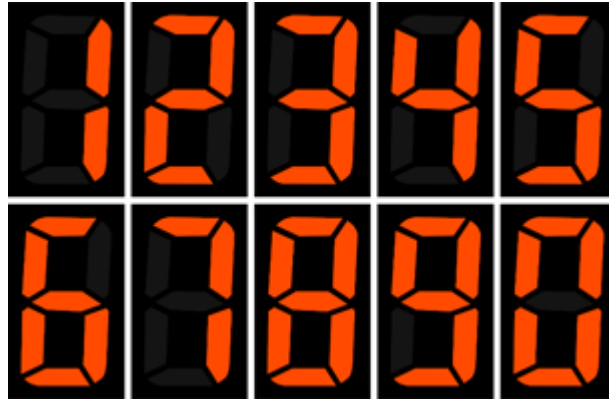


Figura 2. Convención para ilustrar los dígitos decimales en un display de siete segmentos

Durante el proceso de diseño pueden presentarse diversas situaciones ante las cuales cada equipo debe tomar decisiones. En todos los casos, las decisiones de diseño estarán orientadas por el ingenio y la creatividad del equipo de trabajo, y deben ser ampliamente explicadas y justificadas.

4. Informe

Cada equipo de trabajo debe realizar un informe escrito que incluya una descripción completa del proceso: decisiones de diseño, diagramas de estados, tabla de estados y salidas, mapas de simplificación (incluyendo listados exhaustivos de implicantes primos e implicantes primos esenciales), funciones lógicas minimizadas, esquemáticos de los circuitos, simulación exhaustiva del sistema, observaciones, análisis de resultados y conclusiones. Este documento debe estar en formato PDF y ser subido a la plataforma, acompañado de los archivos de diseño de **Logisim Evolution**, antes del cierre del plazo de entrega. El informe tiene un peso del 30% en la calificación global de la práctica.

5. Sustentación

Ambos miembros del equipo de trabajo deben demostrar un dominio completo del desarrollo de la práctica mediante un video explicativo con una duración máxima de ocho minutos, en el que intervengan de manera equitativa. La entrega del video se debe realizar como un enlace de acceso al mismo incluido en el informe, y no como un archivo adjunto. Tanto el profesor como el monitor podrán citar a algunos equipos de trabajo para que respondan preguntas que permitan aclarar o ampliar la información suministrada en el video con la sustentación. La sustentación tiene un peso del 70% en la calificación global de la práctica.

6. Asignaciones para los equipos de trabajo

Las secuencias por identificar y el tipo de *flip flop* a emplear por parte de cada equipo en la implementación del detector de secuencias se muestran en la Tabla 1.

Tabla 1. Condiciones del sistema secuencial a implementar por parte de cada equipo de trabajo

Equipo	Secuencia #1 (4 bits)	Secuencia #2 (5 bits)	Secuencia #3 (6 bits)	Flip- flop
1	0110	01110	100100	SR
2	1011	11011	110100	JK
3	1110	10110	000111	SR
4	1100	10001	110000	JK
5	1010	01110	110110	SR
6	1110	11000	100101	JK
7	0100	00101	011110	SR
8	1100	11011	111110	JK
9	0111	10110	000000	SR
10	1001	11101	001111	JK
11	0010	00000	111011	SR
12	0011	11101	011100	JK
13	1011	11010	010110	SR
14	0000	11110	001100	JK
15	0111	10110	011010	SR
16	1000	11001	010101	JK
17	0100	11101	000101	SR
18	1111	10111	110010	JK
19	1110	10110	011000	SR
20	0001	00010	111100	JK
21	1001	00011	000101	SR
22	1011	01011	110010	JK
23	1110	10011	100000	SR
24	1011	00001	101101	JK
25	0110	10110	100111	SR