

# Memorias y Memoria Caché

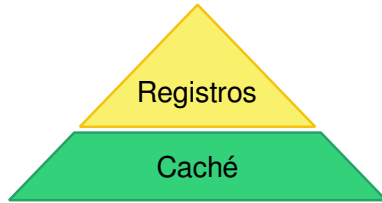
David Alejandro González Márquez

Clase disponible en: <https://github.com/fokerman/computingSystemsCourse>

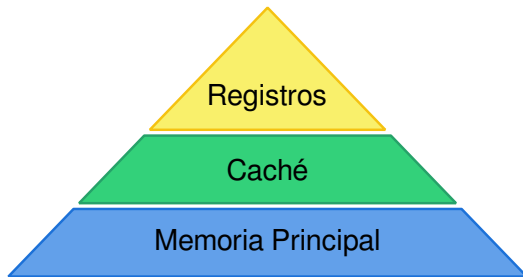
# Jerarquía de Memoria



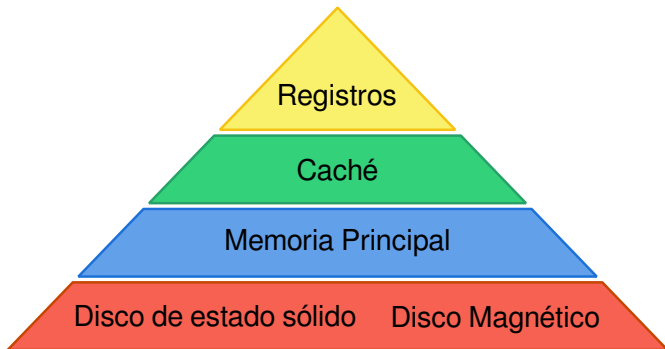
## Jerarquía de Memoria



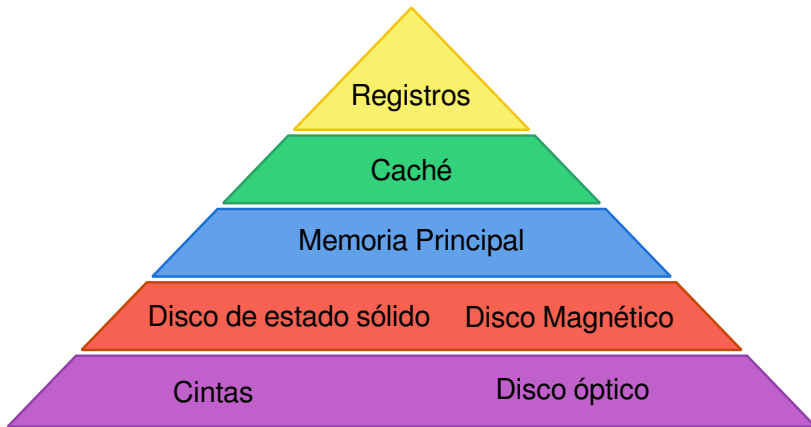
## Jerarquía de Memoria



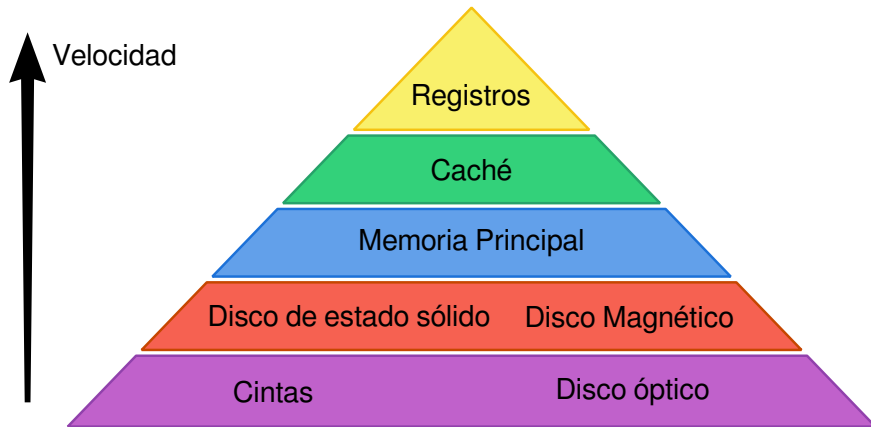
## Jerarquía de Memoria



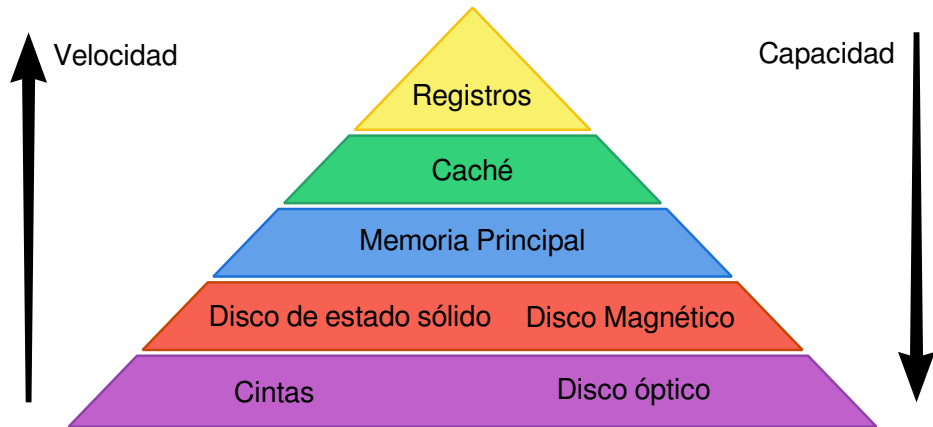
## Jerarquía de Memoria



## Jerarquía de Memoria



## Jerarquía de Memoria





## Jerarquía de Memoria



Cada uno de los tipos de memoria está implementado con una tecnología diferente.  
A medida que aumentamos la capacidad, se disminuye el costo por bit almacenado.

# Tecnologías de memorias

Existen diferentes tipos de memoria

- **RAM (Random Access Memory)**

Memoria volátil de lectura/escritura.

- **DRAM** (Dynamic Random Access Memory): Construida con capacitores, requiere ser recargada para mantener su estado, muy económica (Memoria Principal).
- **SRAM** (Static Random Access Memory): Basada en flip-flops, de costo muy alto, poca densidad, pero muy rápida (Memoria caché).

# Tecnologías de memorias

Existen diferentes tipos de memoria

- **RAM (Random Access Memory)**

Memoria volátil de lectura/escritura.

- **DRAM** (Dynamic Random Access Memory): Construida con capacitores, requiere ser recargada para mantener su estado, muy económica (Memoria Principal).
- **SRAM** (Static Random Access Memory): Basada en flip-flops, de costo muy alto, poca densidad, pero muy rápida (Memoria caché).

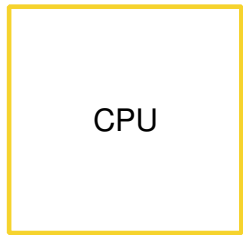
- **ROM (Read Only Memory)**

No volátil, almacena información esencial para el inicio de un sistema.

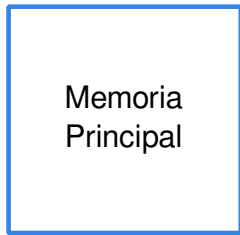
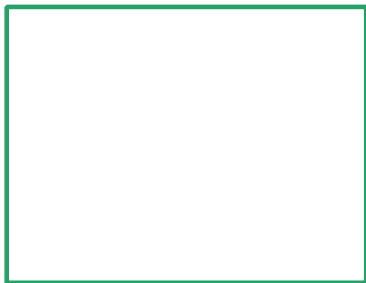
- **PROM** (Programmable read-only memory): Se programa una vez y no puede ser borrada.
- **EPROM** (Erasable Programmable read only memory): Puede ser borrada y reprogramada mediante la exposición a luz ultravioleta.
- **EEPROM** (Electrically erasable programmable read only memory): Puede ser borrada mediante la aplicación de pulsos eléctricos.
- **Memoria Flash**: Evolución de las memorias EEPROM, permite escribir por bloques, resultando más económica y densa.

## Memoria Caché

Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.

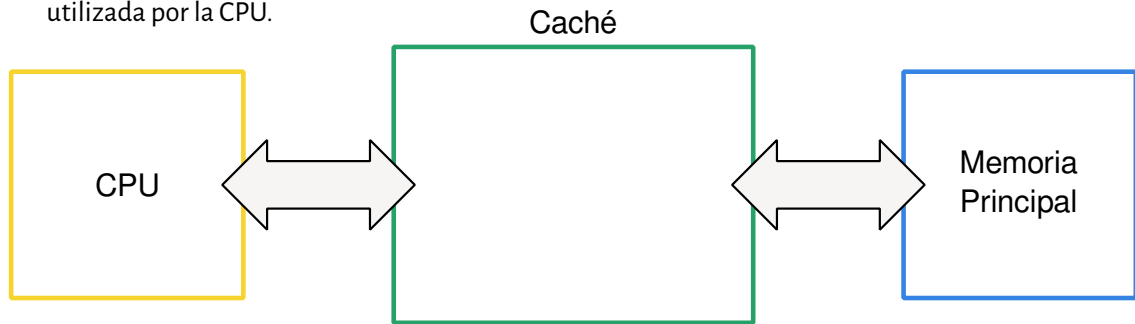


Caché



## Memoria Caché

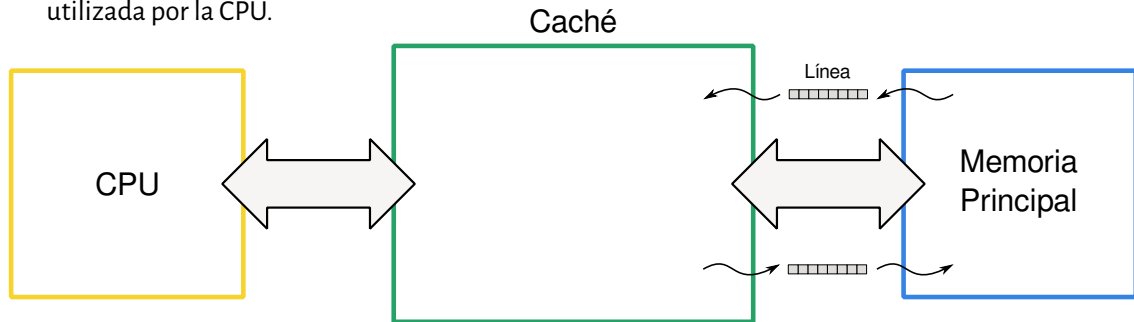
Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.



Es un componente fundamental para reducir la **latencia** a la memoria principal.

## Memoria Caché

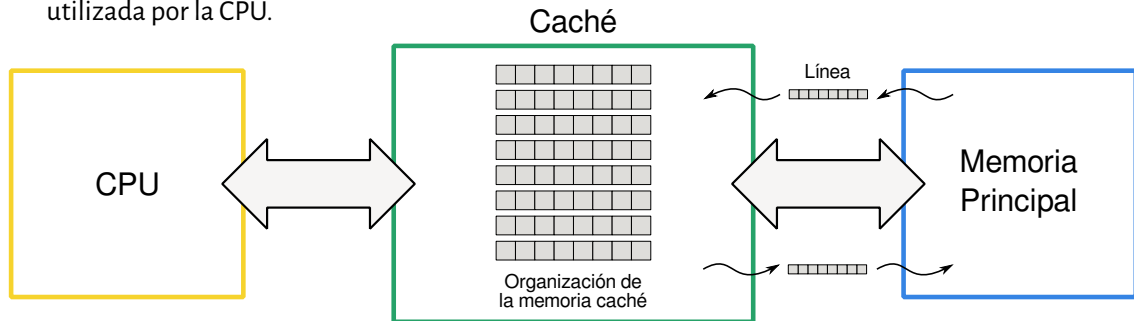
Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.



Es un componente fundamental para reducir la **latencia** a la memoria principal.

## Memoria Caché

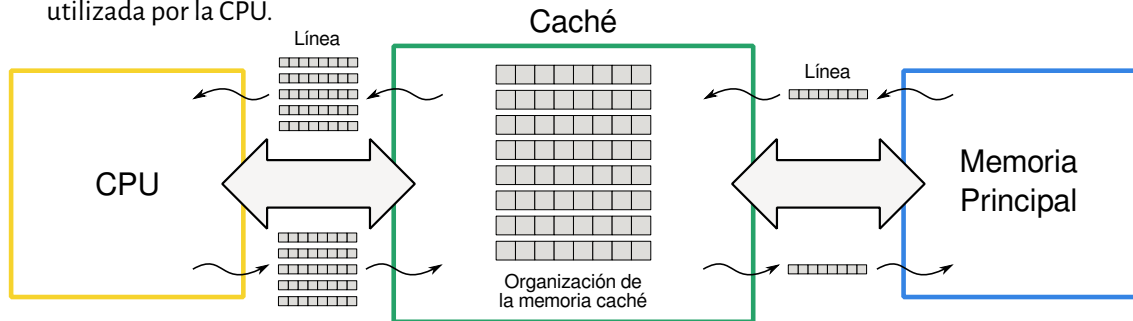
Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.



Es un componente fundamental para reducir la **latencia** a la memoria principal.

## Memoria Caché

Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.

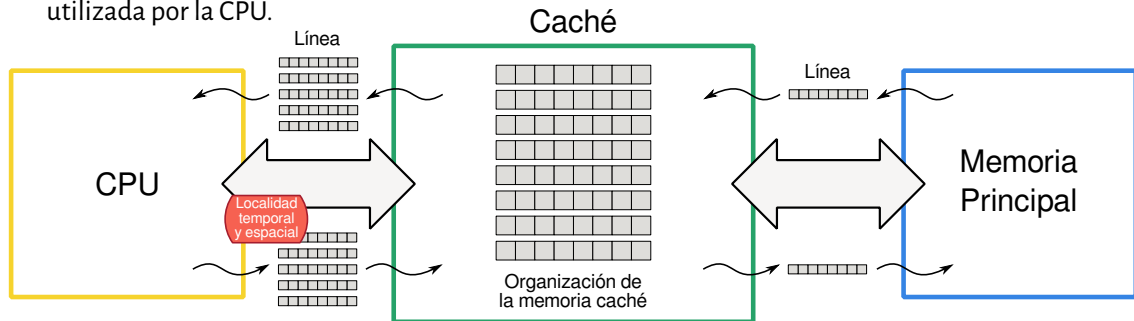


Es un componente fundamental para reducir la **latencia** a la memoria principal.



## Memoria Caché

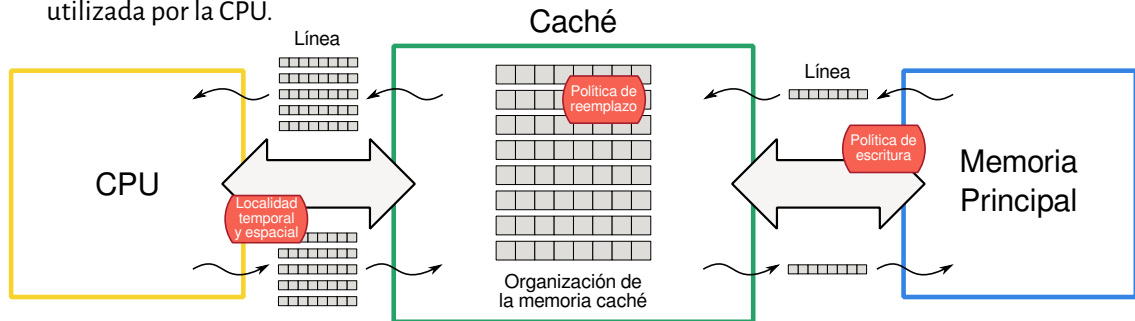
Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.



Es un componente fundamental para reducir la **latencia** a la memoria principal. Basa su funcionamiento en el principio de **localidad** espacial y temporal.

## Memoria Caché

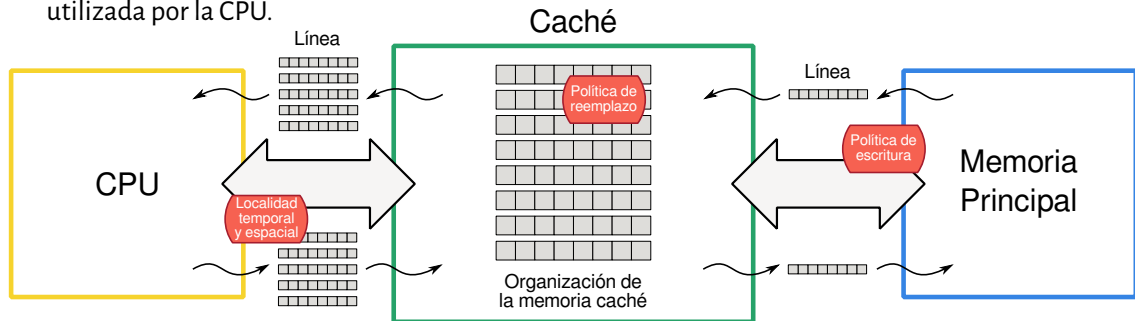
Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.



Es un componente fundamental para reducir la **latencia** a la memoria principal. Basa su funcionamiento en el principio de **localidad** espacial y temporal. Implementa una estructura propia con **políticas de reemplazo** y **escritura**.

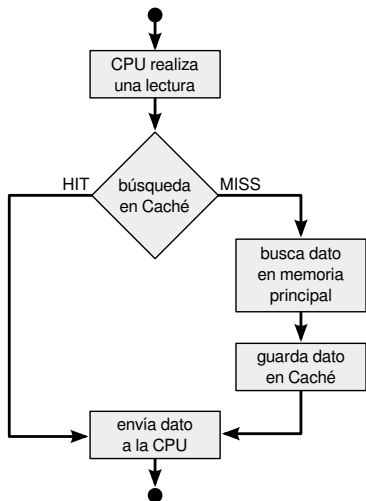
## Memoria Caché

Es una memoria intermedia que almacena temporariamente una copia de la información utilizada por la CPU.



Es un componente fundamental para reducir la **latencia** a la memoria principal. Basa su funcionamiento en el principio de **localidad** espacial y temporal. Implementa una estructura propia con **políticas de reemplazo** y **escritura**. Debe ser **transparente** para la CPU.

# ¿Cómo funciona la Memoria Caché?



## Eventos tras un acceso

- **Hit:** El dato solicitado se encuentra en caché
- **Miss:** En caso contrario

## Métricas

- **Hit Rate** =  $\frac{\#hits}{\#pedidos}$
- **Miss Rate** =  $\frac{\#miss}{\#pedidos}$

## Objetivo

Lograr que el **hit rate** sea lo más alto posible.

## Localidad Espacial y Localidad Temporal

Durante un *miss*, la memoria caché solicita a la memoria principal el dato buscado junto con los datos vecinos. De esta forma, anticipa los futuros pedidos.

- **Localidad Espacial:**

Si se pide un dato en memoria, es altamente probable que a continuación se pida también otro dato que esté próximo a él en memoria. Ejemplos: ejecución secuencial, recorrido de arrays, etc.

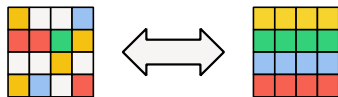
- **Localidad Temporal:**

Si se pide un dato en memoria, es altamente probable que este vuelva a ser reutilizado en un futuro inmediato. Ejemplos: variables, ciclos, etc.

## Tipos de Caché

- **Totalmente Asociativa:**

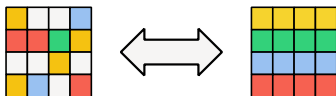
Cada bloque en caché puede contener cualquier dato de la memoria principal.



## Tipos de Caché

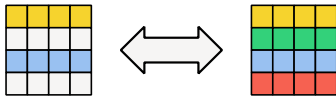
- **Totalmente Asociativa:**

Cada bloque en caché puede contener cualquier dato de la memoria principal.



- **Correspondencia Directa:**

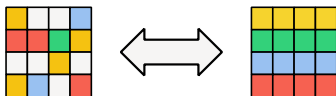
Los bloques de caché almacenan direcciones específicas de memoria principal.



## Tipos de Caché

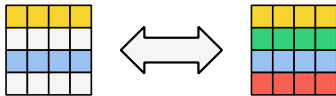
- **Totalmente Asociativa:**

Cada bloque en caché puede contener cualquier dato de la memoria principal.



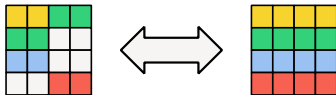
- **Correspondencia Directa:**

Los bloques de caché almacenan direcciones específicas de memoria principal.



- **Asociativa por Conjuntos:**

Los bloques de caché se dividen en conjuntos y cada uno puede almacenar un conjunto de direcciones específicas de memoria principal.





# Políticas

## Política de reemplazo

- **First In First Out** (FIFO):  
El primer dato en entrar es el primero en ser descartado.
- **Least Recently Used** (LRU):  
Se descarta el dato menos recientemente usado.
- **Least Frequently Used** (LFU):  
Se descarta el bloque menos frecuentemente usado.

# Políticas

## Política de reemplazo

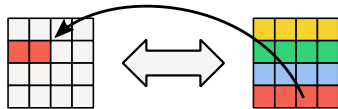
- **First In First Out (FIFO):**  
El primer dato en entrar es el primero en ser descartado.
- **Least Recently Used (LRU):**  
Se descarta el dato menos recientemente usado.
- **Least Frequently Used (LFU):**  
Se descarta el bloque menos frecuentemente usado.

## Política de escritura

- **Write-through:**  
Se escribe en caché y en memoria al mismo tiempo.
- **Write-back:**  
Se escribe en memoria principal cuando se desaloja el dato de caché.

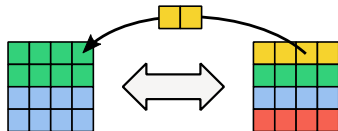
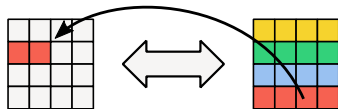
## Tipos de fallos

- **Forzosos** (Compulsory):  
En el primer acceso este no se encuentra en la caché (primera referencia).



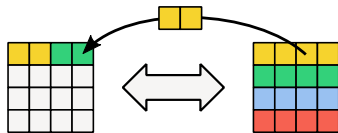
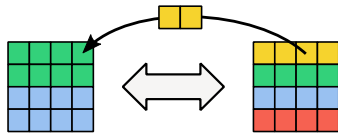
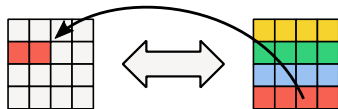
## Tipos de fallos

- **Forzosos** (Compulsory):  
En el primer acceso este no se encuentra en la caché (primera referencia).
- **Capacidad** (Capacity):  
La caché no puede contener todos los bloques necesarios durante la ejecución de un programa.

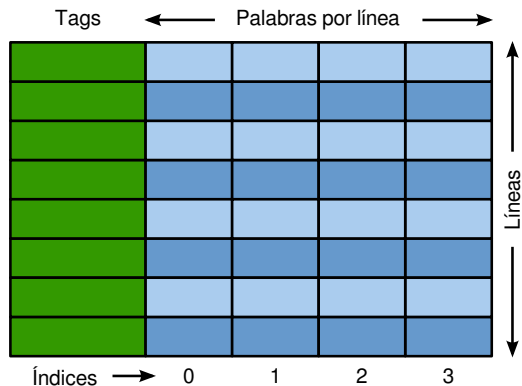


## Tipos de fallos

- **Forzosos** (Compulsory):  
En el primer acceso este no se encuentra en la caché (primera referencia).
- **Capacidad** (Capacity):  
La caché no puede contener todos los bloques necesarios durante la ejecución de un programa.
- **Conflicto** (Conflict):  
Diferentes bloques deben ir necesariamente al mismo conjunto o línea (fallos de colisión).

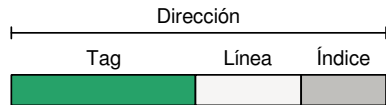


## Estructura de una Caché



**Memoria Principal:**  $2^M$  bytes, direccionable a byte.

**Caché:**  $K$  líneas de  $N$  bytes y  $V$  vías.



**Índice:**  $\log_2(N)$  bits.

Indica la posición del dato dentro de una línea.

**Línea:**  $\log_2(K/V)$  bits.

Mínima unidad de almacenamiento en la memoria caché.

**Tag:**  $M - \text{Línea} - \text{Índice}$  bits.

Identificador del dato en memoria principal.

## Ejemplos de tipos de memorias caché

Para comprender el funcionamiento de cada uno de los tipos de memorias caché, vamos a armar un ejemplo para cada tipo:

Considerar una **memoria principal de 64** bytes  
y una **memoria caché de 16** bytes  
con las siguientes características:

### A Totalmente Asociativa

4 líneas, 4 bytes por línea

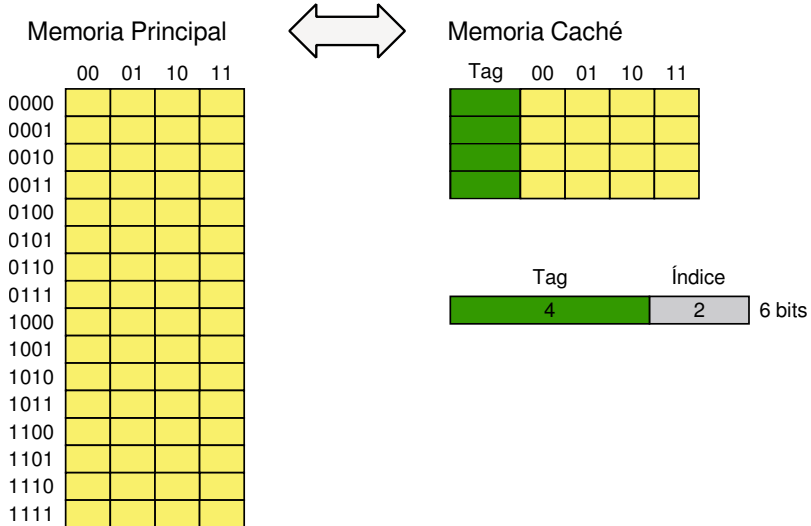
### B Correspondencia Directa

4 líneas, 4 bytes por línea

### C Asociativa por Conjuntos

2 vías (es decir, 2 líneas por conjunto), 2 conjuntos, 4 bytes por línea

## A - Totalmente Associativa





## A - Totalmente Associativa

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

Tag	00	01	10	11



## A - Totalmente Associativa

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

Tag	00	01	10	11
0100	21	43	44	62



## A - Totalmente Associativa

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33

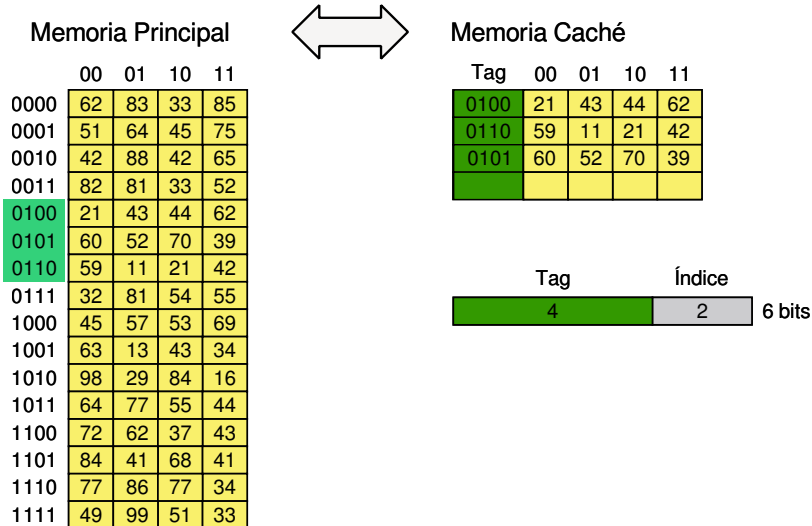


Memoria Caché

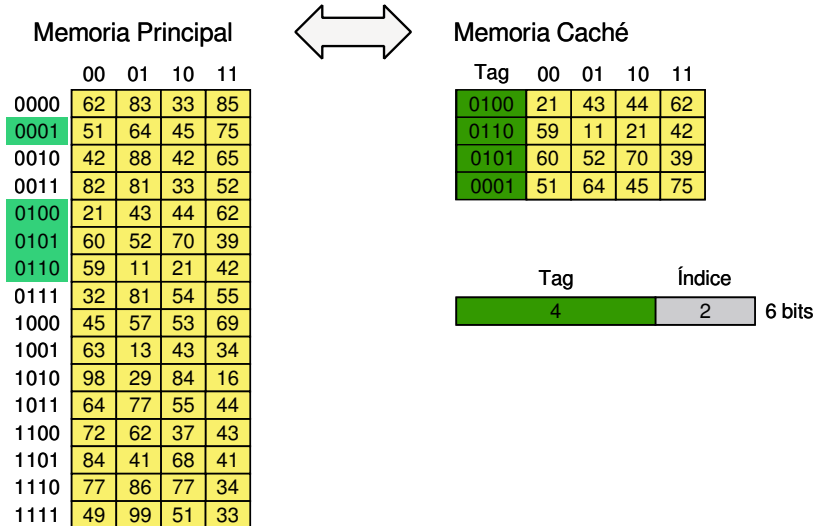
Tag	00	01	10	11
0100	21	43	44	62
0110	59	11	21	42



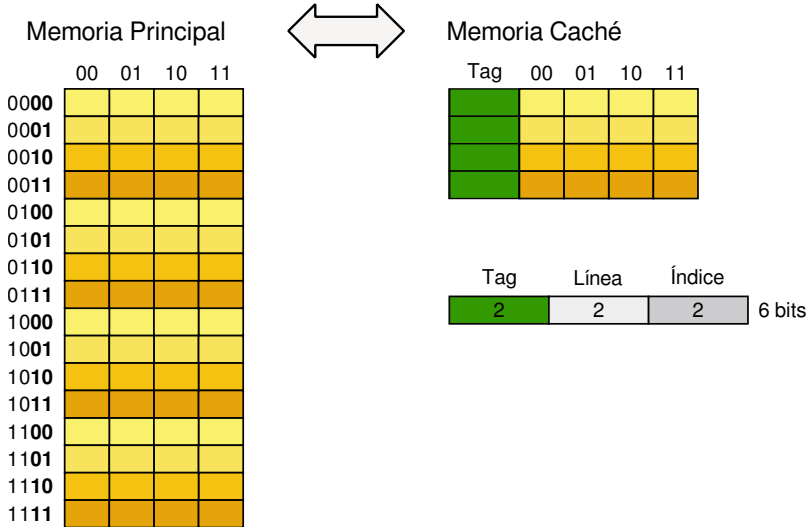
## A - Totalmente Associativa



## A - Totalmente Associativa



## B - Correspondencia Directa



## B - Correspondencia Directa

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33

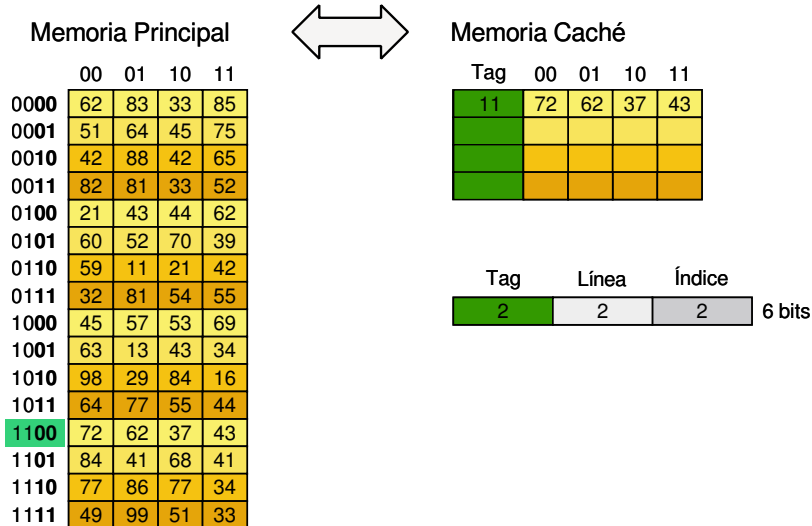


Memoria Caché

Tag	00	01	10	11

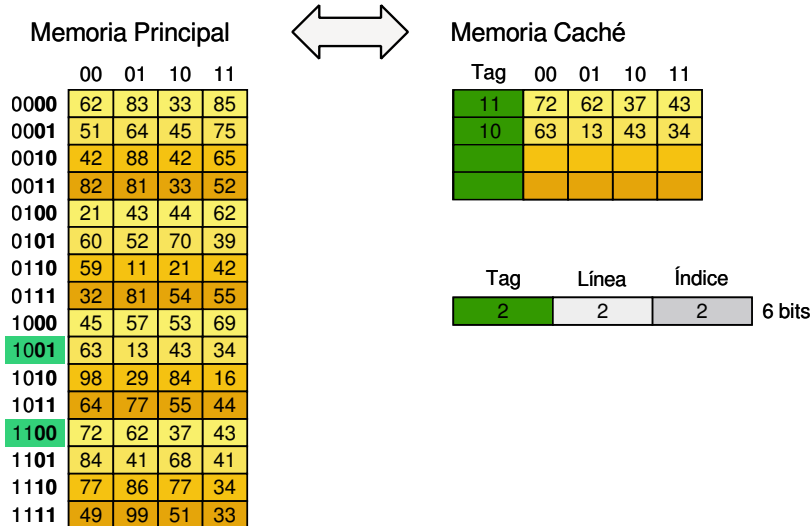
Tag	Línea	Índice	
2	2	2	6 bits

## B - Correspondencia Directa

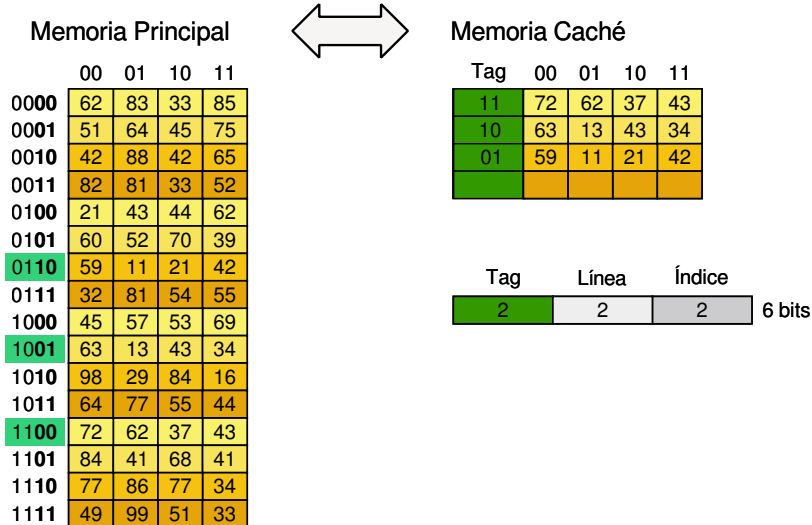




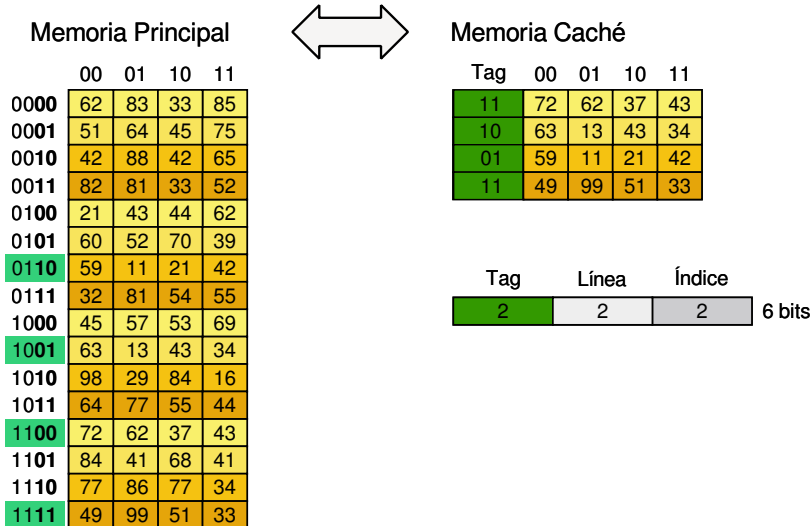
## B - Correspondencia Directa



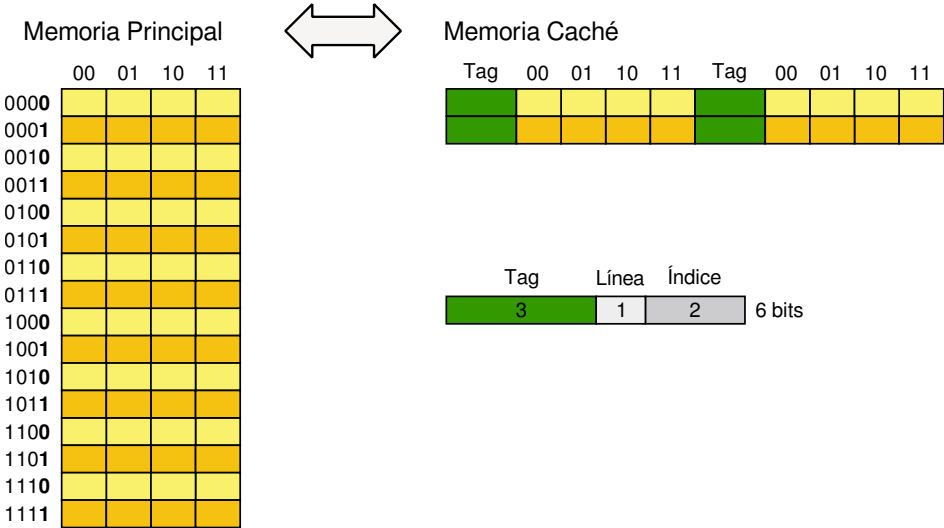
## B - Correspondencia Directa



## B - Correspondencia Directa



# C - Asociativa por Conjuntos



## C - Asociativa por Conjuntos

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

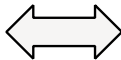
Tag	00	01	10	11	Tag	00	01	10	11

Tag	Línea	Índice	
3	1	2	6 bits

## C - Asociativa por Conjuntos

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

Tag	00	01	10	11	Tag	00	01	10	11
101	98	29	84	16					

Tag	Línea	Índice	
3	1	2	6 bits

## C - Asociativa por Conjuntos

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

Tag	00	01	10	11	Tag	00	01	10	11
101	98	29	84	16	000	62	83	33	85

Tag	Línea	Índice	
3	1	2	6 bits

## C - Asociativa por Conjuntos

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

Tag	00	01	10	11	Tag	00	01	10	11
101	98	29	84	16	000	62	83	33	85
011	32	81	54	55					

Tag	Línea	Índice	
3	1	2	6 bits



## C - Asociativa por Conjuntos

Memoria Principal

	00	01	10	11
0000	62	83	33	85
0001	51	64	45	75
0010	42	88	42	65
0011	82	81	33	52
0100	21	43	44	62
0101	60	52	70	39
0110	59	11	21	42
0111	32	81	54	55
1000	45	57	53	69
1001	63	13	43	34
1010	98	29	84	16
1011	64	77	55	44
1100	72	62	37	43
1101	84	41	68	41
1110	77	86	77	34
1111	49	99	51	33



Memoria Caché

Tag	00	01	10	11	Tag	00	01	10	11
101	98	29	84	16	000	62	83	33	85
011	32	81	54	55	001	82	81	33	52

Tag	Línea	Índice	
3	1	2	6 bits

## Ejemplos - Correspondencia Directa

**Memoria Principal**  $2^{20}$  bytes, direccionable a byte.

**Caché** 32 líneas de 16 bytes cada una.

**Índice**  $= \log_2(16) = 4$  bits

**Línea**  $= \log_2(32) = 5$  bits

**Tags**  $= 20 - 4 - 5 = 11$  bits

¿Está cargada en caché la línea donde se encuentra el dato de la dirección C34A6?

Paso la dirección a binario:

C	3	4	A	6
1100	0011	0100	1010	0110

Separo según los campos **tag** 11 bits, **línea** 5 bits, **índice** 4 bits:

61A	A	6
110 0001 1010	0 1010	0110

Si en la **línea** número 0xA se encontrará el *tag* número 0x61A, entonces la línea se encuentra en la memoria caché.

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías.

**Índice** =  $\log_2(64) = 6$  bits

**Línea** =  $\log_2(32/2) = 4$  bits

**Tags** =  $20 - 4 - 6 = 10$  bits

¿Está cargada en caché la línea donde se encuentra el dato de la dirección C34A6?

Paso la dirección a binario:

C	3	4	A	6
1100	0011	0100	1010	0110

Separo según los campos **tag** 10 bits, **línea** 4 bits, **índice** 6 bits:

30D	2	26
11 0000 1101	0010	10 0110

Si en el **conjunto** número 0x2 se encontrará el *tag* número 0x30D, entonces la línea se encuentra en la memoria caché.

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **política de remplazo FIFO**.

Suponiendo accesos a memoria de dos bytes, indicar el **hit-rate** de las siguientes lecturas a memoria, indicando en cada paso qué datos guarda la memoria caché:

0xC34A6

0xC38AB

0xC3480

0xC34D4

0xC34FF

0xC34BF

0x00090

**Índice** =  $\log_2(64) = 6$  bits

**Línea** =  $\log_2(32/2) = 4$  bits

**Tags** =  $20 - 4 - 6 = 10$  bits

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6						
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 1100 0011 01 00 10 10 0110						
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 30D 1100 0011 01 00 10 10 0110						
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\begin{array}{r} 30D \\ \hline 1100\ 0011\ 01\ \end{array} \begin{array}{r} 2 \\ \hline 00\ 10\ \end{array} 10\ 0110$						
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						



## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\begin{array}{ccc} 30D & 2 & 26 \\ \hline 1100\ 0011\ 01 & 00\ 10 & 10\ 0110 \end{array}$						
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\begin{array}{ccc} 30D & 2 & 26 \\ \hline 1100\ 0011\ 01 & 00\ 10 & 10\ 0110 \end{array}$	30D	2	26			
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 <div>30D      2      26 1100 0011 01 00 10 10 0110</div>	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 <div>30D      2      26 1100 0011 01 00 10 10 0110</div>	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB <div>1100 0011 10 00 10 10 1011</div>						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\begin{array}{r} 30D \\ \hline 1100\ 0011\ 01 \end{array} \quad \begin{array}{r} 2 \\ \hline 00\ 10 \end{array} \quad \begin{array}{r} 26 \\ \hline 10\ 0110 \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\begin{array}{r} 30E \\ \hline 1100\ 0011\ 10 \end{array} \quad \begin{array}{r} 2 \\ \hline 00\ 10 \end{array} \quad \begin{array}{r} 2B \\ \hline 10\ 1011 \end{array}$						
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01} \quad \frac{2}{00\ 10} \quad \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10} \quad \frac{2}{00\ 10} \quad \frac{2B}{10\ 1011}$	30E	2	2B			
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480						
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$						
C34D4						
C34FF						
C34BF						
00090						



## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$	30D	2	00			
C34D4						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$	30D	2	00	Hit	{2:30D, 2:30E}	
C34D4						
C34FF						
C34BF						
00090						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$	30D	2	00	Hit	{2:30D, 2:30E}	
C34D4 $\frac{30D}{1100\ 0011\ 01}\ \frac{3}{00\ 11}\ \frac{14}{01\ 0100}$						
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$	30D	2	00	Hit	{2:30D, 2:30E}	
C34D4 $\frac{30D}{1100\ 0011\ 01}\ \frac{3}{00\ 11}\ \frac{14}{01\ 0100}$	30D	3	14			
C34FF						
C34BF						
00090						

## Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$	30D	2	00	Hit	{2:30D, 2:30E}	
C34D4 $\frac{30D}{1100\ 0011\ 01}\ \frac{3}{00\ 11}\ \frac{14}{01\ 0100}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
C34FF						
C34BF						
00090						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
C34A6 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{26}{10\ 0110}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
C38AB $\frac{30E}{1100\ 0011\ 10}\ \frac{2}{00\ 10}\ \frac{2B}{10\ 1011}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
C3480 $\frac{30D}{1100\ 0011\ 01}\ \frac{2}{00\ 10}\ \frac{00}{00\ 0000}$	30D	2	00	Hit	{2:30D, 2:30E}	
C34D4 $\frac{30D}{1100\ 0011\ 01}\ \frac{3}{00\ 11}\ \frac{14}{01\ 0100}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
C34FF $\frac{30D}{1100\ 0011\ 01}\ \frac{3}{00\ 11}\ \frac{3F}{11\ 1111}$						
C34BF						
00090						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
<b>C34A6</b> $\begin{array}{r} 30D \quad 2 \quad 26 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 10\ 0110 \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
<b>C38AB</b> $\begin{array}{r} 30E \quad 2 \quad 2B \\ \hline 1100\ 0011\ 10 \quad 00\ 10 \quad 10\ 1011 \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
<b>C3480</b> $\begin{array}{r} 30D \quad 2 \quad 00 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 00\ 0000 \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
<b>C34D4</b> $\begin{array}{r} 30D \quad 3 \quad 14 \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 01\ 0100 \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
<b>C34FF</b> $\begin{array}{r} 30D \quad 3 \quad 3F \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 11\ 1111 \end{array}$	30D	3	3F			
<b>C34BF</b>						
<b>00090</b>						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
<b>C34A6</b> $\begin{array}{r} 30D \quad 2 \quad 26 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 10\ 0110 \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
<b>C38AB</b> $\begin{array}{r} 30E \quad 2 \quad 2B \\ \hline 1100\ 0011\ 10 \quad 00\ 10 \quad 10\ 1011 \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
<b>C3480</b> $\begin{array}{r} 30D \quad 2 \quad 00 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 00\ 0000 \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
<b>C34D4</b> $\begin{array}{r} 30D \quad 3 \quad 14 \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 01\ 0100 \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
<b>C34FF</b> $\begin{array}{r} 30D \quad 3 \quad 3F \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 11\ 1111 \end{array}$	30D	3	3F	Miss		
<b>C34BF</b>						
<b>00090</b>						



# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
<b>C34A6</b> $\begin{array}{r} 30D \quad 2 \quad 26 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 10\ 0110 \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
<b>C38AB</b> $\begin{array}{r} 30E \quad 2 \quad 2B \\ \hline 1100\ 0011\ 10 \quad 00\ 10 \quad 10\ 1011 \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
<b>C3480</b> $\begin{array}{r} 30D \quad 2 \quad 00 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 00\ 0000 \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
<b>C34D4</b> $\begin{array}{r} 30D \quad 3 \quad 14 \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 01\ 0100 \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
<b>C34FF</b> $\begin{array}{r} 30D \quad 3 \quad 3F \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 11\ 1111 \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
<b>C34BF</b>						
<b>00090</b>						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
<b>C34A6</b> $\begin{array}{r} 30D \quad 2 \quad 26 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 10\ 0110 \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
<b>C38AB</b> $\begin{array}{r} 30E \quad 2 \quad 2B \\ \hline 1100\ 0011\ 10 \quad 00\ 10 \quad 10\ 1011 \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
<b>C3480</b> $\begin{array}{r} 30D \quad 2 \quad 00 \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 00\ 0000 \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
<b>C34D4</b> $\begin{array}{r} 30D \quad 3 \quad 14 \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 01\ 0100 \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
<b>C34FF</b> $\begin{array}{r} 30D \quad 3 \quad 3F \\ \hline 1100\ 0011\ 01 \quad 00\ 11 \quad 11\ 1111 \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
<b>C34BF</b> $\begin{array}{r} 30D \quad 2 \quad 3F \\ \hline 1100\ 0011\ 01 \quad 00\ 10 \quad 11\ 1111 \end{array}$	30D	2	3F			
00090						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
<b>C34A6</b> $\begin{array}{r} 30D \\ 1100\ 0011\ 01 \end{array} \quad \begin{array}{r} 2 \\ 00\ 10 \end{array} \quad \begin{array}{r} 26 \\ 10\ 0110 \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
<b>C38AB</b> $\begin{array}{r} 30E \\ 1100\ 0011\ 10 \end{array} \quad \begin{array}{r} 2 \\ 00\ 10 \end{array} \quad \begin{array}{r} 2B \\ 10\ 1011 \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
<b>C3480</b> $\begin{array}{r} 30D \\ 1100\ 0011\ 01 \end{array} \quad \begin{array}{r} 2 \\ 00\ 10 \end{array} \quad \begin{array}{r} 00 \\ 00\ 0000 \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
<b>C34D4</b> $\begin{array}{r} 30D \\ 1100\ 0011\ 01 \end{array} \quad \begin{array}{r} 3 \\ 00\ 11 \end{array} \quad \begin{array}{r} 14 \\ 01\ 0100 \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
<b>C34FF</b> $\begin{array}{r} 30D \\ 1100\ 0011\ 01 \end{array} \quad \begin{array}{r} 3 \\ 00\ 11 \end{array} \quad \begin{array}{r} 3F \\ 11\ 1111 \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
<b>C34BF</b> $\begin{array}{r} 30D \\ 1100\ 0011\ 01 \end{array} \quad \begin{array}{r} 2 \\ 00\ 10 \end{array} \quad \begin{array}{r} 3F \\ 11\ 1111 \end{array}$	30D	2	3F	Hit	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; tengo ambas
00090						

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
$\begin{array}{r} \text{C34A6} \\ \hline \begin{array}{ccc} 30D & 2 & 26 \\ 1100\ 0011\ 01 & 00\ 10 & 10\ 0110 \end{array} \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
$\begin{array}{r} \text{C38AB} \\ \hline \begin{array}{ccc} 30E & 2 & 2B \\ 1100\ 0011\ 10 & 00\ 10 & 10\ 1011 \end{array} \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
$\begin{array}{r} \text{C3480} \\ \hline \begin{array}{ccc} 30D & 2 & 00 \\ 1100\ 0011\ 01 & 00\ 10 & 00\ 0000 \end{array} \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
$\begin{array}{r} \text{C34D4} \\ \hline \begin{array}{ccc} 30D & 3 & 14 \\ 1100\ 0011\ 01 & 00\ 11 & 01\ 0100 \end{array} \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
$\begin{array}{r} \text{C34FF} \\ \hline \begin{array}{ccc} 30D & 3 & 3F \\ 1100\ 0011\ 01 & 00\ 11 & 11\ 1111 \end{array} \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
$\begin{array}{r} \text{C34BF} \\ \hline \begin{array}{ccc} 30D & 2 & 3F \\ 1100\ 0011\ 01 & 00\ 10 & 11\ 1111 \end{array} \end{array}$	30D	2	3F	Hit	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; tengo ambas
$\begin{array}{r} \text{00090} \\ \hline \begin{array}{ccc} 000 & 2 & 10 \\ 0000\ 0000\ 00 & 00\ 10 & 01\ 0000 \end{array} \end{array}$	000	2	10			

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
$\begin{array}{r} \text{C34A6} \\ \hline \begin{array}{ccc} 30D & 2 & 26 \\ 1100\ 0011\ 01 & 00\ 10 & 10\ 0110 \end{array} \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
$\begin{array}{r} \text{C38AB} \\ \hline \begin{array}{ccc} 30E & 2 & 2B \\ 1100\ 0011\ 10 & 00\ 10 & 10\ 1011 \end{array} \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
$\begin{array}{r} \text{C3480} \\ \hline \begin{array}{ccc} 30D & 2 & 00 \\ 1100\ 0011\ 01 & 00\ 10 & 00\ 0000 \end{array} \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
$\begin{array}{r} \text{C34D4} \\ \hline \begin{array}{ccc} 30D & 3 & 14 \\ 1100\ 0011\ 01 & 00\ 11 & 01\ 0100 \end{array} \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
$\begin{array}{r} \text{C34FF} \\ \hline \begin{array}{ccc} 30D & 3 & 3F \\ 1100\ 0011\ 01 & 00\ 11 & 11\ 1111 \end{array} \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
$\begin{array}{r} \text{C34BF} \\ \hline \begin{array}{ccc} 30D & 2 & 3F \\ 1100\ 0011\ 01 & 00\ 10 & 11\ 1111 \end{array} \end{array}$	30D	2	3F	Hit	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; tengo ambas
$\begin{array}{r} \text{00090} \\ \hline \begin{array}{ccc} 000 & 2 & 10 \\ 0000\ 0000\ 00 & 00\ 10 & 01\ 0000 \end{array} \end{array}$	000	2	10	Miss	{2:30E, 2:000} {3:30D} {4:30D}	desalojé 2:30D

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
$\begin{array}{r} \text{C34A6} \\ \hline \begin{array}{ccc} 30D & 2 & 26 \\ 1100\ 0011\ 01 & 00\ 10 & 10\ 0110 \end{array} \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
$\begin{array}{r} \text{C38AB} \\ \hline \begin{array}{ccc} 30E & 2 & 2B \\ 1100\ 0011\ 10 & 00\ 10 & 10\ 1011 \end{array} \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
$\begin{array}{r} \text{C3480} \\ \hline \begin{array}{ccc} 30D & 2 & 00 \\ 1100\ 0011\ 01 & 00\ 10 & 00\ 0000 \end{array} \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
$\begin{array}{r} \text{C34D4} \\ \hline \begin{array}{ccc} 30D & 3 & 14 \\ 1100\ 0011\ 01 & 00\ 11 & 01\ 0100 \end{array} \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
$\begin{array}{r} \text{C34FF} \\ \hline \begin{array}{ccc} 30D & 3 & 3F \\ 1100\ 0011\ 01 & 00\ 11 & 11\ 1111 \end{array} \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
$\begin{array}{r} \text{C34BF} \\ \hline \begin{array}{ccc} 30D & 2 & 3F \\ 1100\ 0011\ 01 & 00\ 10 & 11\ 1111 \end{array} \end{array}$	30D	2	3F	Hit	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; tengo ambas
$\begin{array}{r} \text{00090} \\ \hline \begin{array}{ccc} 000 & 2 & 10 \\ 0000\ 0000\ 00 & 00\ 10 & 01\ 0000 \end{array} \end{array}$	000	2	10	Miss	{2:30E, 2:000} {3:30D} {4:30D}	desalojé 2:30D

Hit rate =

# Ejemplos - Asociativa por Conjuntos

**Memoria Principal** 1 MB, direccionable a byte.

**Caché** 32 líneas de 64 bytes cada una, 2 vías, **Política de remplazo FIFO**.

Indicar el **hit-rate** de las siguientes lecturas a memoria de 2 bytes, indicando en cada paso qué datos guarda la memoria caché:

Dirección	Tag	Set	Índice	Resultado	Estado Caché	Notas
$\begin{array}{r} \text{C34A6} \\ \hline \begin{array}{ccc} 30D & 2 & 26 \\ 1100\ 0011\ 01 & 00\ 10 & 10\ 0110 \end{array} \end{array}$	30D	2	26	Miss	{2:30D}	cargué 2:30D
$\begin{array}{r} \text{C38AB} \\ \hline \begin{array}{ccc} 30E & 2 & 2B \\ 1100\ 0011\ 10 & 00\ 10 & 10\ 1011 \end{array} \end{array}$	30E	2	2B	Miss	{2:30D, 2:30E}	cargué 2:30E
$\begin{array}{r} \text{C3480} \\ \hline \begin{array}{ccc} 30D & 2 & 00 \\ 1100\ 0011\ 01 & 00\ 10 & 00\ 0000 \end{array} \end{array}$	30D	2	00	Hit	{2:30D, 2:30E}	
$\begin{array}{r} \text{C34D4} \\ \hline \begin{array}{ccc} 30D & 3 & 14 \\ 1100\ 0011\ 01 & 00\ 11 & 01\ 0100 \end{array} \end{array}$	30D	3	14	Miss	{2:30D, 2:30E} {3:30D}	cargué 3:30D
$\begin{array}{r} \text{C34FF} \\ \hline \begin{array}{ccc} 30D & 3 & 3F \\ 1100\ 0011\ 01 & 00\ 11 & 11\ 1111 \end{array} \end{array}$	30D	3	3F	Miss	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; cargué 4:30D
$\begin{array}{r} \text{C34BF} \\ \hline \begin{array}{ccc} 30D & 2 & 3F \\ 1100\ 0011\ 01 & 00\ 10 & 11\ 1111 \end{array} \end{array}$	30D	2	3F	Hit	{2:30D, 2:30E} {3:30D} {4:30D}	acc. desalineado; tengo ambas
$\begin{array}{r} \text{00090} \\ \hline \begin{array}{ccc} 000 & 2 & 10 \\ 0000\ 0000\ 00 & 00\ 10 & 01\ 0000 \end{array} \end{array}$	000	2	10	Miss	{2:30E, 2:000} {3:30D} {4:30D}	desalojé 2:30D

$$\text{Hit rate} = \frac{2}{7} \approx 0.29 \%$$

# Bibliografía

- Tanenbaum, “Organización de Computadoras. Un Enfoque Estructurado”, 4ta Edición, 2000.
  - **Selecccionados**
    - 2.2.5 Memoria Caché - Páginas 65 - 67
    - 2.3 Memoria Secundaria - Páginas 68 - 69
    - 3.3.6 Las memorias RAM y las ROM - Páginas 152 - 154
    - 4.5 Mejoramiento del desempeño - Páginas 264 - 270
- Null, “Essentials of Computer Organization and Architecture”, 5th Edition, 2018.
  - **Chapter 6 - Memory**
    - 6.2 Types of Memory
    - 6.3 The Memory Hierarchy
    - 6.4 Cache Memory



# ¡Gracias!

Recuerden leer los comentarios adjuntos  
en cada clase por aclaraciones.