

Organización de Computadoras 2003

Apunte 5: Circuitos Lógicos Secuenciales

Introducción:

En el desarrollo de los sistemas digitales es fundamental el almacenamiento de la información, esta característica la permiten los **Circuitos Lógicos Secuenciales**.

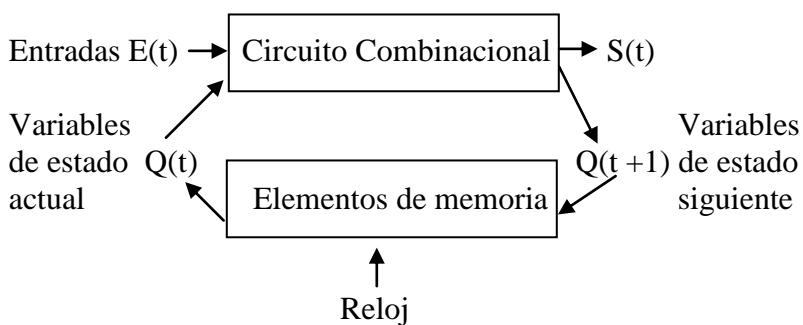
Para poder entender el tema se necesitan ciertos conceptos básicos sobre el funcionamiento de los Circuitos Lógicos Combinacionales, respuesta de las compuertas lógicas ante sus entradas. Un circuito lógico combinacional se puede asociar rápidamente al estudio de compuertas lógicas. En este tipo de circuitos sus salidas dependen exclusivamente de sus entradas actuales.

Los circuitos lógicos secuenciales se asocian al estudio de dispositivos de almacenamiento en general y en donde una de sus características principales es que sus salidas dependen de las entradas actuales, de entradas en tiempos anteriores y de una señal externa de reloj.

Conceptos Generales de Latches y flip-flops:

Los circuitos biestables son aquellos que poseen dos estados estables que se pueden mantener por tiempo indefinido, lo que nos permite tener almacenado un dato en un dispositivo por el tiempo que se desee.

Las salidas del circuito, además de ser función de las entradas son función de la información almacenada en elementos de memoria del circuito, en el momento que se producen las entradas. Están formados por un circuito combinacional y un bloque de elementos de memoria:



La señal del reloj indica a los elementos de memoria cuando deben cambiar su estado.

Existen dos tipos de biestables muy importantes: el latch y el flip-flop. Estos circuitos están compuestos por compuertas lógicas y lazos de retroalimentación y son considerados los circuitos básicos que constituyen los sistemas digitales.

El latch es un circuito biestable asíncrono, es decir que sus salidas cambian en la medida en que sus entradas cambien. El flip-flop es un dispositivo secuencial síncronico que toma

muestras de sus entradas y determina una salida sólo en los tiempos determinados por el reloj (CLK).

Además, se pueden tener flip-flops Master-Slave y flip-flops disparados por flanco. Los flip-flops Master-Slave están conformados por dos latches con habilitación en cascada, es decir que la salida de un latch es la entrada del otro, mientras que el flip-flop disparado por flanco posee un dispositivo para determinar cuando hay una pendiente, ya sea de subida o de bajada, en el reloj que habilita el flip-flop.

Características de operación:

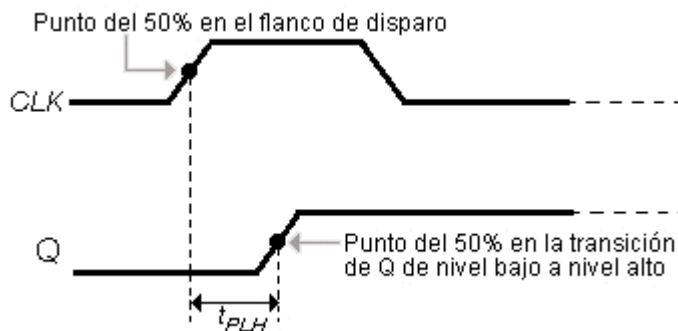
Las características de operación son de gran importancia porque permiten entender y manipular de forma correcta los flip-flops. Estas características dan al usuario la posibilidad de prever y corregir errores (ejemplos: Retardos de propagación, tiempo de Set-up, Frecuencia máxima del reloj, Ancho de pulso, Disipación de potencia).

Retardos de propagación:

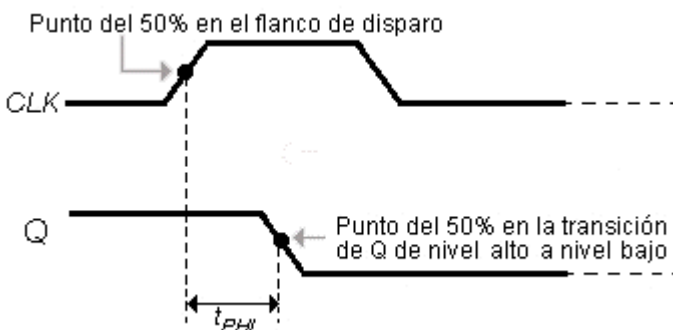
Es el tiempo requerido para que se produzca un cambio válido a la salida, debido a la aplicación de una señal en la entrada.

Existen cuatro categorías de retardos de propagación en los flip-flops:

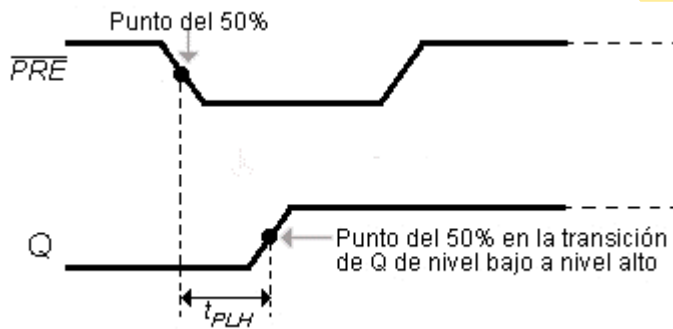
1. Retardo entre el reloj y la salida (t_{PLH})



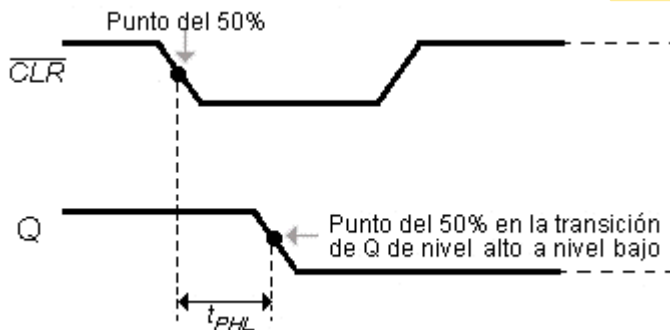
2. Retardo entre el reloj y la salida (t_{PHL})



3. Retardo entre la señal de iniciación y la salida (t_{PLH}):



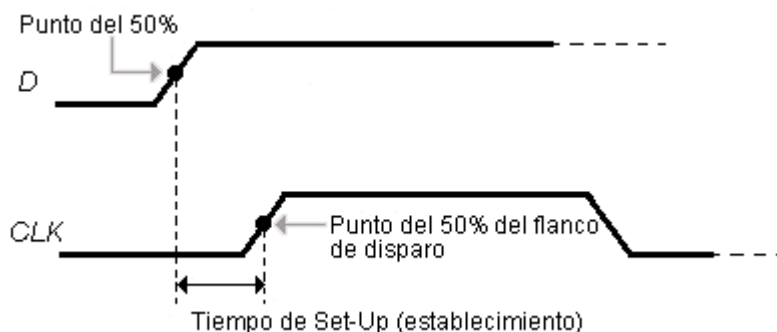
4. Retardo entre la señal de borrado y la salida (t_{PHL}):



Tiempos de SetUp:

Es el intervalo mínimo que deben mantener fijas las entradas de un flip-flop antes que aparezca el flanco de disparo del impulso de reloj.

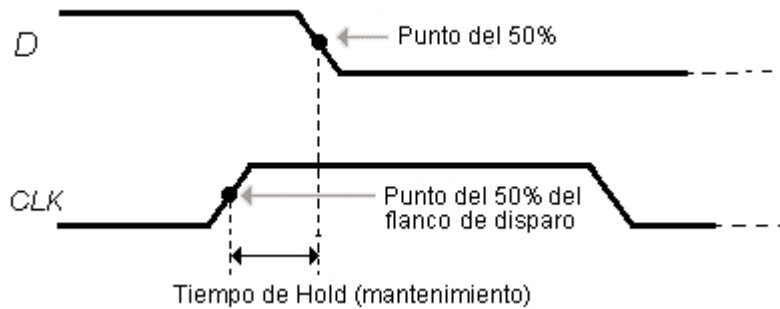
Ej en flip-flop D:



Tiempo de Hold:

Es el intervalo mínimo que deben mantener fijas las entradas de un flip-flop después que aparezca el borde de disparo del impulso de reloj.

Ej en flip-flop D:



Frecuencia máxima del flip-flop:

Es la máxima velocidad a la que puede trabajar el flip-flop.

Ancho de Pulso:

Es el ancho mínimo del impulso. Está asociado con las entradas de reloj, iniciación "Preset" y borrado "Clear".

Disipación de potencia:

Se define como la potencia total consumida por el dispositivo.

El Flip-Flop S-R (Set-Reset):

Es un circuito biestable conformado por un detector de transición de impulsos que está encargado de detectar cuándo se tiene un flanco de subida o de bajada del reloj (CLK), dos compuertas NAND encargadas de enviar estos pulsos a las compuertas OR. En estas compuertas OR, una de las salidas está conectada a la entrada de la otra compuerta, logrando una retroalimentación:

Diagrama lógico del flip-flop S-R:

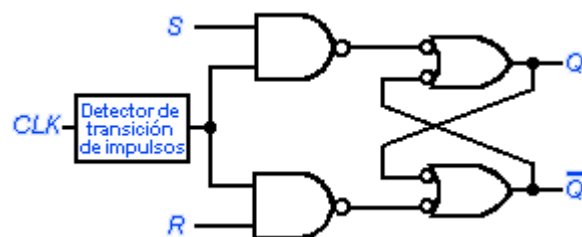
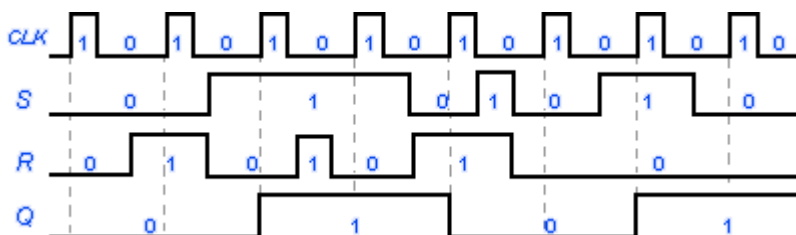


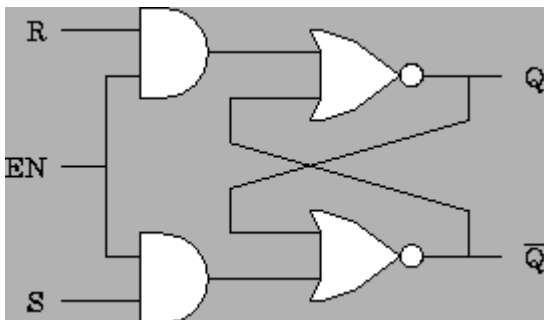
Tabla de verdad del flip-flop S-R:

Entradas			Salidas	
CLK	S	R	Q	\overline{Q}
X	0	0	Q_0	\overline{Q}_0
\uparrow	0	1	0	1
\uparrow	1	0	1	0
\uparrow	1	1	?	?

Diagrama de tiempos del flip-flop S-R:



Utilizando las equivalencias lógicas podemos definir al flip-flop S-R mediante 2 compuertas NOR:



El flip-flop D:

Está compuesto por dos compuertas NAND encargadas de enviar la señal de habilitación a las compuertas OR (al igual que el flip-flop SR se puede construir con otras compuertas lógicas). La salida de una compuerta OR se transforma en la entrada de la otra (retroalimentación). Se puede observar la similitud con el flip-flop SR, solamente difieren en una entrada de habilitación y en que la entrada de Reset es igual a la de Set negada

Diagrama lógico del flip-flop D:

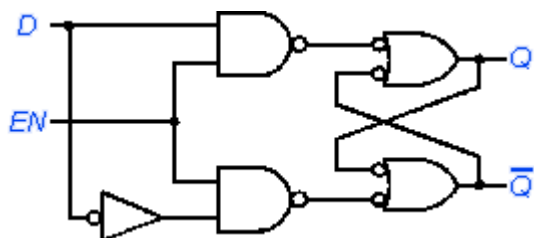
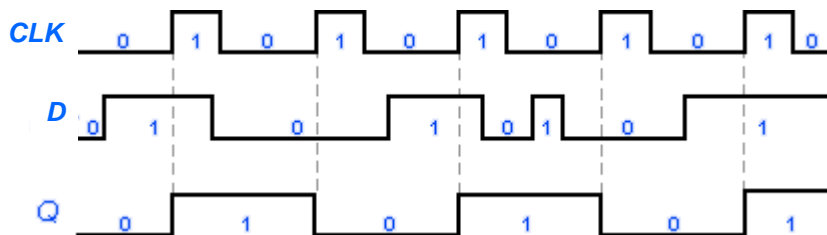


Tabla de verdad del Flip-Flop D:

Entradas		Salidas	
CLK	D	Q	\bar{Q}
0	X	Q_0	\bar{Q}_0
1	X	Q_0	\bar{Q}_0
↑	0	0	1
↑	1	1	0

Diagrama de Tiempos del flip-flop D:



El biestable S-R presenta problemas cuando se activan simultáneamente las dos entradas S y R. Podemos diseñar un biestable similar que no presente estos problemas a partir de un biestable D (el resultado es el flip-flop J-K):

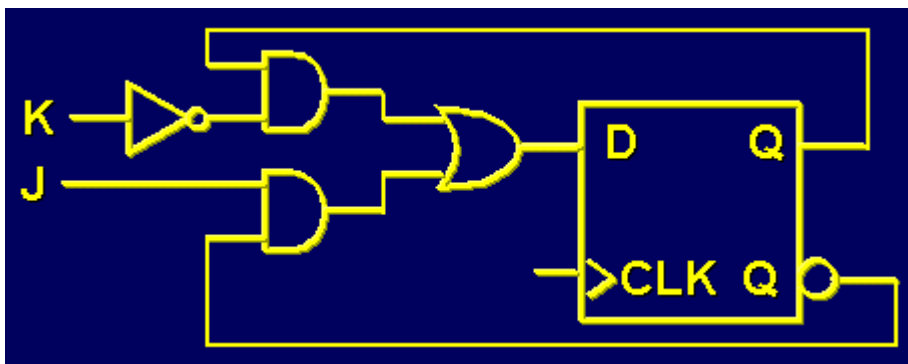
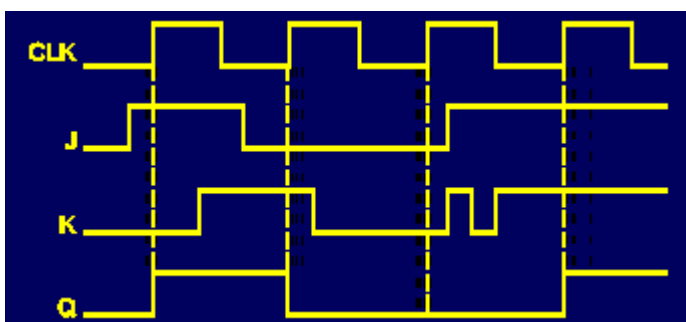


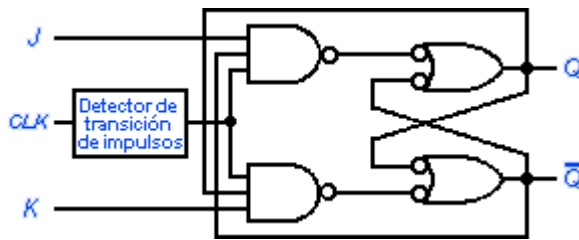
Tabla de verdad del biestable J-K:

CLK	J	K	$Q(t+1)$	$/Q(t+1)$
0	X	X	$Q(t)$	$/Q(t)$
1	X	X	$Q(t)$	$/Q(t)$
\uparrow	0	0	$Q(t)$	$/Q(t)$
\uparrow	0	1	0	1
\uparrow	1	0	1	0
\uparrow	1	1	$/Q(t)$	$Q(t)$

Cronograma del biestable J-K (activado por flanco de subida):



Por medio de equivalencias lógicas se puede obtener el siguiente diagrama lógico para el flip flop J-K:



En este caso, para lograr un valor estable cuando se activan ambas entradas se hace una retroalimentación de Q y /Q con las compuertas de la entrada.

El Flip-Flop T (Toggle):

Mantiene su estado o lo cambia dependiendo del valor de T cada vez que se activa.

Se puede implementar utilizando un biestable J-K

Diagrama lógico del flip-flop T:

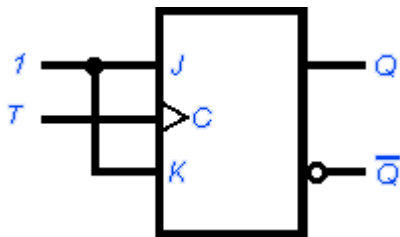
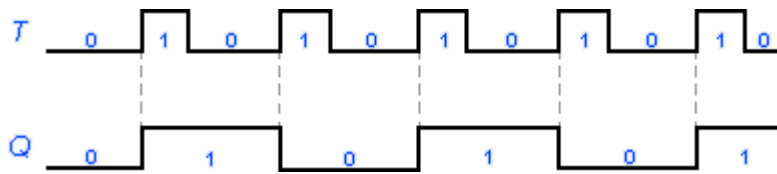


Tabla de verdad del flip-flop T:

Entradas	Salidas	
	Q	\bar{Q}
T		
↑	\bar{Q}_0	Q_0
—	Q_0	\bar{Q}_0

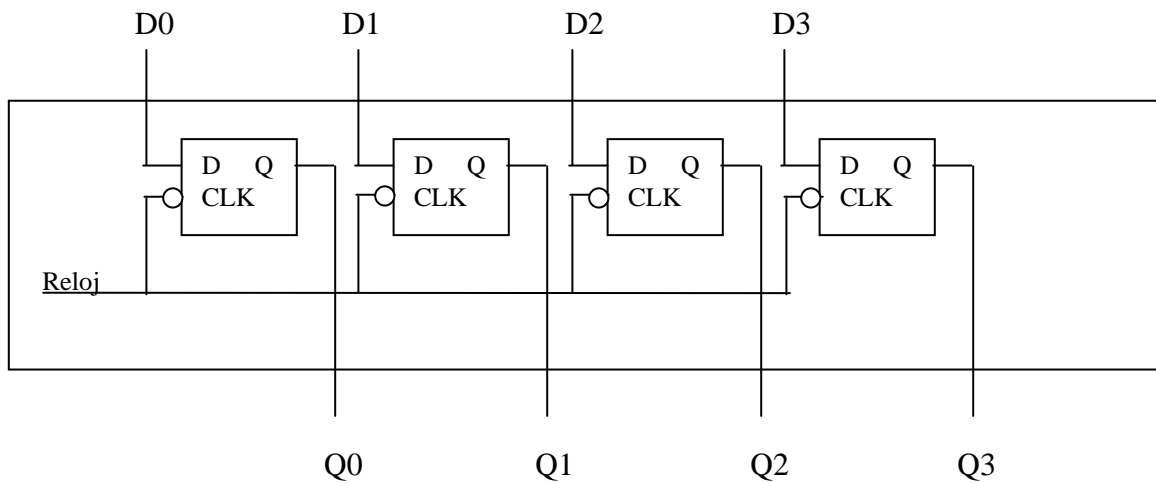
Diagrama de tiempos del flip-flop T:**Registros:**

Se forman a partir de biestables de tipo D conectados en cascada. Un registro con N biestables es capaz de almacenar N bits. Son circuitos síncronos y todos los biestables están gobernados por la misma señal de reloj.

Podemos definir dos tipos de registros (de Almacenamiento y de Desplazamiento)

Registros de Almacenamiento:

Ej: Registro de 4 bits



$D=(D0,D1,D2,D3)$ es el dato a escribir.

$Q=(Q0,Q1,Q2,Q3)$ es el dato leído.

Registros de Desplazamiento:

Son circuitos sincrónicos que cuando se activan, se desplazan los bits de sus biestables “hacia derecha” o “hacia izquierda”.

Se clasifican de la siguiente manera:

Entrada Serie Salida Paralelo

Entrada Serie Salida Serie

Entrada Paralelo Salida Paralelo

Entrada Paralelo Salida Serie

Registros Universales.

Entrada/Salida Serie: Entra/Sale un bit en cada pulso de reloj.

Entrada/Salida paralelo: Entran/Salen todos los bits del dato en el mismo pulso de reloj

Ej: Registro de Desplazamiento de 4 bits (Entrada Serie)

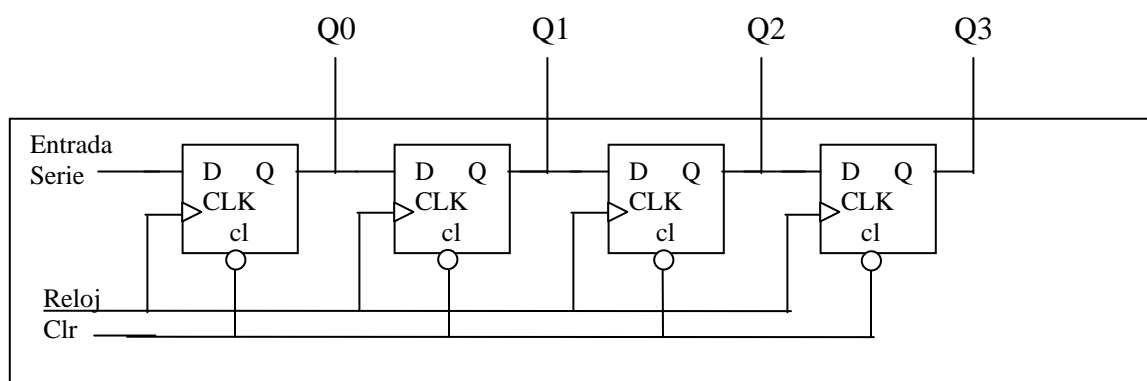


Tabla de funcionamiento:

/Clear	Entradas		Salidas			
	Reloj	EntradaSerie	Q0	Q1	Q2	Q3
1	↑	0	0	Q0'	Q1'	Q2'
1	↑	1	1	Q0'	Q1'	Q2'
1	0	X	Q0'	Q1'	Q2'	Q3'
0	X	X	0	0	0	0

Contadores:

Un contador de N bits se implementa utilizando N biestables de tipo T.

Los contadores se pueden clasificar en:

-Asíncronos y Síncronos

-Ascendentes y Descendentes

-Módulo N.

Contadores Asíncronos: Sólo utilizan biestables sin ninguna puerta lógica adicional.

La entrada de reloj al contador sólo se conecta al primero de los biestables (el de menor peso).

La salida de estado de cada biestable (Q) o la complementaria (/Q) se conecta con el inmediato posterior.

Las entradas de datos de los biestables (J-K o T) se conectan a un “1” fijo.

Contadores Sincrónicos: La señal externa del reloj está conectada a todos los biestables, por lo tanto, se activan todos de manera simultánea.

La entradas de reloja al contador se conecta a las entradas de reloj de todos los biestables.

La entrada de datos (J-K o T) del biestable de menor peso se conecta a un “1” fijo.

Se precisan puertas adicionales para implementar la lógica que indique cuando deben voltear su estado los biestables.

Contadores módulo N: El módulo de un contador es el número de cuentas distintas que realiza dicho contador.

Para implementar un contador de módulo N, se elige un contador con n bits (ascendente o descendente), siendo $2^{n-1} < N < 2^n$ y se eliminan las cuentas sobrantes, añadiendo lógica combinacional. Por ejemplo, para implementar un contador asíncrono módulo diez ascendente, que cuente los diez dígitos decimales se necesita un contador ascendente de 4 bits, ya que $2^3 < 4 < 2^4$, y se añade la lógica combinacional requerida.

Ejemplo: Contador asíncrono módulo 10:

Paso 1: elegir un Contador ascendente de 4 bits (de 0 a 15)

Paso 2: Detectar el 10 (1010 en binario) con una compuerta NAND

Paso 3: Reset de todos los biestables cuando ocurra la detección

Circuito:

