

LISTA AULA 5 – LÓGICA COMBINACIONAL

1) Qual componente lógico está sendo criado com o seguinte código VHDL?

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity chip_x is
    port (
        a : in  STD_LOGIC;
        b : in  STD_LOGIC;
        q : out STD_LOGIC);
end entity;
architecture arch of chip_x is
    signal w1,w2:STD_LOGIC;
begin
    w1 <= a nand a;
    w2 <= b nand b;
    q <= w1 nand w2;
end architecture;
```

2) Qual componente lógico está sendo criado com o seguinte código VHDL?

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity chip_x is
    port (
        a : in  STD_LOGIC;
        b : in  STD_LOGIC;
        c : in  STD_LOGIC;
        q : out STD_LOGIC);
end entity;
architecture arch of chip_x is
    signal w1,w2,w3:STD_LOGIC;
begin
    w1 <= a nand c;
    w2 <= c nand c;
    w3 <= b nand w2;
    q <= w1 nand w3;
end architecture;
```

- 3) Programe as seguintes portas lógicas em VHDL usando apenas portas NAND:
- a. NOT
 - b. XOR
 - c. XNOR
 - d. AND
 - e. OR
 - f. NOR
- 4) Implemente uma porta lógica NOR em VHDL usando apenas portas lógicas NAND, use o espaço ao lado para desenhas a conexão das portas lógicas.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity chip_x is
    port (
        a : in  STD_LOGIC;
        b : in  STD_LOGIC;
        q : out STD_LOGIC);
end entity;
```