

# Instruction Set Architecture Z0.1

Versão Insper 2018a da arquitetura do livro : Elements of Computer System

Alteração: Nessa versão adicionou-se um registrador a mais na arquitetura chamado de registrador **S** (que virá a ser utilizado para armazenar o Stack Pointer- SP). Para endereçar esse novo registrador, um novo bit **d3** foi adicionado as instruções do tipo **C**.

## Instruções do tipo A

se bit 15 == 0:

transfere 15 bits para o registrador A

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	v	v	v	v	v	v	v	v	v	v	v	v	v	v	v

[14:0] : Palavra de 15 bits (positiva)  
a ser carregada no registrador A.

## Instruções do tipo C

se bit 15 == 1:

executa ação

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	a	b	c5	c4	c3	c2	c1	c0	d3	d2	d1	d0	j2	j1	j0

[15:0] : Indica ação a ser executada pela CPU

## Cálculo

				zx	nx	zy	ny	f	no
a=0, b=0	a=0, b=1	a=1, b=0	a=1, b=1	c5	c4	c3	c2	c1	c0
0	-	-	-	1	0	1	0	1	0
1	-	-	-	1	1	1	1	1	1
-1	-	-	-	1	1	1	0	1	0
D	S	-	-	0	0	1	1	0	0
A	-	(A)	-	1	1	0	0	0	0
!D	!S	-	-	0	0	1	1	0	1
!A	-	!(A)	-	1	1	0	0	0	1
-D	-S	-	-	0	0	1	1	1	1
-A	-	-(A)	-	1	1	0	0	1	1
D+1	S+1	-	-	0	1	1	1	1	1
A+1	-	(A)+1	-	1	1	0	1	1	1
D-1	S-1	-	-	0	0	1	1	1	0
A-1	-	(A)-1	-	1	1	0	0	1	0
D+A	S+A	D+(A)	S+(A)	0	0	0	0	1	0
D-A	S-A	D-(A)	S-(A)	0	1	0	0	1	1
A-D	A-S	(A)-D	(A)-S	0	0	0	1	1	1
D&A	S&A	D&(A)	S&(A)	0	0	0	0	0	0
D A	S A	D (A)	S (A)	0	1	0	1	0	1

## Destino

	d3	d2	d1	d0
Dest	A	S	D	(A)
NULL	0	0	0	0
A	1	0	0	0
D	0	0	1	0
S	0	1	0	0
(A)	0	0	0	1
D(A)	0	0	1	1
S(A)	0	1	0	1
SD	0	1	1	0
SD(A)	0	1	1	1
A(A)	1	0	0	1
AD	1	0	1	0
AD(A)	1	0	1	1
AS	1	1	0	0
AS(A)	1	1	0	1
ASD	1	1	1	0
ASD(A)	1	1	1	1

## Jump

	j2	j1	j0
caso	<0	=0	>0
nada	0	0	0
JG	0	0	1
JE	0	1	0
JGE	0	1	1
JL	1	0	0
JNE	1	0	1
JLE	1	1	0
JMP	1	1	1

Este material faz parte da disciplina de Elementos de Sistema.

Prof. Rafael Corsi - rafael.corsi@insper.edu.br

rafael.corsi@insper.edu.br