Fundamentos del Software. Grupo E. Curso 2015-2016

Resolución de problemas del Tema 1

Equipo nº 16

Componentes:

- GOMEZ TRENADO, GUILLERMO
- RUIZ GARCIA, JUAN CARLOS
- VILLENA CONTRERAS, JOSE ESTEBAN

Ejercicio 11

El método de comunicación de E/S en el que el dispositivo de E/S informa a la CPU en qué momento está preparado el dispositivo para la transferencia de datos se conoce como:

- a) E/S Programada.
- b) E/S Dirigida por Interrupciones.
- c) DMA.
- d) E/S a Distancia.

Ejercicio 15

¿Cuántos bits hay en 32KB?

32KB = 32*1024*8 bits

¿Y en 64MB?

64MB = 64*1024^2*8 bits

¿Y en 4GB?

4GB = 4*1024^3*8 bits

Ejercicio 29

Suponiendo que el lenguaje máquina de la arquitectura descrita en el ejercicio 27 dispone de 23 instrucciones distintas y posee 4096 palabras de memoria, muestre cuántos bits serían necesarios para codificar las instrucciones IN Pi,DD(suponiendo que hay 64 puertos)y MOVER 23,R0.

ELEMENTO	TAMANO		
23 instrucciones	5 bits		
4096 palabras de memoria	12 bits		
64 puertos	6 bits		
3 registros	2 bits		

IN Pi, DD \rightarrow 5 bits + 6 bits + 12 bits = 23 bits MOVER 23, $R_0 \rightarrow$ 5 bits + 12 bits + 2 bits = 19 bits

Ejercicio 30

Sea un ordenador elemental con una arquitectura tal y como se muestra en la figura, es decir, tres registros de propósito general, registro contador de programa (PC), registro de instrucción (IR) y registro de pila (SP). La memoria principal dispone de 512 palabras donde cada palabra tiene la longitud necesaria para albergar la instrucción de mayor tamaño. Describa el estado final de ejecución del procesador a partir del estado actual de la CPU mostrado en la figura y tras la ejecución del programa (nótese que la instrucción de la dirección 10 ya se ha ejecutado).

El estado final de ejecución del procesador es el siguiente:

CPU			
ALU	$R_0 = 5$		
	$R_1 = 15$		
	$R_2 = 20$		
CU	PC = 20		
	IR = HALT		
	SP = 30		
Dispositivos E/S	PD = 20		
	PE = 0		

Instrucción	December 15 m	CPU	Memoria	Dir
Tuetincoou	Descripción		MOV M[23],R0	10
MOV M[N],R1	Copia el valor de la dirección	R _a 5	IN PD, M(26)	11
7.15303-2001 N.S.C. (1945)	de memoria N al registro Ri Si Ri == Ri, activa el bit de	ALH R, Q	MOV M[26],R1	12
COMP Ri.Ri	estado. En otro caso, lo	R, 0	COMP RO, RI	13
	desactiva		JNE 18	14
Lee del Puerto (PI) y	Lee del Puerto (PI) y lo deposita en dirección de	CU PC 11	MOV M[24], RO	15
		IR MOV M[23], RO	OUT RO, PD	16
		SP 30	HALT	17
	Si el bit de estado no está	70t = 300 j	CALL 20	18
	activo, salta a la dirección de	15 0	T HALL	19
	memoria N.	Dispositivo E/S Puerto Puerto	ADD RO, R1, R2	20
OUT R1.P1	Escribe el contenido del	Datos (PD) Estado (P	e) CUT RZ,PD	21
300000000	registro Ri en el puerto Pi.	1	RET	22
HALT	Detiene al procesador		5	23
CALL N	Guarda el PC en la pila y salta		0	24
23-2007	a la dirección de memoria N.		1	25
RET	Saca un elemento de la pila y lo almacena en PC.			26
ADD RI.RJ.Rk	Rk=Ri+Ri		2	30
ADD NI.Rj.Rk				

El procedimiento que hemos utilizado para llegar hasta el estado final de ejecución lo dejamos representado en la siguiente tabla:

PC	11	12	13	14	18	19 20	21	22	23 19	20
R ₀	5	5	5	5	5	5	5	5	5	5
R_1	0	0	0 15	15	15	15	15	15	15	15
R ₂	0	0	0	0	0	0	0 20	20	20	20
IR	MOV M[23], R ₀	IN PD, M[26]	MOV M[26], R ₁	COMP R ₀ ,R ₁	JNE 18	CALL 20	ADD R_0, R_1, R_2	OUT R ₂ , PD	RET	HALT
SP	30	30	30	30	30	30 19	19	19	19 30	30
PD	15	15	15	15	15	15	15	15 20	20	20
PE	0	0	0	0	0	0	0	0	0	0
D(26)		15	15	15	15	15	15	15	15	15