



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA
Año 2018 - 2^{do} Cuatrimestre

DISEÑO DE CIRCUITOS ELECTRÓNICOS (86.10)

PROYECTO FINAL

TEMA: Amplificador de audio

TUTOR: Nombre del tutor

FECHA: 24 de noviembre de 2018

GRUPO: 10

INTEGRANTES:

Alonso, Gustavo Gabriel	- #96119
<gustavoalon19@gmail.com>	
Manso, Juan	- #96133
<juanmanso@gmail.com>	
Russo, Nicolas Emanuel	- #93211
<nicolasrusso291@gmail.com>	
Zuccolo, Florencia	- #96628
<florenciaz618@gmail.com>	

Resumen

El presente informe expone el proceso de diseño y construcción de un equipo electrónico partiendo de ciertas especificaciones.

Índice

I	Introducción	1
1.	Objetivos	1
2.	Requerimientos	1
II	Diseño conceptual	1
3.	Alternativas de diseño	1
4.	Diagrama en bloques	1
5.	Funcionamiento general	1
III	Diseño y análisis teórico	1
6.	Etapas de salida	1
6.1.	Multiplicador de V_{BE}	3
6.2.	Fuente de corriente	3
6.3.	Comparadores	4
IV	Diseño del circuito impreso - <i>PCB</i>	4
7.	Elección de componentes	5
8.	Criterios de Ruteo	5
V	Análisis por simulación	5
VI	Construcción del prototipo	5
VII	Medición del prototipo	5
VIII	Conclusiones	5
IX	Bibliografía	5
A.	Listado de componentes	5

Parte I

Introducción

1. Objetivos
2. Requerimientos

Parte II

Diseño conceptual

3. Alternativas de diseño
4. Diagrama en bloques
5. Funcionamiento general

Parte III

Diseño y análisis teórico

6. Etapa de salida

La etapa de salida clase G se caracteriza principalmente por el manejo eficiente de potencia debido a que conmuta la tensión de alimentación entre dos niveles según lo requiera la señal de entrada.

En la figura se muestra un esquema básico de la topología, denominada Clase G alternativa. Los transistores Q_1 y Q_2 conforman la etapa interior que opera en clase B, siendo Q_3 y Q_4 los *drivers* y R_1 la resistencia de emisor compartida.

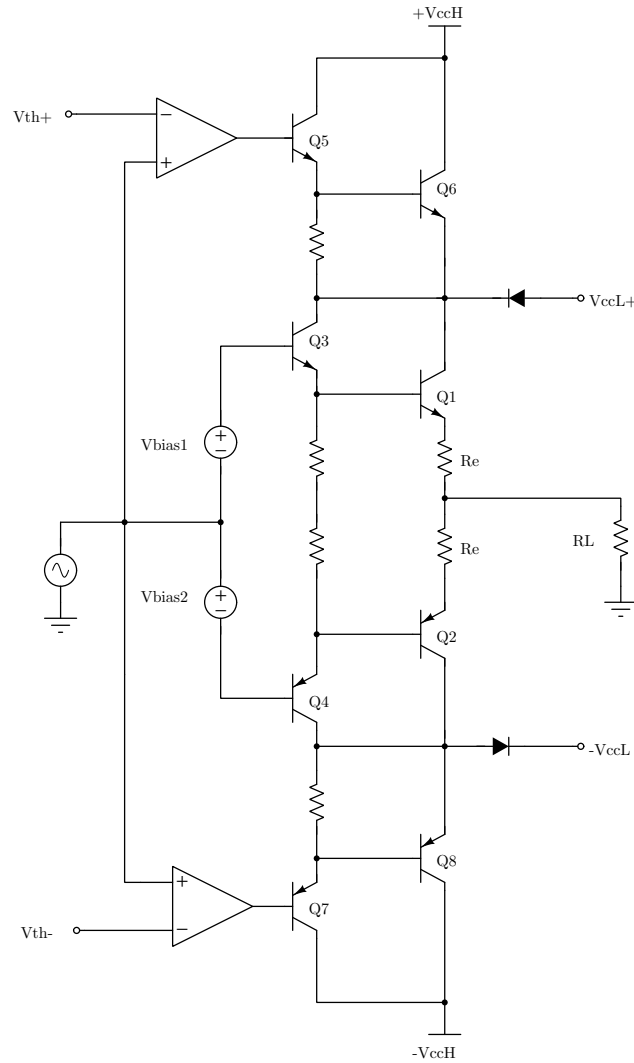


Figura 1: Etapa de salida.

Los comparadores se encuentran conectados a la señal de entrada y a una tensión umbral V_{th} como referencia. Cuando la señal de entrada excede la tensión $+V_{th}$, el comparador (superior) hace que los transistores $Q5$ y $Q6$ se polaricen en saturación. Es decir que actúan como una llave que activa la alimentación V_{ccH} . A su vez el diodo $D1$ quedará polarizado en inversa ya que la tensión en el cátodo es $+V_{ccH}$, mayor que la tensión de ánodo V_{ccL} . Por lo tanto, el circuito queda alimentado solo mediante $+V_{ccH}$ y la potencia es manejada por dos transistores $Q6$ y $Q1$.

De forma análoga funcionan el comparador $C2$, $Q7$, $Q8$ y $D2$ para el semiciclo negativo de la señal de entrada.

Las tensiones V_{bias1} y V_{bias2} permiten *prepolarizar* a los transistores $Q1$ y $Q2$ con el fin de atenuar la distorsión de cruce por cero. Se deben ajustar de forma tal que la corriente de la malla de salida sea aproximadamente igual en el colector de ambos transistores ($Q1$ y $Q2$). Asimismo se debe considerar que si ICQ es muy elevada se desperdicia potencia, y si es muy pequeña se obtendrá una distorsión de cruce por cero apreciable.

6.1. Multiplicador de V_{BE}

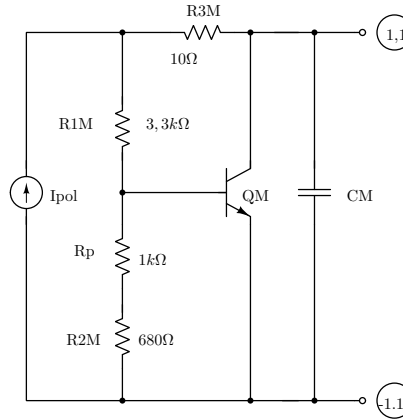


Figura 2: Multiplicador de V_{BE} .

La resistencia R_{3M} se anexa para mejorar la independencia de la tensión V_{BE} con la corriente de polarización.

$$V_M = \left(\frac{R_{1M}}{R_{1M} + R_{2M}} + 1 \right) \cdot V_{BE} - I_C \cdot R_{3M} \approx \left(\frac{R_{1M}}{R_{1M} + R_{2M}} + 1 \right) \cdot V_{BE} \quad (1)$$

Considerando un valor de $V_{BE} \approx 0,5 \text{ V}$

$$\frac{2,2 \text{ V}}{0,5 \text{ V}} - 1 = \frac{R_{1M}}{R_{2M}} \implies \boxed{R_{1M} = 3,4 \cdot R_{2M}} \quad (2)$$

Se eligen los resistores comerciales $R_{1M} = 3,3 \text{ k}\Omega$, $R_{2M} = 680 \Omega$ y un potenciómetro de $1 \text{ k}\Omega$.

6.2. Fuente de corriente

El valor mínimo de la corriente necesaria para la etapa de salida se determina con el caso de máxima corriente de salida $I_{o,max} = 26 \text{ V} / 8 \Omega = 3,25 \text{ A}$. Al tratarse de transistores de potencia, el factor β es aproximadamente $\beta = 30$, por lo que la corriente de base en Q_1 sería $I_{B,Q_1} \approx 110 \text{ mA}$. Dicha corriente es entregada por Q_2 , siendo la corriente de base $I_{B,Q_2} \approx 110 \text{ mA} / 50 \approx 2 \text{ mA}$. A su vez la fuente polariza la etapa amplificadora de tensión (VAS), por lo que se considerará al menos el doble de dicha corriente. Se propone $I_{pol} = 5 \text{ mA}$.

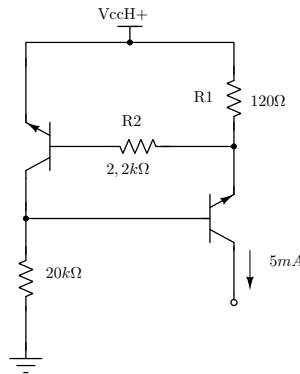


Figura 3: Fuente de corriente.

6.3. Comparadores

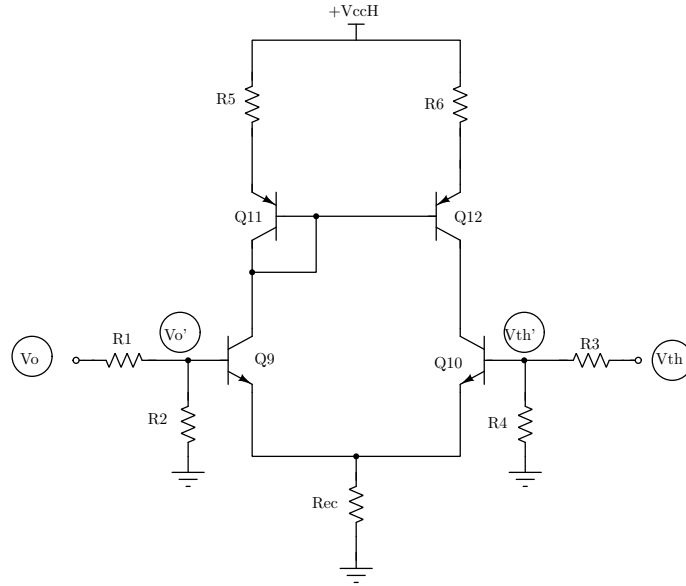


Figura 4: Comparador.

Se propone la configuración de par diferencial de la figura para implementar los comparadores. Se utiliza una fuente de corriente espejo para lograr mayor estabilidad. En vez de comparar con la señal proveniente de la etapa VAS, se compara con la señal de salida V_o para evitar cargar la VAS con la resistencia de entrada que presenta el par diferencial ($2 \cdot r_\pi$). La señal de salida no resulta alterada por tratarse de un colector común que es separador de impedancias. Por otra parte, es difícil lograr en la práctica que los transistores que conforman el par diferencial manejen una excursión de tensión de hasta 30 V, por lo que se utiliza un divisor resistivo en ambas bases de los transistores para atenuar la amplitud de tensión. Es conveniente que la tensión de referencia V_{th}' sea levemente menor que la prevista con el fin de contrarrestar el retardo de tiempo del comparador.

$$V_{th}' = V_{th} \cdot \frac{R_4}{R_4 + R_3} \Rightarrow 1,5 \text{ V} = 12 \text{ V} \cdot \frac{R_4}{R_4 + R_3} \Rightarrow \boxed{R_3 = 7 \cdot R_4} \quad (3)$$

$$V_o' = V_o \cdot \frac{R_2}{R_2 + R_1} \Rightarrow 2 \text{ V} = 12 \text{ V} \cdot \frac{R_2}{R_2 + R_1} \Rightarrow \boxed{R_1 = 5 \cdot R_2} \quad (4)$$

El valor de la resistencia de emisor R_{ec} se elige en función de la máxima tensión posible en V_o y la corriente que circularía en reposo. Con $R_{ec} = 500 \Omega$ se obtiene:

$$I_{e,max} = \frac{1,3 \text{ V}}{500 \Omega} = 2,6 \text{ mA} \quad (5)$$

$$I_{e,pol} = \frac{0,8 \text{ V}}{500 \Omega} = 1,6 \text{ mA} \Rightarrow 1,28 \text{ mW} \quad (6)$$

Parte IV

Diseño del circuito impreso - *PCB*

7. Elección de componentes
8. Criterios de Ruteo

Parte V

Análisis por simulación

Parte VI

Construcción del prototipo

Ver pdf "Gru-
po01_informe_final"
como referencia

Parte VII

Medición del prototipo

Parte VIII

Conclusiones

En el presente informe se logró analizar el circuito *Turner 730*, obteniéndose resultados semejantes por inspección y simulación.

La respuesta en frecuencia obtenida resultó ser plana dentro del rango de frecuencias audibles e invariante a la potencia disipada.

La eficiencia máxima del circuito (71,2%) resultó cercana a la ideal (78,5%), aunque nunca llegará a dicho valor ya que el nodo de salida no puede alcanzar los 30 V (por las caídas de tensión de control de los transistores equivalentes).

La utilización de un par complementario (*Sziklai*) en vez de un *Darlington* reduce notablemente la distorsión armónica. Pero en el circuito *Turner 730*, uno de los transistores de etapa de salida es *Darlington*. Esta elección de diseño puede deberse a que en los años 70 los transistores *NPN* y *PNP* no presentaban tanta simetría como hoy en día.

Parte IX

Bibliografía

A. Listado de componentes