



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA
Año 2018 - 2^{do} Cuatrimestre

DISEÑO DE CIRCUITOS ELECTRÓNICOS (86.10)

AVANCE DEL PROYECTO

TEMA: Amplificador de audio de potencia Clase G alternativa

FECHA: 21 de febrero de 2019

GRUPO: 10

INTEGRANTES:

Alonso, Gustavo Gabriel	- #96119
<gustavoalon19@gmail.com>	
Manso, Juan	- #96133
<juanmanso@gmail.com>	
Russo, Nicolas Emanuel	- #93211
<nicolasrusso291@gmail.com>	
Zuccolo, Florencia	- #96628
<florenceaz618@gmail.com>	

Resumen

El presente informe expone el proceso de diseño y construcción de un equipo electrónico partiendo de ciertas especificaciones.

Índice

I	Introducción	1
1.	Objetivos	1
2.	Requerimientos	1
II	Diseño conceptual	1
3.	Diagrama en bloques	1
4.	Funcionamiento general	2
5.	Alternativas de diseño	2
III	Diseño y análisis teórico	2
6.	Etapa de salida	3
6.1.	Multiplicador de V_{BE}	6
6.2.	Compensación del embalamiento térmico	6
6.3.	Protección	7
6.4.	Fuente de corriente	8
6.5.	Comparadores	9
6.6.	Compensación de la carga	10
6.6.1.	Red Zobel	10
6.6.2.	Compensación	10
6.7.	Estabilización	10
7.	Amplificación de tensión	10
8.	Comparador de entrada	11
9.	Realimentación	12
9.1.	Impedancia de salida	13
9.2.	Factor de amortiguamiento	13
9.3.	Resistencia de entrada	13
10.	Fuentes conmutadas	14
10.1.	Fuente reductora de tensión	14
10.2.	Fuente elevadora de tensión	15
IV	Diseño del circuito impreso - <i>PCB</i>	16
11.	Elección de componentes	16
12.	Criterios de Ruteo	17
13.	Circuito Impreso	18
V	Análisis por simulación	18

14. Polarización	19
15. Compensación	19
16. Impedancia de entrada	20
17. Impedancia de salida	21
18. Respuesta en frecuencia	21
19. Ancho de banda de potencia	22
20. Respuesta al escalón	23
20.1. Respuesta la escalón para pequeña señal	23
20.2. Respuesta al escalón para gran señal	23
20.3. Ancho de banda	24
20.4. <i>Slew Rate</i>	24
21. Margen de fase	27
22. Distorsión armónica	27
23. Distorsión por intermodulación	27
24. Rechazo de Ruido de la Fuente de Alimentación	28
25. Máxima eficiencia del amplificador	28
26. Cálculo de Disipadores	29
27. Resultados	30
VI Validación del prototipo	30
28. Instrumentos utilizados	30
29. Validación y resultados	33
29.1. Circuito sin etapa de potencia	33
29.1.1. Polarización	33
29.1.2. Impedancia de entrada	35
29.1.3. Ancho de banda de potencia	36
29.1.4. Respuesta al escalón	36
29.1.5. <i>Slew Rate</i>	37
29.1.6. Variación de la Fuente de Alimentación	38
29.1.7. Distorsión armónica	38
29.1.8. Máxima excursión de salida	39
29.2. Circuito completo	39
29.2.1. Polarización	40
29.2.2. Máxima excusión	40
29.2.3. Variación de la fuente	41
29.2.4. Distorsión total armónica	42
29.2.5. Impedancia de salida	43
29.2.6. Distorsión por intermodulación	43
29.2.7. Slew-Rate y Ancho de banda de Potencia	43
29.2.8. Eficiencia	44

29.3. Respuesta en frecuencia	44
29.3.1. Relación Señal a Ruido	44
VII Conclusiones	45

Parte I

Introducción

1. Objetivos

El trabajo consiste en la confección de un amplificador de audio tanto en su forma teórica como práctica; una vez determinados los valores de los componentes a partir de un análisis teórico y posterior simulación, se procede a armar el mismo de forma discreta y realizar distintas mediciones para compararlas con los datos previamente obtenidos.

A continuación se analiza su comportamiento y se detalla cada parte del circuito, explicando el propósito de cada componente y el valor elegido para su óptimo funcionamiento.

2. Requerimientos

El amplificador de audio a diseñar debe cumplir las siguientes especificaciones:

- Topología de la etapa de salida Clase G alternativa.
- Tensión de alimentación ± 30 V con una variación de 5 V.
- Potencia de salida nominal de 40 W sobre 8Ω a 1 kHz con $THD < 0,02\%$.
- Potencia de salida a 1 W sobre 8Ω con $THD < 0,01\%$.
- Respuesta en frecuencia 20 Hz a 20 kHz.
- Tensión de *offset* en la salida en continua 5 mV.
- $Slew\ Rate \approx 10 \frac{V}{\mu s}$.
- Distorsión IMD cercana al 1 %.
- Impedancia de entrada del orden de $100\text{k}\Omega$.
- Impedancia de salida del orden de los $\text{m}\Omega$.
- Factor de amortiguamiento del orden de 500.
- Margen de fase $\geq 45^\circ$.

Parte II

Diseño conceptual

3. Diagrama en bloques

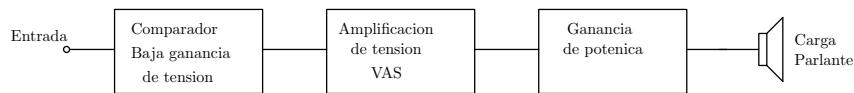


Figura 1: Diagrama en bloques

En la Figura 1 se muestran los bloques principales de un amplificador de audio, que consiste en tres etapas, cada una de ellas con cierta funcionalidad.

- **Comparador:** es un amplificador de transconductancia. Su entrada es una tensión diferencial y su salida una corriente.
- **Amplificación de tensión (VAS):** amplificador de transimpedancia (la entrada es corriente y la salida tensión).
- **Separador (Buffer):** es un adaptador de impedancias con ganancia de tensión unitaria y de corriente elevada. Entrega la potencia a la carga.

4. Funcionamiento general

El primer bloque del amplificador cumple el rol de aislar el dispositivo del generador externo de señal y proveer al resto del circuito con la señal con la menor degradación posible. A su vez integra la realimentación global del circuito para estabilizar al mismo.

A continuación, el bloque VAS se encarga de amplificar la tensión de la señal proveniente del primer bloque. Esta etapa es de vital importancia porque la misma determina el ancho de banda en alta frecuencia del circuito completo, como también la máxima excursión de tensiones de salida.

Finalmente el separador o *buffer* es el que toma la señal del VAS y aumenta su potencia al entregar la corriente que requiera la carga (siempre que esta corriente sea menor a la máxima permitida por el mismo circuito).

5. Alternativas de diseño

A partir del análisis realizado sobre el amplificador *Turner 730* se ve que una implementación posible de la etapa de entrada es un emisor común. Se considera la alternativa de utilizar un par diferencial. A pesar de la dificultad propia del balanceo del par diferencial (selección de componentes similares, cargas, fuentes de corriente, etc.), las ventajas del mismo son mucho mayores al emisor común que se utilizaba en los 70 dada la escasez de transistores. Entre las ventajas se destaca la baja tensión de corrimiento V_{off} ; las corrientes no fluyen por el lazo de realimentación; linealidad superior a la entrada con 1 solo transistor; buen acoplamiento térmico.

Por otro lado, para la implementación de los comparadores encargados de la commutación de las fuentes externas de la etapa de salida clase G alternativa se consideraron amplificadores operaciones y un par diferencial discreto. Los amplificadores operacionales facilitan la implementación del circuito, pero dificulta la producción dada la escasez o falta de provisión de los mismos. La solución es realizar un diseño sencillo con transistores discretos de un par diferencial que a su vez es más ajustable dado que el diseño es propio y se puede personalizar el comparador a la medida de las necesidades del dispositivo.

Parte III

Diseño y análisis teórico

En la Figura 2 se muestra el circuito amplificador de potencia completo, donde se han identificado en línea punteada los bloques que conforman el amplificador. Se debe destacar que dicha selección de bloques es aproximada, ya que las etapas se encuentran relacionadas, es decir que comparten componentes y una etapa sin la otra podría no operar correctamente. A continuación se detallará el funcionamiento de la implementación de cada bloque, comenzando por la etapa de salida.

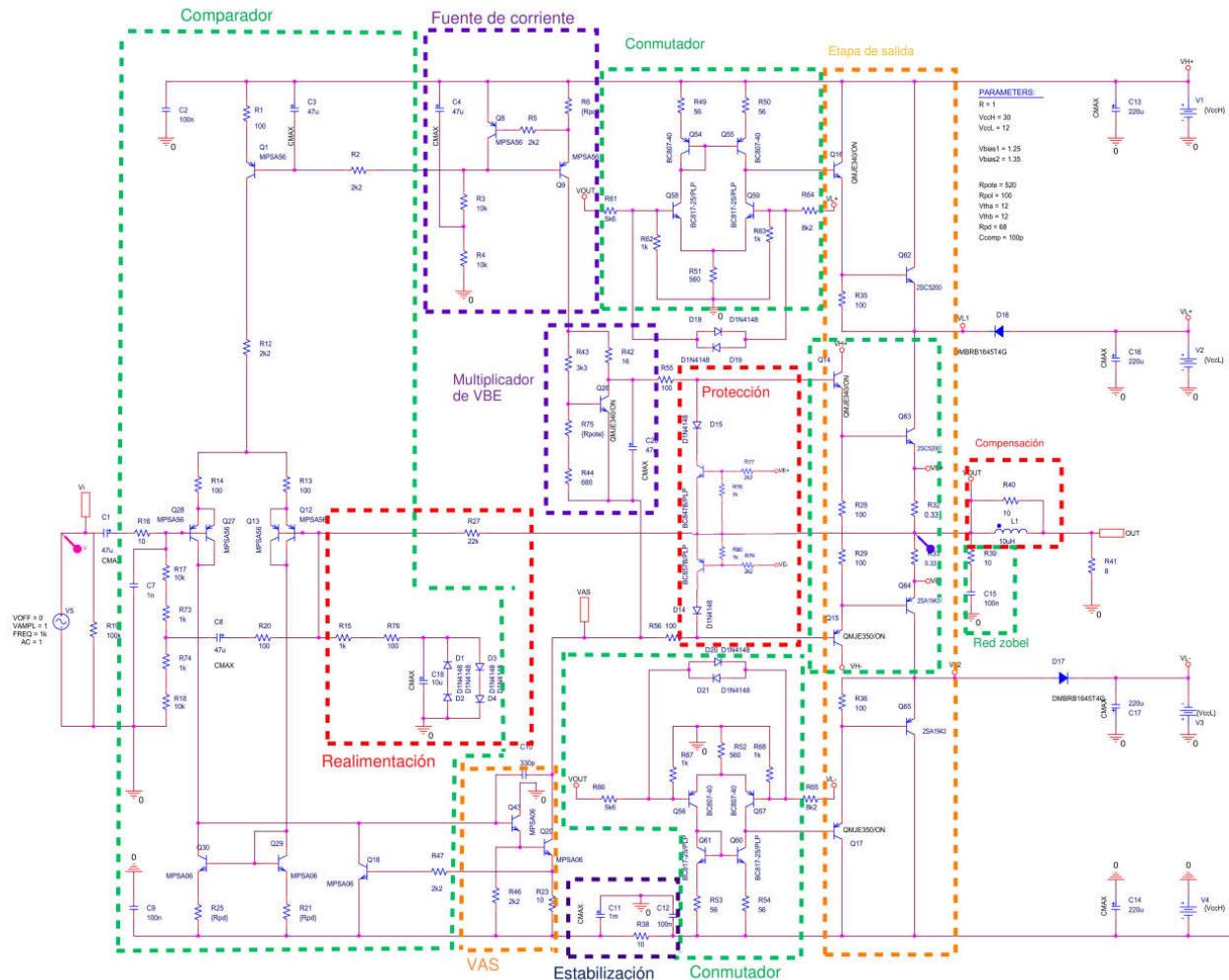


Figura 2: Circuito completo.

6. Etapa de salida

La etapa de salida clase G se caracteriza principalmente por el manejo eficiente de potencia debido a que conmuta la tensión de alimentación entre dos niveles según lo requiera la señal de entrada.

En la Figura 3 se muestra un esquema básico de la topología, denominada clase G alternativa. Los transistores Q_{63} y Q_{64} conforman la etapa interior que opera en clase B, siendo Q_{14} y Q_{15} los drivers y sus resistencias de emisor compartidas.

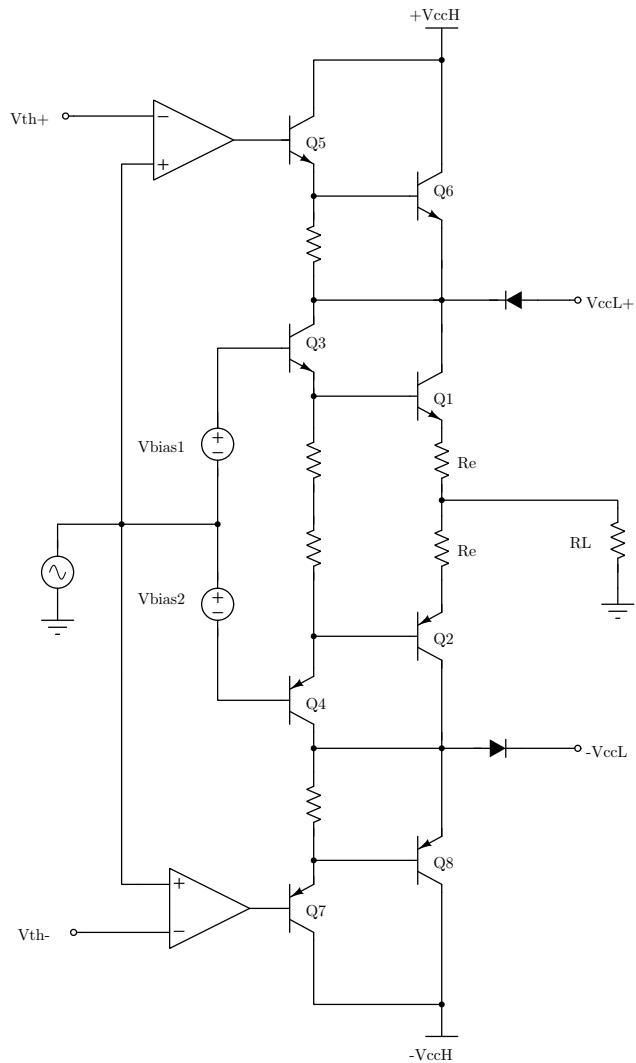


Figura 3: Etapa de salida.

Los comparadores se encuentran conectados a la señal de entrada y a una tensión umbral V_{th} de referencia. Cuando la señal de entrada excede la tensión $+V_{th}$, el comparador (superior) hace que los transistores Q_{16} y Q_{62} se polaricen en saturación. Es decir que actúan como una llave que activa la alimentación V_{cc_H} . A su vez el diodo D_1 quedará polarizado en inversa ya que la tensión en el cátodo es $+V_{cc_H}$, mayor que la tensión de ánodo V_{cc_L} . Por lo tanto, el circuito queda alimentado solo mediante $+V_{cc_H}$ y la potencia es manejada por dos transistores Q_{62} y Q_{63} .

De forma análoga funcionan el comparador inferior, Q_{17} , Q_{65} y D_2 para el semiciclo negativo de la señal de entrada. La salida se ilustra en la Figura 4.

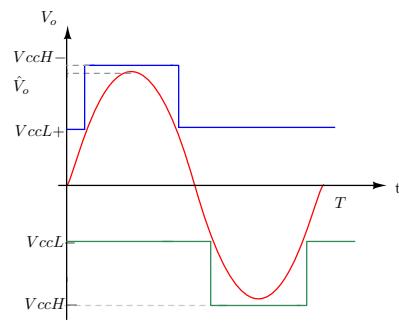


Figura 4: Forma de la señal de salida, y tensiones umbrales

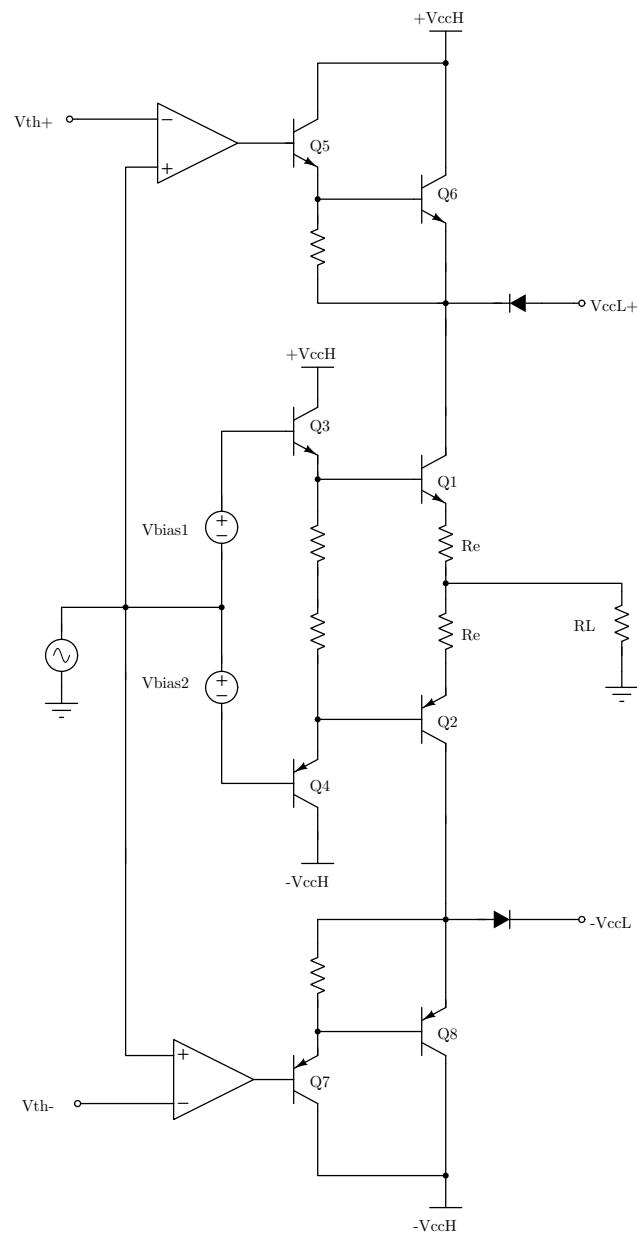


Figura 5: Topología final de la etapa de salida.

Sin embargo, la topología propuesta en la Figura 3 presenta un inconveniente. Cuando Q_{62} entra en conducción, se produce una alteración repentina en la tensión V_{CE} del transistor de potencia de salida Q_1 , que por efecto Early también modifica la corriente de colector. Esta alteración afecta la ganancia, produciendo picos de tensión en la señal de salida. Esta alinealidad se elimina al conectar los transistores internos Q_{14} y Q_{15} a la tensión $+V_{cc_H}$ y $-V_{cc_H}$ respectivamente, según indica la Figura 5.

6.1. Multiplicador de V_{BE}

Las tensiones V_{bias1} y V_{bias2} permiten *prepolarizar* a los transistores Q_{63} y Q_{64} con el fin de atenuar la distorsión de cruce por cero característica del clase B. Se deben ajustar de forma tal que la corriente de la malla de salida sea aproximadamente igual en el colector de ambos transistores (Q_{63} y Q_{64}). Asimismo se debe considerar que si I_{CQ} es muy elevada se desperdicia potencia, y si es muy pequeña se obtendrá una distorsión de cruce por cero apreciable. Ambas tensiones se implementaron con un multiplicador de V_{BE} cuyo circuito se presenta en la Figura 6.

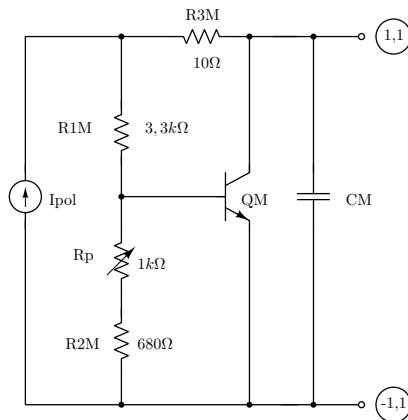


Figura 6: Multiplicador de V_{BE} .

$$V_M = \left(\frac{R_{43}}{R_{43} + R_{44}} + 1 \right) \cdot V_{BE} - I_C \cdot R_{42} \approx \left(\frac{R_{43}}{R_{43} + R_{44}} + 1 \right) \cdot V_{BE} \quad (1)$$

Considerando un valor de $V_{BE} \approx 0,5$ V

$$\frac{2,2 \text{ V}}{0,5 \text{ V}} - 1 = \frac{R_{43}}{R_{44}} \implies \boxed{R_{43} = 3,4 \cdot R_{44}} \quad (2)$$

Se eligen los resistores comerciales $R_{43} = 3,3 \text{ k}\Omega$, $R_{44} = 680 \Omega$ y un potenciómetro de $1 \text{ k}\Omega$.

La resistencia R_{42} se anexa para mejorar la independencia de la tensión V_{CE} con la corriente de polarización. Asimismo se agrega un capacitor C_M para no alterar el comportamiento del resto circuito en señal, es decir que se obtiene una impedancia pequeña para un amplio rango de frecuencias.

6.2. Compensación del embalamiento térmico

Se logra al agregar una resistencia al emisor de cada transistor equivalente de la etapa de salida. Si la señal de entrada se encuentra en su semiciclo positivo, sólo el transistor equivalente formado por Q_{63} y Q_{14} conduce. Ante un aumento de la temperatura, se produce un incremento de la corriente de colector, por ende aumenta la caída de tensión en R_{32} , entonces necesariamente la tensión V_{BE} disminuye, produciendo un decremento en la corriente de colector. De esta manera se logra estabilizar la polarización de la etapa de salida mediante realimentación negativa local. El

valor de dichas resistencias (R_{32} y R_{33}) debe ser pequeño en comparación al valor de la carga con el fin de no alterar la tensión útil de salida. Asimismo para que la realimentación sea suficiente se debe cumplir la expresión (3):

$$R_E \geq \frac{\Theta_{ja,Q_{63}} V_{CC} \cdot 2 \frac{mV}{^{\circ}C}}{\beta_{min} + 1} \quad (3)$$

Se utilizarán como transistores de salida los 2SC5198 y 2SA1941. A partir de la hoja de datos, se obtiene $\Theta_{ja,Q_{63}} = 150 \frac{^{\circ}C}{W}$ y $\beta_{min} = 35$, por lo que se obtiene el valor mínimo para R_E es (4).

$$R_E \geq \frac{150 \frac{^{\circ}C}{W} \cdot 40 V \cdot 2 \frac{mV}{^{\circ}C}}{35 + 1} = 0,33 \Omega \quad (4)$$

6.3. Protección

Se implementó una protección contra cortocircuito de la carga de salida, conformado por los transistores Q_{52} y Q_{53} . Dicho circuito sensa la corriente de salida y si supera cierto umbral, la tensión de V_{BE} resulta lo suficientemente elevada como para que el transistor Q_{53} entre en conducción. De esta manera la corriente que circularía por los transistores de salida se desvía hacia los transistores de protección. Dicho circuito se expone en la Figura 7.

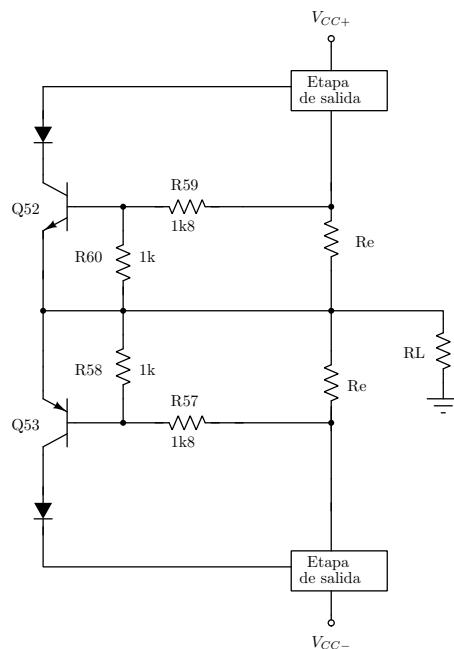


Figura 7: Protección contra cortocircuito en la salida.

La máxima diferencia de potencial que habrá sobre R_L es $V_{CCL+} - V_{CE_{sat}}^{Q_{63}}$ cuando se opera con V_{CCL+} y $V_{CCH+} - V_{CE_{sat}}^{Q_{62}} - V_{CE_{sat}}^{Q_{63}}$ para tensiones mayores a V_{CCL+} . Se puede ver que el peor caso es cuando las tensiones son mayores a V_{CCL+} y por lo tanto (suponiendo $V_{CE_{sat}} \approx V_{BEON} \approx 0,6 V$) la potencia máxima que disipará la carga es:

$$P_{RL_{\max}} = \frac{(V_{CCH+} - V_{CE_{sat}}^{Q_{62}} - V_{CE_{sat}}^{Q_{63}})^2}{R_L} = \frac{(30 V - 1,2 V)^2}{8 \Omega} = 104 W$$

De este modo la máxima corriente que circula sobre los transistores de salida es

$$I_{O_{\max}} = \frac{P_{RL_{\max}}}{V_{CCH+}} = 3,5 \text{ A}$$

Si se configurase al circuito protector de tal forma que al alcanzar dicho valor corte el circuito, no se podrá obtener la máxima potencia con baja distorsión dado que la característica de los transistores es exponencial y por tanto al acercarse al valor de corte comenzará a extraer corriente del multiplicador de V_{BE} . Por otra parte, debido a que la fuente de alimentación puede variar positivamente en un 20 %, es decir $V_{CCH+} = 40 \text{ V}$, y que la resistencia equivalente de la carga puede ser menor que 8Ω , se propone que el circuito de protección se active cuando en la salida circulen 5 A.

Para dicha corriente y $R_E = 0,33 \Omega$ se obtiene $V_E = 1,65 \text{ V}$. Así se halla que la relación entre las resistencias del divisor resistivo es de 1,8. Se propone entonces los valores de componentes de la Figura 7 que se consiguen comercialmente.

$$\Delta V_{Re} = 0,33 \Omega \cdot 5 \text{ A} = 1,65 \text{ V} \quad (5)$$

$$0,6 \text{ V} = \frac{R_{60}}{R_{60} + R_{59}} \cdot 1,65 \text{ V} \implies [R_{59} = 1,8 R_{60}] \quad (6)$$

6.4. Fuente de corriente

De la sección anterior se sabe que $I_{O_{\max}} = 3,5 \text{ A}$. Al tratarse de transistores de potencia, el factor β se encuentra entre 30 y 50, por lo que la corriente de base en Q_{63} sería $I_{B,Q63} \approx 100 \text{ mA}$. Dicha corriente es entregada por Q_{14} , siendo la corriente de base $I_{B,Q14} \approx 2 \text{ mA}$. A su vez la fuente polariza la etapa amplificadora de tensión (VAS), por lo que se considerará al menos un cuarto más de dicha corriente. Se propone $I_{pol} = 5 \text{ mA}$.

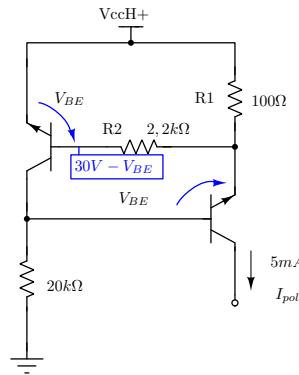


Figura 8: Fuente de corriente.

$$R_6 = \frac{30 \text{ V} - V_{BE,<on>}}{I_{pol}} \quad (7)$$

La corriente de polarización queda determinada por la resistencia R_6 de la Ecuación 7. Considerando un $V_{BE, on} = 0,5 \text{ V}$ se obtiene $R_6 = 100 \Omega$. Por otra parte se despreció la caída de tensión por R_5 . Dicha resistencia se anexa con el fin de limitar la corriente de base que pasa de un transistor a otro.

6.5. Comparadores

Las señales de música poseen picos de tensión cuya magnitud es mucho mayor al valor medio, estando la mayor parte del tiempo en niveles bajos, por lo que se propone un umbral de tensión de 40 % con respecto a la tensión máxima de alimentación, es decir que $V_{ccL} = \pm 12 \text{ V}$, $V_{ccH} = \pm 30 \text{ V}$.

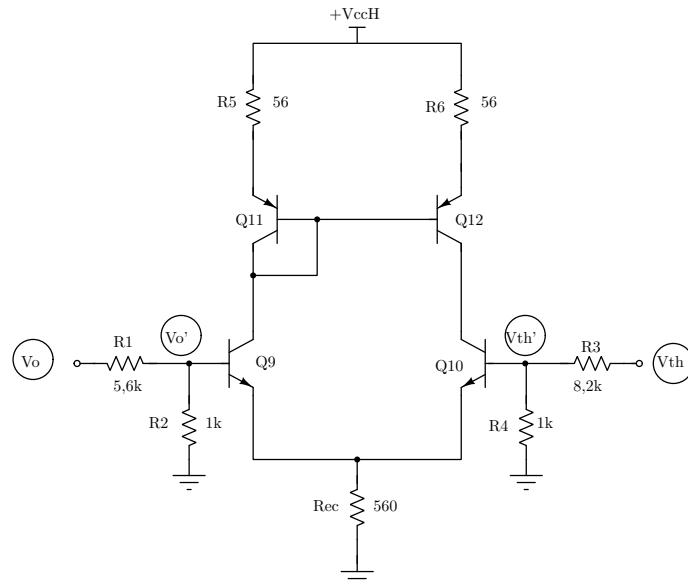


Figura 9: Comparador.

Se propone la configuración de par diferencial de la Figura 9 para implementar los comparadores. Se utiliza una carga espejo para lograr mayor estabilidad. Además en vez de comparar con la señal proveniente de la etapa VAS, se compara con la señal de salida V_o para evitar cargar dicha etapa con la resistencia de entrada que presenta el par diferencial ($2 \cdot r_\pi$). La señal de salida no resulta alterada por tratarse de un colector común que es separador de impedancias (nodo de baja impedancia).

Por otra parte, es difícil lograr en la práctica que los transistores que conforman el par diferencial manejen una excursión de tensión de hasta 30 V, por lo que se utiliza un divisor resistivo en ambas bases de los transistores para atenuar la amplitud de tensión. Es conveniente que la tensión de referencia V'_{th} sea levemente menor que la prevista con el fin de contrarrestar el retardo de tiempo del comparador.

$$V'_{th} = V_{th} \cdot \frac{R_{63}}{R_{63} + R_{64}} \Rightarrow 1,5 \text{ V} = 12 \text{ V} \cdot \frac{R_{63}}{R_{63} + R_{64}} \Rightarrow [R_{64} = 7 \cdot R_{63}] \quad (8)$$

$$V'_o = V_o \cdot \frac{R_{62}}{R_{62} + R_{61}} \Rightarrow 2 \text{ V} = 12 \text{ V} \cdot \frac{R_{62}}{R_{62} + R_{61}} \Rightarrow [R_{61} = 5 \cdot R_{62}] \quad (9)$$

El valor de la resistencia de emisor R_{51} se elige en función de la máxima tensión posible en V_o y la corriente que circularía en reposo. Con $R_{51} = 500 \Omega$ se obtiene:

$$I_{e,\max} = \frac{1,3 \text{ V}}{500 \Omega} = 2,6 \text{ mA} \quad (10)$$

$$I_{e,pol} = \frac{0,8 \text{ V}}{500 \Omega} = 1,6 \text{ mA} \Rightarrow 1,28 \text{ mW} \quad (11)$$

Finalmente, los valores comerciales de resistores que se eligieron se muestran en la Figura 9.

6.6. Compensación de la carga

Dado que la carga del circuito no consiste sólamente de una resistencia, sino más bien de un parlante y un cable, se deben utilizar redes de compensación y *Zobel* para mitigar efectos indeseados del conjunto parlante-cable y poder modelar a los mismos como una resistencia de carga R_L .

6.6.1. Red Zobel

La red *Zobel* consta de un capacitor y un resistor en serie, conectados en paralelo a la salida del amplificador y no de la carga. La presencia de una carga inductiva al circuito provoca inestabilidades a alta frecuencias en la etapa de salida aunque sin comprometer la estabilidad de la realimentación global.

Haciendo uso de la red *Zobel* se reduce dicha inestabilidad. Se suelen usar valores de resistencia del orden de la carga (entre $4,7\ \Omega$ y $10\ \Omega$) mientras que para el capacitor se acostumbra que sea de 100 nF . Para este circuito en particular se propone $R_{39} = 10\ \Omega$ y $C_{15} = 0,1\ \mu\text{F}$.

6.6.2. Compensación

Se puede modelar a un parlante como una red *Zobel* con valores típicos de $C = 2\ \mu\text{F}$ y $R = 8\ \Omega$. Las capacidades bajan los márgenes de estabilidad del circuito. Para resolver dicho problema, se introduce un inductor serie a la salida del amplificador que aísle dicha capacidad. Sin embargo, la inductancia y capacidad pueden entrar en resonancia averiando la etapa de salida. Es por tanto que se conecta una resistencia en paralelo al inductor. Se proponen $L_1 = 10\ \mu\text{H}$ y $R_{40} = 10\ \Omega$.

6.7. Estabilización

El grupo de resistencias y capacitores marcado en el Figura 2, cumple la función de estabilizar la tensión de alimentación del comparador a la entrada y el VAS ante alteraciones en los valores de la fuente de 30 V . La tensión de 12 V se tomará de la fuente de 30 V mediante una fuente conmutada, por lo que no necesitaría estabilización.

7. Amplificación de tensión

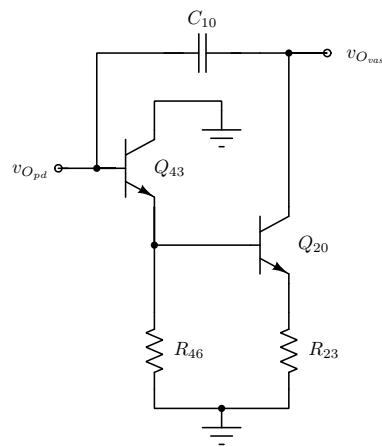


Figura 10: Topología propuesta para la etapa VAS.

Suponinedo una ganancia baja en la primer etapa del circuito implementada como un par diferencial, las capacidades reflejadas por *Miller* son menores implicando constantes de tiempo menores. Así, ante la gran ganancia de tensión que debe tener la etapa de VAS será la misma que

imponga la frecuencia de corte superior de la zona de frecuencias medias.

Se plantea que el VAS consista en un colector-común seguido de un emisor-común degenerado localmente realimentado todo el VAS por el capacitor C_{10} como se ve en la Figura 10. La ventaja de esta topología es el aumento del beta, implicando un aumento en la ganancia de la etapa. A su vez, una alta ganancia permite una mayor linealización de dicha etapa. Otra ventaja es que al utilizar el colector-común, el emisor-común no extrae mucha corriente del par diferencial (β -veces menor) desbalanceandolo. Finalmente, la realimentación con C_{10} aumenta la linealidad del VAS como fue dicho previamente pero también mitiga el efecto de las capacidades C_π de los transistores. Dicho capacitor es el que define el polo dominante y al variar dicho valor, varía la compensación del circuito.

Con la topología definida y a partir del diseño de la etapa de salida, se tiene el requerimiento de una corriente de al menos 5 mA para la polarización de la etapa amplificadora de tensión (VAS). Proponiendo una realimentación local con $R_{23} = 10 \Omega$ se obtiene la ganancia de tensión es la dada por la Ecuación (12), siendo R_{ca} la resistencia equivalente de la etapa de salida que puede aproximarse $\beta \cdot \beta \cdot R_L = 75 \cdot 60 \cdot 8 \Omega = 36 \text{ k}\Omega$ y tomando como ganancia del colector-común la unidad

$$A_{v,vas} = \frac{-g_m \cdot R_{ca}}{1 + g_m \cdot R_{23}} = -2400 \quad (12)$$

8. Comparador de entrada

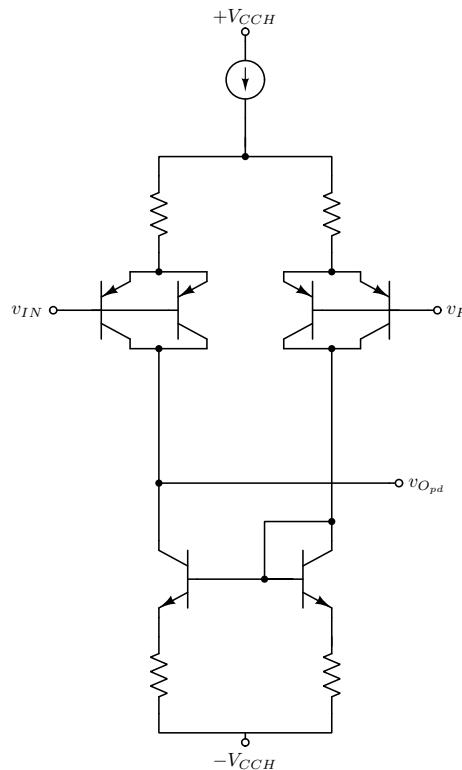


Figura 11: Comparador de entrada.

Se propone utilizar el circuito de la Figura 11 como comparador de entrada. En un par diferencial, la transconductancia es máxima cuando las I_C son iguales. Por lo tanto, un par diferencial simétrico mejora la ganancia del mismo. Es de vital importancia tener una buena ganancia porque

el costo de lograr que sea más lineal es disminuir la ganancia. Entonces para mantener la ganancia deseada pero con alta linealidad, se debe subir la corriente de polarización. Como ventaja del aumento de corriente es el aumento del *slew rate* a costa de un aumento del ruido por la circulación de más corriente.

Para linealizar la respuesta, es decir hacer constante g_m para un mayor rango de entrada, se debe realimentar los emisores del par. Sin embargo con ésto empeora la figura del ruido. El ruido es una función débil de I_C pero está fuertemente relacionado con la impedancia de emisor.

Una solución propuesta para disminuir el ruido en la etapa entrante es reemplazar a los transistores por dos de ellos en paralelo. La naturaleza del ruido en los transistores es completamente aleatoria y se esparce a lo largo del espectro. Teniendo los dos transistores en paralelo, al aparecer un ruido aleatorio en uno de ellos, el otro absorbe dicho ruido en contrafase y se cancela evitando la propagación del mismo al circuito.

Otra decisión de diseño es utilizar la fuente de corriente analizada previamente y la carga espejo para lograr tener un par diferencial simétrico.

En cuanto a la ganancia de tensión del comparador es

$$A_{v,pd} = \frac{-g_m \cdot R_{ca}}{1 + g_m \cdot R_e} = \frac{-80 \frac{\text{mA}}{\text{V}} \cdot 36 \text{k}\Omega}{1 + 80 \frac{\text{mA}}{\text{V}} \cdot 100 \Omega} = -13 \quad (13)$$

La ganancia de tensión total queda determinada por la ganancia de la VAS y el comparador de entrada (12) y (13) ya que la etapa de salida presenta una ganancia aproximadamente unitaria.

$$a = (-13) \cdot (-2400) = 31200 \quad (14)$$

9. Realimentación

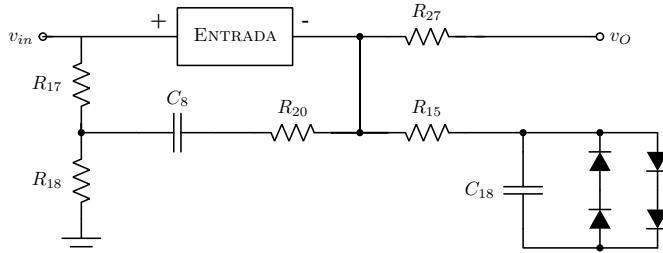


Figura 12: Red de realimentación propuesta.

Se propone utilizar una realimentación negativa serie paralelo compuesto por las resistencias R_{27} y R_{15} . Así se estabiliza el circuito en continua y también mejoran las características de amplificador de tensión (impedancia de entrada alta e impedancia de salida baja). Para limitar la corriente de base entrante al terminal inversor, el valor de R_{27} debe ser del orden de las decenas de $\text{k}\Omega$. Proponiendo los valores $R_{27} = 22 \text{k}\Omega$ y $R_{15} = 1,1 \text{k}\Omega$ se obtiene:

$$f = \frac{R_{15}}{R_{15} + R_{27}} = \frac{1,1 \text{k}\Omega}{1,1 \text{k}\Omega + 22 \text{k}\Omega} \approx 0,048 \quad (15)$$

$$af = 0,048 \cdot 31200 = 1485 \implies af \gg 1 \implies A \approx \frac{1}{f} = 21 \quad (16)$$

9.1. Impedancia de salida

Con los valores obtenidos de la realimentación se calcula la impedancia de salida.

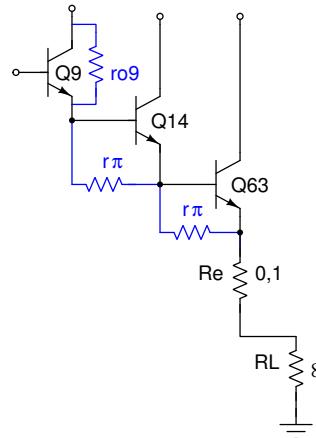


Figura 13: Diagrama para hallar la resistencia de salida del circuito sin realimentación.

- Resistencia de salida sin realimentador: en esta situación se supone que, a los efectos de este cálculo, las resistencias de salida de los colectores comunes son iguales. Entonces se calcula la resistencia de salida del circuito sin realimentar como

$$R_o = \frac{1}{2} \cdot R_E + \frac{r_{\pi}^* + r_{o,Q9}}{\beta^*} = \frac{1}{2} \left(0,1 \Omega + \frac{32 \text{ k}\Omega}{75 \cdot 60} \right) = 3,6 \Omega \quad (17)$$

siendo

$$r_{\pi}^* = 2 \cdot r_{\pi_{Q14}} = 2 \cdot 60 \cdot \frac{25mV}{110 \text{ mA}} = 14 \Omega \quad (18)$$

- Resistencia de salida con realimentador

$$R_{o,CR} = \frac{R_{o,SR}}{1 + af} = \frac{3,6 \Omega}{1 + 1485} = [2,4 \text{ m}\Omega] \quad (19)$$

9.2. Factor de amortiguamiento

En un sistema de audio, el factor de amortiguamiento es la relación entre la impedancia del altavoz y la impedancia de salida del amplificador. Describe la capacidad del amplificador de controlar movimiento del altavoz cuando se deja de excitarlo, en especial cercano a su frecuencia de resonancia. Este valor es de importancia en el contexto de las bajas frecuencias, o subwoofers, dado que la inercia de los diafragmas suele ser grande y el control de la suspensión débil, para permitir grandes excursiones.

$$f_a = \frac{Z_L}{Z_o} = \frac{8 \Omega}{2,4 \text{ m}\Omega} = [3333] \quad (20)$$

9.3. Resistencia de entrada

Con $R_{27} = 22 \text{ k}\Omega$ el juego de resistores R_{17} y R_{18} deben sumar esa misma resistencia para compensar la tensión de corrimiento. Sin embargo, en un amplificador de audio se requiere que la impedancia de entrada sea alta. Se propone un *bootstrap* entre los pines inversor y no-inversor para aumentar dicha resistencia, colocando C_8 . Para evitar oscilaciones al unir dichas entradas se conecta R_{20} .

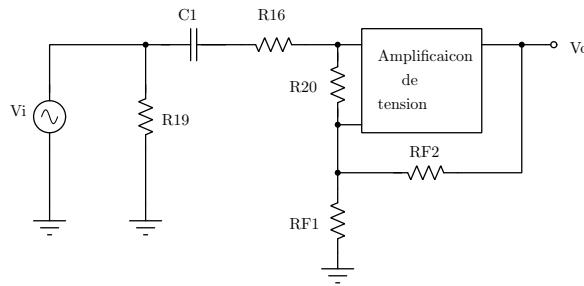


Figura 14: Diagrama en bloque para hallar la resistencia de entrada.

■ Resistencia de entrada sin realimentación

$$R_{i,SR} = 100 \Omega + R_{F1}/R_{F2} = 100 \Omega + 22 \text{ k}\Omega // 1,1 \text{ k}\Omega \quad (21)$$

■ Resistencia de entrada con realimentación

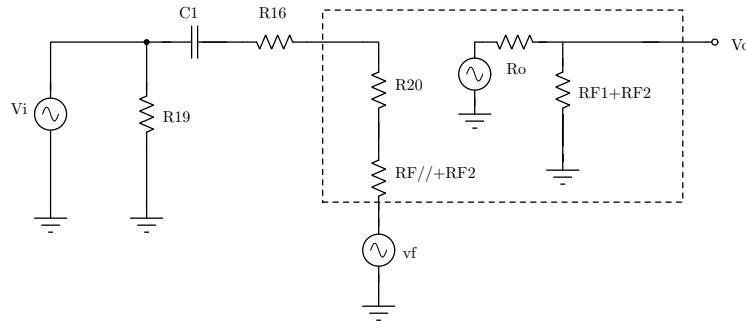


Figura 15: Diagrama en bloque para hallar la resistencia de entrada.

$$R_{i,CR} = (1 + af) \cdot R_{i,SR} = (1 + 1485) \cdot 1,1 \text{ k}\Omega = 1,6 \text{ M}\Omega \quad (22)$$

Finalmente la resistencia que ve el generador es

$$100 \text{ k}\Omega // 1,6 \text{ M}\Omega = \boxed{94 \text{ k}\Omega}$$

10. Fuentes comutadas

La implementación de las fuentes de tensión de 12 V y -12 V se realizó en base a los circuitos integrados LM2576 y LM2577. Se propuso la construcción de dos circuitos independientes, con el fin de no consumir toda la corriente de una sola fuente.

10.1. Fuente reductora de tensión

El diseño propuesto en la Figura 16 corresponde a la configuración reductora de tensión cuya entrada es 30 V, y su salida 12 V. Debido a la dificultad de conseguir el modelo *LM2565-12*, se decidió utilizar la versión ajustable, la cual implica anexar dos resistencias de realimentación R_2 y R_3 según el esquema. El inductor L_2 y el capacitor C_3 permiten reducir el ripple de la tensión de salida.

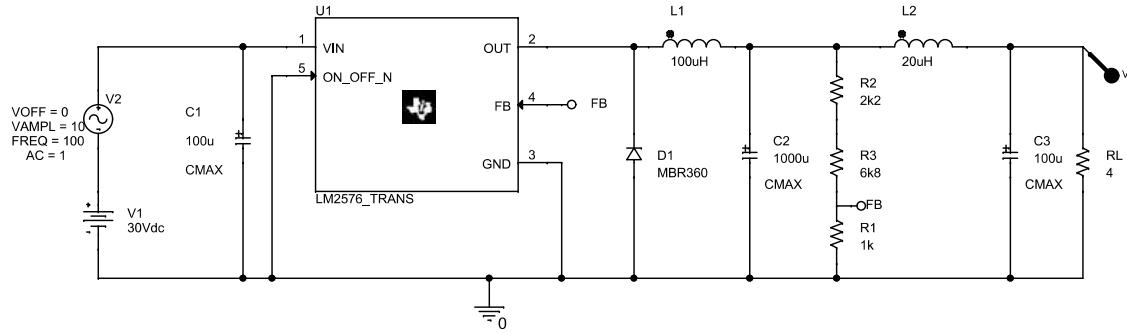


Figura 16: Fuente reductora de tensión.

Debido a que la fuente de entrada puede variar en un 20 %, en la simulación se anexó una fuente alterna en serie para analizar el comportamiento de la salida ante alteraciones de V_E . La salida resultante se muestra en la Figura 17, observándose una variación del orden de decenas de mV.

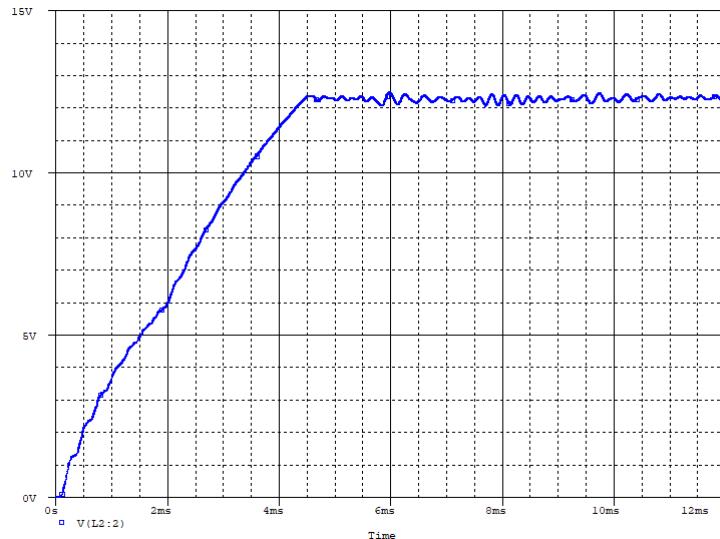


Figura 17: Salida de la fuente reductora de tensión

10.2. Fuente elevadora de tensión

Para el circuito elevador, desde -30 V a -12 V , se propuso el diseño de la Figura 18. No se logró realizar la simulación debido a la inexistencia del modelo de LM2577 en *PSpice*. La elección de los componentes se detalla en la nota de aplicación, aunque sus valores podrán variar empíricamente.

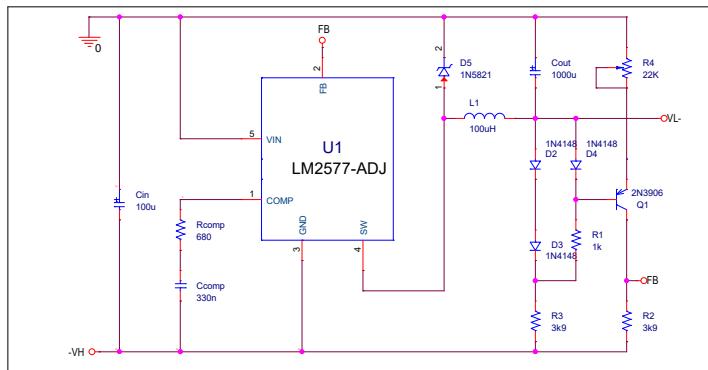


Figura 18: Fuente elevadora de tensión.

Parte IV

Diseño del circuito impreso - PCB

11. Elección de componentes

En las Tablas 1, 2 y 3 se detallan todos los componentes necesarios para la implementación del circuito, teniendo en cuenta los valores comerciales disponibles.

Código	Nombre	Características	Cantidad
2SC5198	Q62, Q63	NPN	2
2SA194	Q64, Q65	PNP	2
MJE340	Q14, Q16, Q26	NPN	3
MJE350	Q15, Q17	PNP	2
MPSA56	Q1, Q8, Q9, Q12, Q13, Q27, Q28	PNP	7
MPSA06	Q30, Q29, Q43, Q20	NPN	4
BC817	Q56, Q59, Q61, Q60	NPN SMD	4
BC807	Q54, Q55, Q56, Q57	PNP SMD	4
BC847	Q52	NPN SMD	1
BC857	Q53	PNP SMD	1
1N4148	D1,2,3,4,14,15,18,19,20,21	Diodo de alta conmutación	10
MBRB1645T4G	D16, D17	Diodo Schottky	2

Tabla 1: Transistores y diodos utilizados en el circuito.

Valor	Nombre	Tecnología	Cantidad
10 pF	C18	Electrolítico	1
47 pF	C1, C4, C20,	Electrolítico	3
1 mF	C11	Electrolítico	1
100 nF	C2, C9, C12, C15	Poliéster	3
1 nF	C7	Poliéster	1
330 pF	C10	Cerámico	1

Tabla 2: Capacitores y tecnología de los mismos para la implementación del circuito.

Valor	Nombre	Tecnología	Cantidad
0,1 Ω	R32, R33	Alambre, 5W	2
10 Ω	R39	Alambre, 5W	1
10 Ω	R38	Metalfilm 1W	1
100 Ω	R28, R29, R35, R36	Metalfilm 1W	4
22 kΩ	R27	Metalfilm, 1W	1
10 Ω	R16, R23	SMD 0805	2
15 Ω	R42	SMD 0805	1
56 Ω	R49, R50, R53, R54	SMD 0805	4
68 Ω	R21, R25	SMD 0805	2
100 Ω	R1,13,14,20,76	SMD 0805	5
270 Ω	R59, R60	SMD 0805	2
560 Ω	R51, R62	SMD 0805	2
680 Ω	R44	SMD 0805	1
1 kΩ	R73, R74, R15, R62, R63, R67, R68	SMD 0805	7
2,2 kΩ	R5, R47	SMD 0805	2
3,3 kΩ	R43	SMD 0805	1
5,6 kΩ	R61, R66	SMD 0805	2
8,2 kΩ	R64, R65	SMD 0805	2
10 kΩ	R17, R18	SMD 0805	2
100 kΩ	R19	SMD 0805	2

Tabla 3: Lista de resistencias requeridas para el circuito.

12. Criterios de Ruteo

- Las fuentes de alimentación se colocaron lo más cerca posible de la etapa de salida, ya que ésta es la que más corriente consume. Así el camino será más corto y habrá menos inductancia propia de las pistas.
- Sabiendo que la corriente máxima que puede circular por la salida es de 3,5 A, una pista de 75 mills resulta suficiente para las pistas de potencia.
- Pistas de baja potencia de 40 mills.
- El camino entre la salida y la realimentación se colocó lo más cerca posible, lo mismo entre el del comparador y la salida, debido a que se requiere velocidad.
- No se dejaron espacios vacíos, sino que se dejaron con cobre y conectados a tierra para así obtener islas de masa.
- Los transistores del par diferencial de entrada se colocaron lo más cercanos posible para obtener un buen acoplamiento térmico.
- Se verificó que no se formen espiras, ya que se comportarían como inductancias.
- Se procuró que las pistas no posean esquinas con puntas ó ángulos agudos para evitar interferencias y facilitar la fabricación.

13. Circuito Impreso

Una vez elegidos los componentes y teniendo en cuenta los criterios de ruteo ya descriptos, se procedió al diseño del circuito impreso mediante *Orcad*. El primer paso es asignarle a cada componente su correspondiente *footprint*, los cuales deben ser elegidos cuidadosamente y verificados por la hoja de datos. El diseño del circuito impreso se muestra en las Figuras 19 y 20.

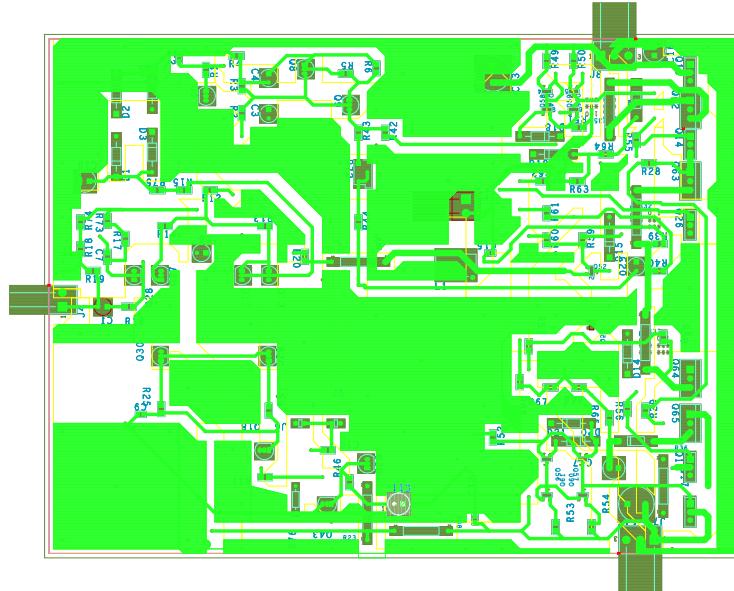


Figura 19: Diseño de PCB, anverso.

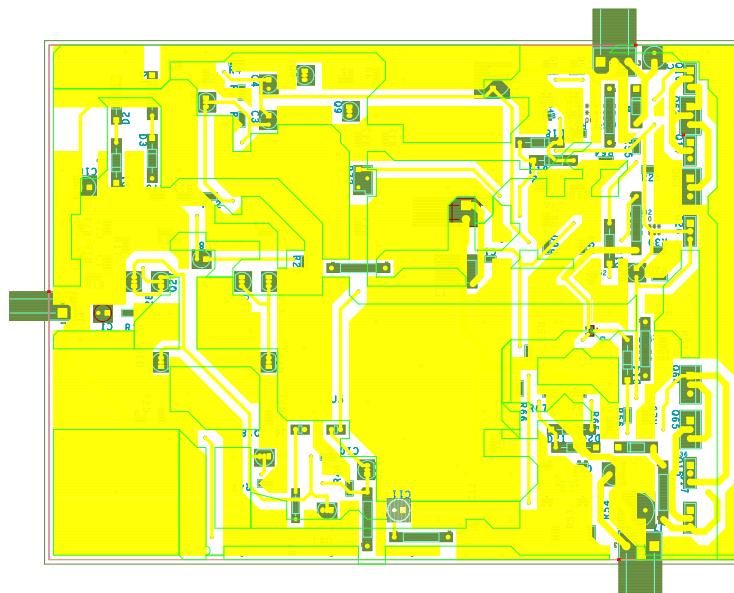


Figura 20: Diseño de PCB, reverso.

Parte V

Análisis por simulación

14. Polarización

Con el fin de corroborar y ajustar los resultados teóricos obtenidos, se realiza la simulación del circuito mediante SPICE Orcad.

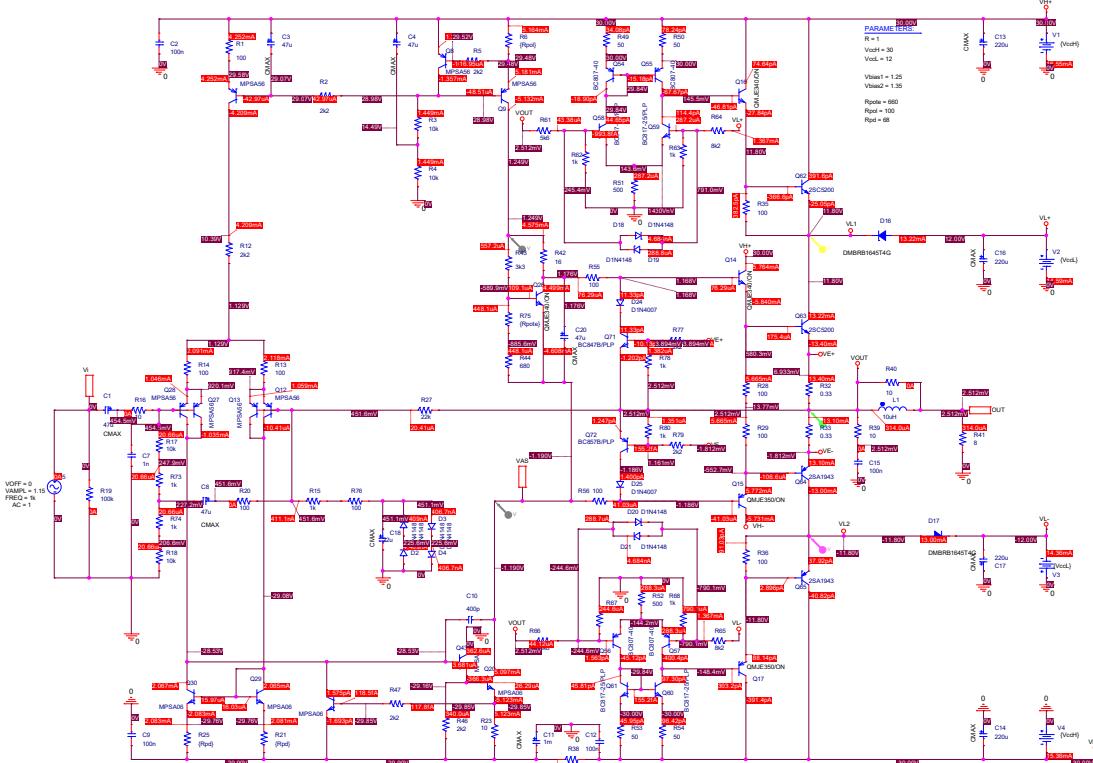


Figura 21: Tensiones y corrientes de reposo.

En la Figura 21 se muestran las tensiones y corrientes en continua, siendo coherentes con los valores esperados.

15. Compensación

Para hallar el valor del capacitor de compensación (presente entre la base y colector del transistor de VAS), se impone una señal cuadrada en la entrada y se observa como resulta la salida. Se realizó una simulación al variar el valor de la capacidad desde 100 pF (curva naranja) hasta 400 pF (curva celeste) de a 100 pF. El resultado se muestra en la Figura 22.

Por lo tanto para que el circuito esté compensado se eligió un valor comercial de 330 pF.

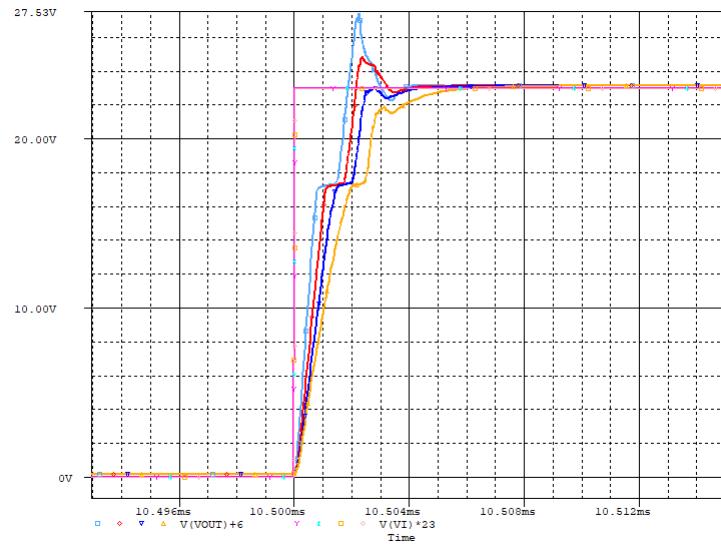


Figura 22: Variación de la capacitancia de compensación.

16. Impedancia de entrada

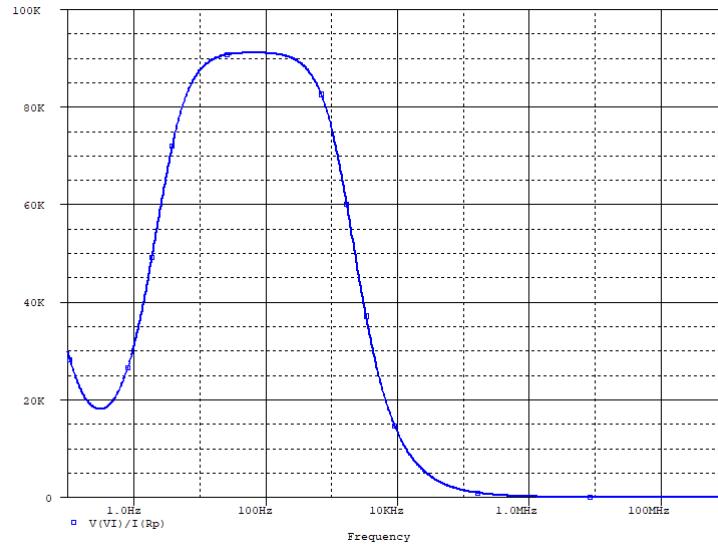


Figura 23: Impedancia de entrada

Para analizar el comportamiento de la impedancia de entrada en función de la frecuencia, se colocó una fuente AC en serie con una resistencia de prueba y se midió la corriente que pasa por ella y la tensión en el nodo de entrada. Al realizar la división, se obtuvo la Figura 23. Se puede observar que para frecuencias medias, la resistencia resultó ser aproximadamente $91\text{ k}\Omega$, valor próximo al hallado analíticamente ($R_{if} = 94\text{ k}\Omega$).

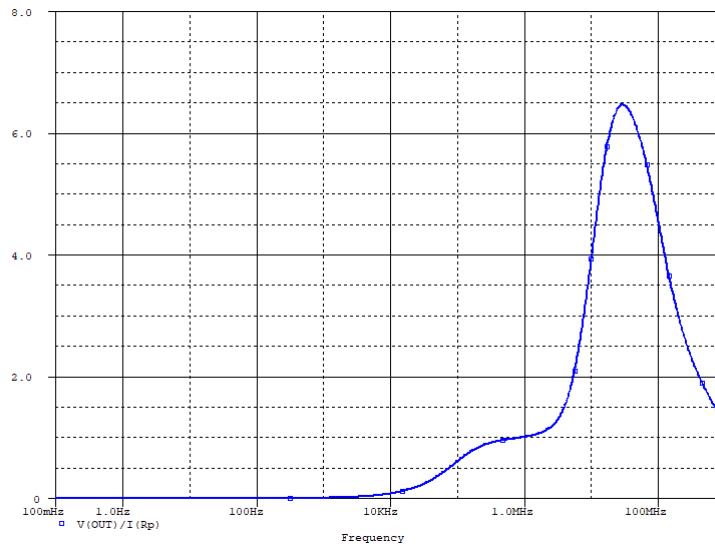


Figura 24: Impedancia de salida en función de la frecuencia.

17. Impedancia de salida

Para realizar la simulación de la impedancia de salida, se pasivó la señal de entrada y se colocó una fuente alterna de prueba en el nodo de salida junto con una resistencia de prueba de $0,1\Omega$ y un capacitor de $10\mu F$ en serie. Mediante un análisis AC se midió la tensión de salida y la corriente en la resistencia de prueba, y al realizar la división se obtiene la impedancia buscada. El resultado obtenido se muestra en la Figura 24. Se puede observar que para frecuencias bajas y medias, hasta aproximadamente 10 kHz , la resistencia de salida es muy pequeña, del orden de los $\text{m}\Omega$. Luego, a partir de 10 kHz comienza a incrementarse siendo el valor máximo $6,5\Omega$.

18. Respuesta en frecuencia

$$P_L = \frac{\hat{V}_o^2}{R_L} = 1 \text{ W} \implies \hat{V}_o = \sqrt{1 \text{ W} \cdot 8\Omega} \implies \boxed{\hat{V}_o = 4 \text{ V}} \quad (23)$$

La respuesta en frecuencia del circuito para una disipación de 1 W ($\hat{V}_o = 4 \text{ V}$) en la carga se muestra en la Figura 25.

$$f_L = 14 \text{ Hz} \quad (24)$$

$$f_H = 156 \text{ kHz} \quad (25)$$

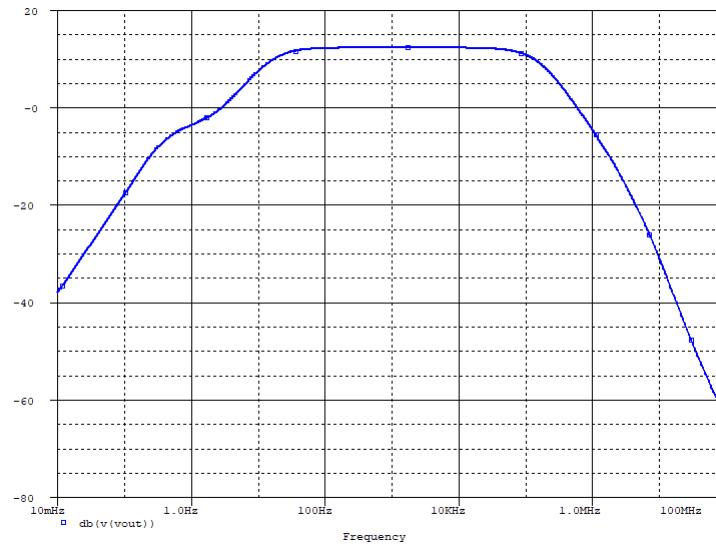


Figura 25: Respuesta en frecuencia del circuito completo a 1 W.

19. Ancho de banda de potencia

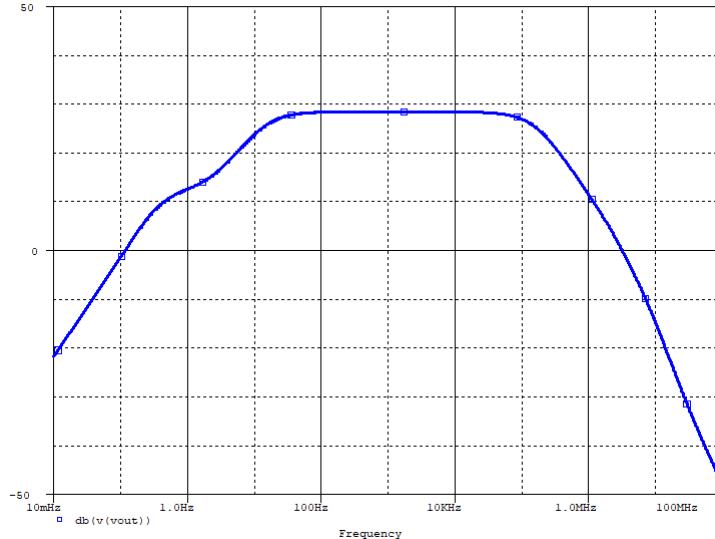


Figura 26: Ancho de banda de potencia

El ancho de banda de potencia indica la máxima frecuencia para la cuál el amplificador logra reproducir una señal sinusoidal a máxima potencia. Para este caso, la máxima tensión sin distorsión apreciable es aproximadamente 26 V. A partir de la Figura 26 se obtiene

$$f_L = 14 \text{ Hz} \quad (26)$$

$$f_H = 160 \text{ kHz} \quad (27)$$

20. Respuesta al escalón

Con el objetivo de hallar los parámetros característicos del circuito *slew rate* y ancho de banda, se simula la respuesta al escalón para dos casos, pequeña y gran señal.

20.1. Respuesta la escalón para pequeña señal

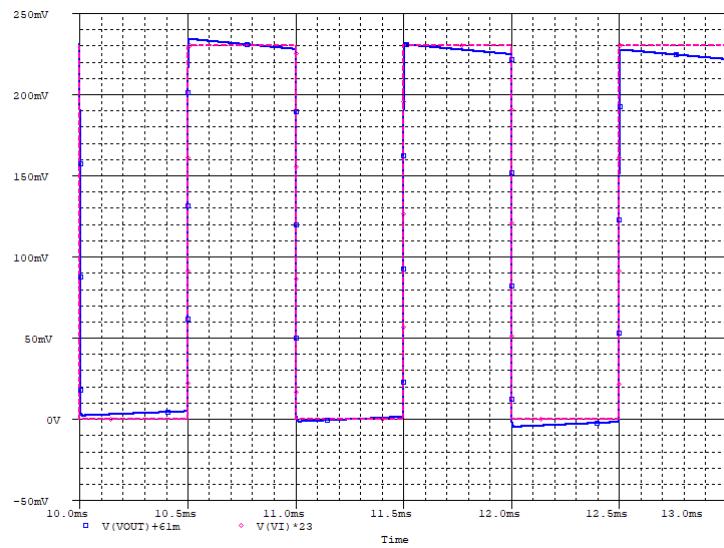


Figura 27: Respuesta al escalón en pequeña señal.

20.2. Respuesta al escalón para gran señal

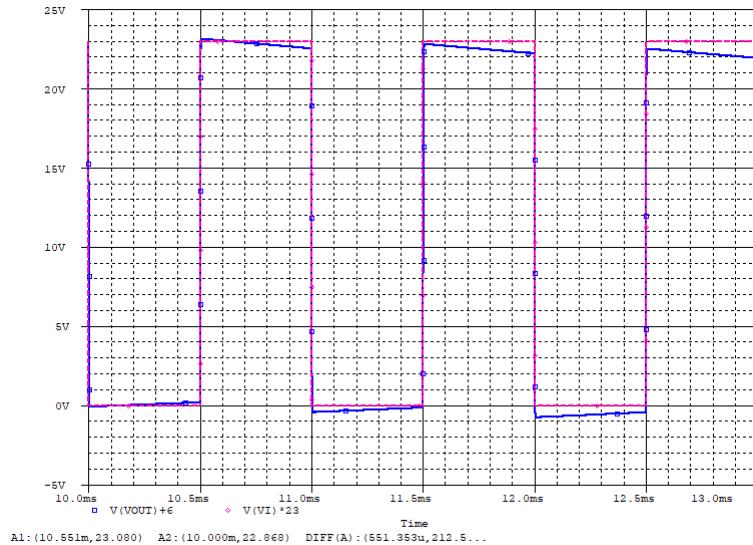


Figura 28: Respuesta al escalón en gran señal

En las Figuras 29 y 28 se muestra la respuesta al circuito ante una señal cuadrada de frecuencia 1 kHz y amplitud $1\hat{V}$ y $10m\hat{V}$ respectivamente. Se puede observar en ambos casos que el circuito se encuentra correctamente compensado debido a la ausencia de sobrepicos de tensión u oscilaciones (tal como se mostró en la elección del capacitor de compensación, Figura 22).

Si bien el modelo de simulación involucra capacidades parásitas, en la práctica éstas pueden diferir, por lo que es posible que el valor del capacitor de compensación deba ser cambiado, buscando un equilibrio entre los valores de slew rate y ancho de banda.

A continuación se calculan los valores de *slew rate* y ancho de banda en base a lo simulado.

20.3. Ancho de banda

Este parámetro se obtiene a partir de la simulación de la respuesta al escalón del circuito en pequeña señal (10 mV).

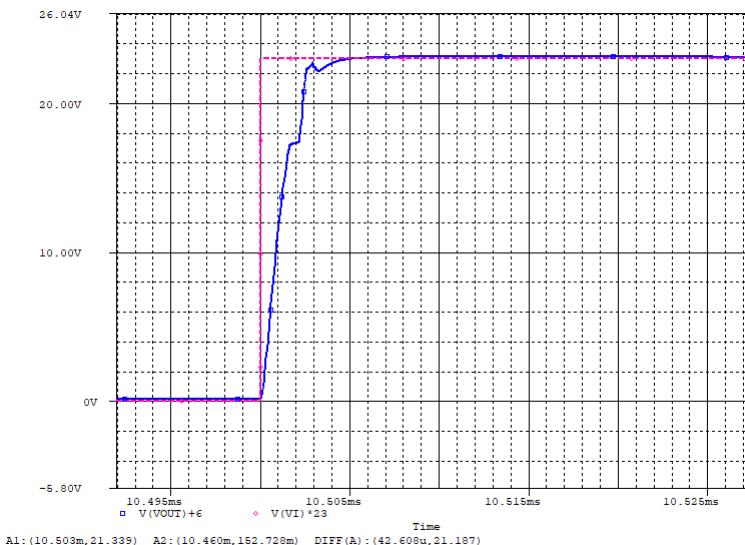


Figura 29: Respuesta al escalón en pequeña señal.

Observando la Figura 26 el tiempo de crecimiento (τ_r), se puede determinar el ancho de banda mediante la ecuación (28).

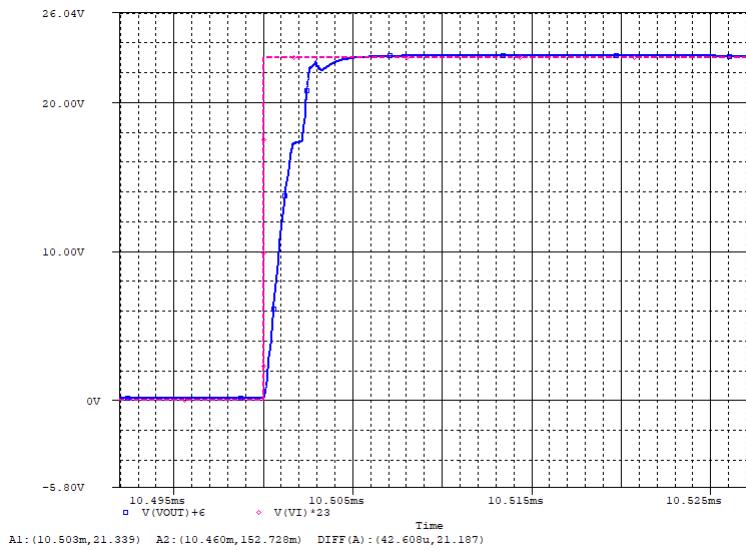
$$BW = \frac{0,35}{\tau_r} = \frac{0,35}{2\mu s} = \boxed{175 \text{ kHz}} \quad (28)$$

20.4. Slew Rate

El parámetro *Slew Rate* caracteriza el comportamiento de la salida del circuito ante cambios súbitos de tensión en la entrada, ya que la tensión de salida no puede responder de forma instantánea ante alteraciones en la entrada. Para hallar su valor se impone un escalón en la entrada de gran amplitud y se mide la pendiente casi constante resultante. A partir de la Figura 30 se obtiene (29).

$$SR = \left. \frac{dV_o(t)}{dt} \right|_{max} \simeq \frac{\Delta V_o}{\Delta t} = \frac{27 \text{ V}}{3 \mu s} = \boxed{9 \frac{\text{V}}{\mu s}} \quad (29)$$

A partir del parámetro obtenido se puede calcular la máxima frecuencia para la cual el amplificador es capaz de reproducir la máxima amplitud de salida sin deformación.



$$f = \frac{SR}{2 \cdot \pi \hat{V}} = \frac{9 \frac{\text{V}}{\mu\text{s}}}{2 \cdot \pi 26 \text{V}} = 55 \text{ kHz} \quad (30)$$

Se realizó una simulación con una señal de entrada de $1\hat{V}$ a frecuencia 55 kHz, la salida obtenida se muestra en la Figura 31. La distorsión resultó ser $THD = 2,6\%$, y es debida a los transistores de conmutación.

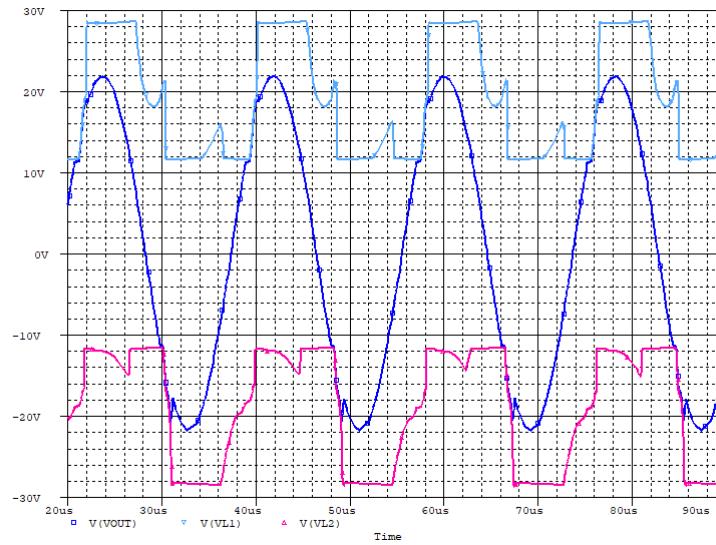


Figura 31: Simulación a máxima tensión de salida y 55 kHz.

Se probó con una frecuencia de 25 kHz a máxima tensión de salida, y se obtuvo una $THD = 0,2\%$, y a 20 kHz $THD = 0,099\%$. Dichos resultados se encuentran dentro de los valores especificados, ya que al tratarse de un amplificador de audio, la máxima frecuencia audible es como mucho 20 kHz.

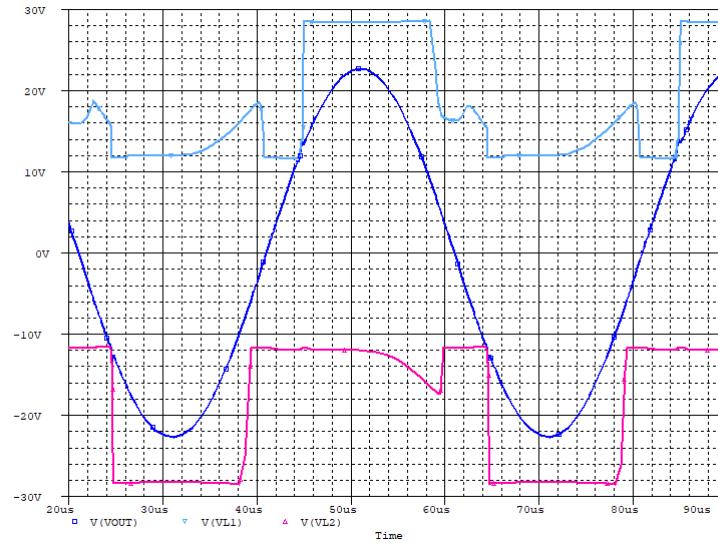


Figura 32: Simulación a máxima tensión de salida y 25 kHz.

Asimismo se debe destacar que la distorsión a 55 kHz resulta mucho menor para amplitudes de señal que no logran conmutar. Por ejemplo, en la Figura 33 se muestra la simulación para una salida de $4,5\hat{V}$ y se obtuvo una distorsión de $THD = 0,03\%$. Se puede apreciar el efecto del *slew rate* por la forma de las puntas de la señal que empiezan a formar rectas. Dicho efecto será más pronunciado al aumentar la frecuencia.

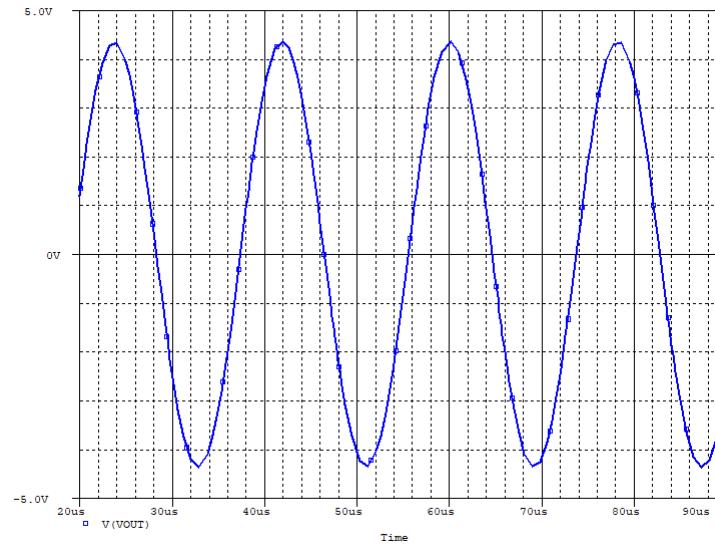


Figura 33: Salida a 55 kHz.

En resumen, para cualquier amplitud de señal de salida (hasta $26\hat{V}$), la señal puede ser reproducida correctamente hasta 25 kHz.

21. Margen de fase

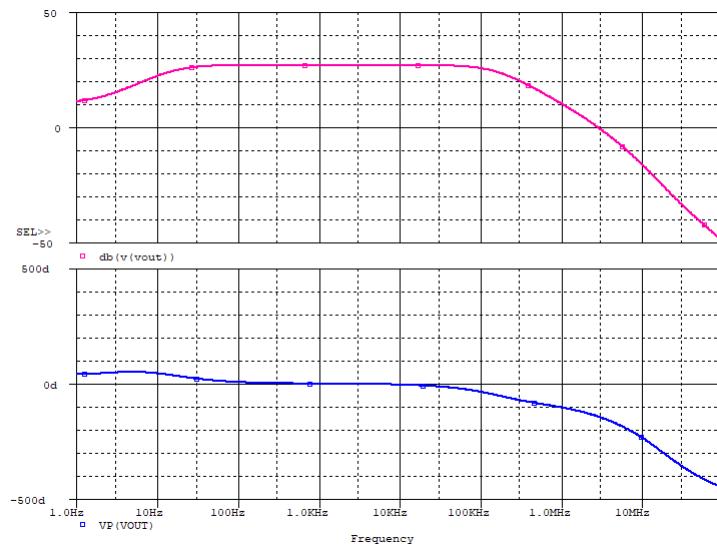


Figura 34: Diagrama de Bode.

En la Figura 34 se presentan la magnitud y fase en la salida en función de la frecuencia. El margen de fase se define como el ángulo que le falta a -180° para llegar a la fase cuando la ganancia es 0 dB. Para determinar su valor, se busca en la Figura 34 el punto de cruce de la gráfica de magnitud con 0 dB, que corresponde a una frecuencia de aproximadamente 2 MHz. La fase en dicha frecuencia es de -135° , por lo que el margen de fase resulta:

$$MF = -180^\circ + 135^\circ = \boxed{-45^\circ}$$

22. Distorsión armónica

Mediante la herramienta de análisis de Fourier provista por SPICE Orcad se analizó la variación de la distorsión armónica THD producida en la salida, en función de la frecuencia y amplitud de la señal de entrada. Los resultados obtenidos se resumen en la tabla.

Frecuencia	$P_{L,RMS}$		
	4W	30W	42,5W
1 kHz	0,005	0,016	0,018
20 kHz	0,053	0,066	0,099

Tabla 4: Valores de THD % para distintos valores de frecuencia y potencias sobre la carga.

23. Distorsión por intermodulación

Para esta simulación se utilizaron dos señales de entrada superpuestas, una de frecuencia de 100 Hz con amplitud pico 0,4 V y una de 5 kHz con 0,1 V, y se mide la distorsión en 5 kHz con los mismos procedimientos de la medición anterior, obteniéndose

$$IMD = 1,4\%$$

24. Rechazo de Ruido de la Fuente de Alimentación

La relación de rechazo de la fuente de alimentación da una medida del rechazo del ruido proveniente de la fuente de alimentación que puede proveer el circuito para distintas frecuencias. En la simulación, se anexó una fuente alterna en serie con cada fuente de alimentación y se pasivó la señal de entrada. Se realizó un barrido en frecuencia con una amplitud 1 V, obteniéndose diversas amplitudes en la salida, según se ilustra en la Figura 35.

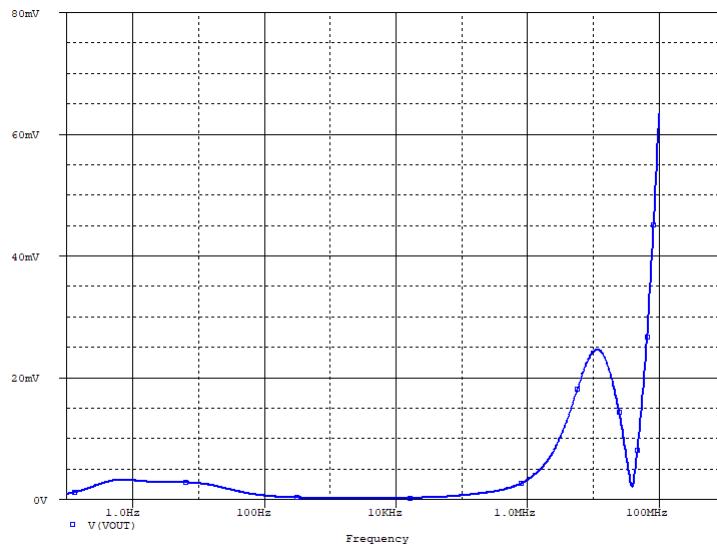


Figura 35: Rechazo de ruido de la fuente.

$$\text{PSRR}(12 \text{ MHz})[\%] = \frac{v_o}{v_i} = \frac{24,6 \text{ mV}}{1 \text{ V}} = 0,0246 \%$$

$$\text{PSRR}(12 \text{ MHz})[\text{dB}] = 20 \cdot \log \left(\frac{24,6 \text{ mV}}{1 \text{ V}} \right) = -32 \text{ dB}$$

25. Máxima eficiencia del amplificador

La eficiencia de un circuito se define como la relación entre la potencia promedio entregada a la carga (P_L) y la potencia consumida por la fuente de alimentación (P_{fuente}). El cálculo es análogo al de clase B, salvo que en un clase G, la disipación de potencia es compartida entre dos transistores, y la disipación en los transistores externos es cero cuando no se supera la tensión umbral.

$$\nu = \frac{P_L}{P_{fuente}} = \frac{\pi}{4} \cdot \frac{\hat{V}_o}{V_{CC}} = \frac{\pi}{4} \cdot \frac{26}{30} = \boxed{68 \%} \quad (31)$$

Siendo \hat{V}_o máxima tensión de salida sin que haya recorte.

En la Figura 36 se muestra la potencia disipada en la carga, siendo la máxima (sin distorsión) 86 W, la curva rosa corresponde al transistor externo Q_{62} , $P_{max} = 18 \text{ W}$. La curva azul, la potencia disipada en el transistor interno de salida Q_{63} .

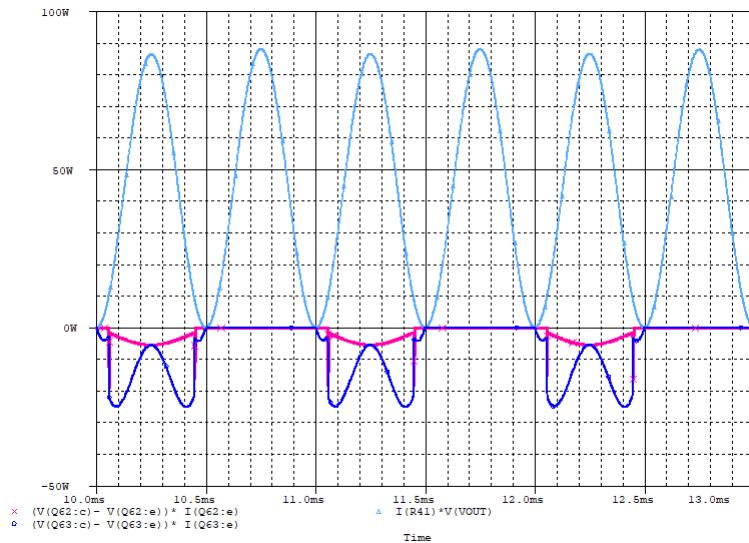


Figura 36: Potencia disipada en la carga y transistores de salida.

26. Cálculo de Disipadores

A partir de la hoja de datos del 2SC5198 y de las condiciones del ambiente se tiene:

- Temperatura de Juntura $T_j^{\max} = 150 \text{ }^{\circ}\text{C}$
- Temperatura de Carcasa $T_c = 25 \text{ }^{\circ}\text{C}$
- Temperatura de Ambiente $T_a = 40 \text{ }^{\circ}\text{C}$
- $\theta_{cs} = 2 \frac{\text{ }^{\circ}\text{C}}{\text{W}}$ al utilizar mica.

Para no llevar al máximo a la juntura se toma $T_j \leq 120 \text{ }^{\circ}\text{C}$, es decir el 70 % del valor máximo. Por otro lado cabe aclarar que la potencia máxima ($P_{C_{\max}}$) que puede soportar el transistor.

Para obtener θ_{ja} de la hoja de datos se analiza el gráfico provisto por la misma y utilizando la potencia máxima seg\xf1n la *datasheet* (100 W) se obtiene

$$\theta_{jc} = \frac{150 \text{ }^{\circ}\text{C} - 25 \text{ }^{\circ}\text{C}}{100 \text{ W}} = 1,25 \text{ W}$$

Con todos los datos de la hoja de datos, se procede a calcular θ_{sa}

$$\begin{aligned} P_{C_{\max}} &= \frac{V_{CC}^2}{\pi^2 R_L} = 11,4 \text{ W} \\ \Rightarrow \theta_{ja} &= \frac{T_j - T_a}{P_{C_{\max}}} = \frac{120 \text{ }^{\circ}\text{C} - 40 \text{ }^{\circ}\text{C}}{11,4 \text{ W}} = 7,02 \frac{\text{ }^{\circ}\text{C}}{\text{W}} \end{aligned}$$

$$\theta_{ja} = \theta_{jc} + \theta_{cs} + \theta_{sa}$$

Despejando:

$$\theta_{sa} = \theta_{ja} - \theta_{jc} - \theta_{cs} = \boxed{3,77 \frac{\text{ }^{\circ}\text{C}}{\text{W}}}$$

Sin embargo al conectar más de un transistor y suponiendo que ΔT_{ja} es igual para cada uno de ellos:

$$\theta_{sa}(n \text{ elementos}) = \frac{\theta_{sa}(\text{1 elemento})}{n}$$

Por lo tanto

$$\boxed{\theta_{sa}(\text{total}) = 1,65 \text{ W}}$$

27. Resultados

	Especificaciones	Simulaciones
THD a $P_{RMS} = 40 \text{ W} @ 1 \text{ kHz}$	< 0,02 %	0,018 %
THD a 1 W @ 1 kHz	< 0,01 %	0,005 %
Respuesta en frecuencia	20 Hz a 20 kHz	14 Hz a 156 kHz
Tensión de offset	5 mV	2,5 mV
Slew Rate	$10 \frac{\text{V}}{\mu\text{s}}$	$9 \frac{\text{V}}{\mu\text{s}}$
IMD	1 %	1,4 %
Margen de Fase	45°	45°
Factor de amortiguamiento	> 500	3333
Impedancia de entrada	100 kΩ	94 kΩ
Impedancia de salida	mΩ	2,4 mΩ

Tabla 5: Resultados.

Parte VI

Validación del prototipo

28. Instrumentos utilizados

Las mediciones se realizaron con el siguiente instrumental provisto por los laboratorios de la Facultad de Ingeniería de la UBA.



Figura 37: Fuente de alimentación M10SP3010E.



Figura 38: Osciloscopio ATTEN ADS1102CAL.



Figura 39: Multímetro UT30D.

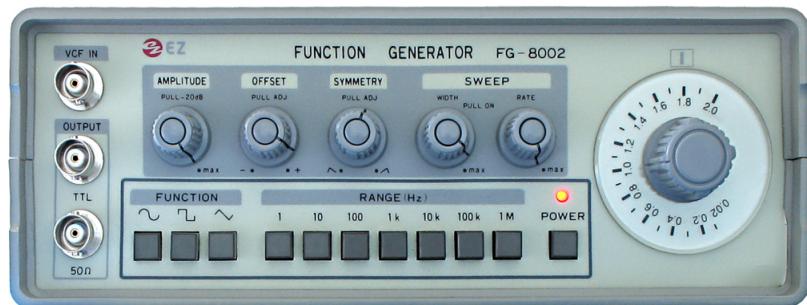


Figura 40: Generador de funciones FG 8002.



Figura 41: Medidor de LCR portátil *PROTOMAX VA511*.

29. Validación y resultados

29.1. Circuito sin etapa de potencia

A continuación se exponen las mediciones realizadas los días 4/12/2018 y 5/12/2018 donde se valida el funcionamiento de la primer y segunda etapa del circuito. Para realizar las mismas, se desconectan las conexiones del multiplicador de V_{BE} con los transistores de salida; también se conecta la realimentación global a la salida del VAS dado que el mismo provee la misma tensión que la salida del circuito completo. Sin embargo para emular la conexión de la tercera etapa, se conecta una resistencia de valor comercial $39\text{ k}\Omega$ que es aproximadamente igual a la carga que presenta la reflexión de R_L (con valor teórico de $36\text{ k}\Omega$).

Con dichas consideraciones se procede a realizar las mediciones.

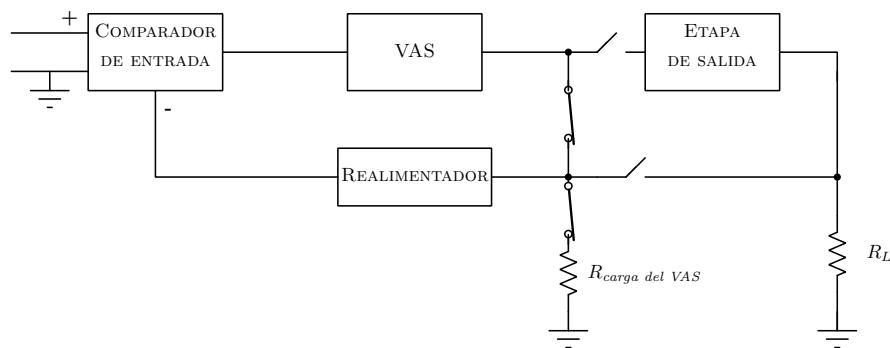


Figura 42: Diagrama del circuito para mediciones sin etapa de potencia.

29.1.1. Polarización

Las mediciones de polarización se realizaron con el multímetro *UT30D* cortocircuitando la entrada y se exponen en la Figura 43. Cabe destacar que las mediciones en color rojo corresponden a tensiones con respecto a masa y aquellas en color azul, diferencia de potencial.

Mediciones de polarización de las priemras dos etapas solas (04/12/18)

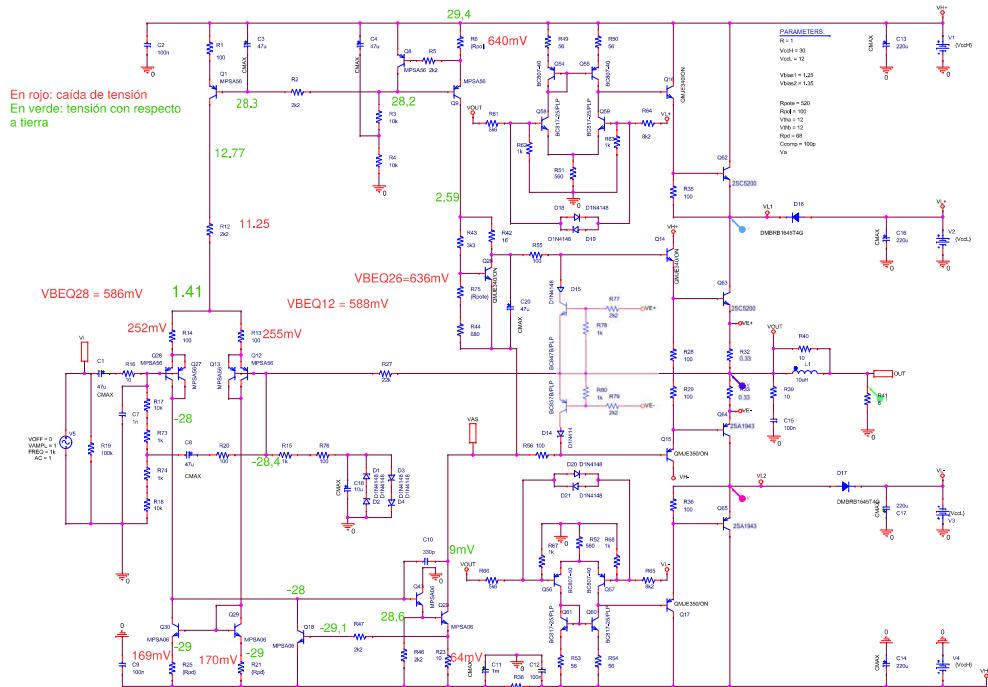
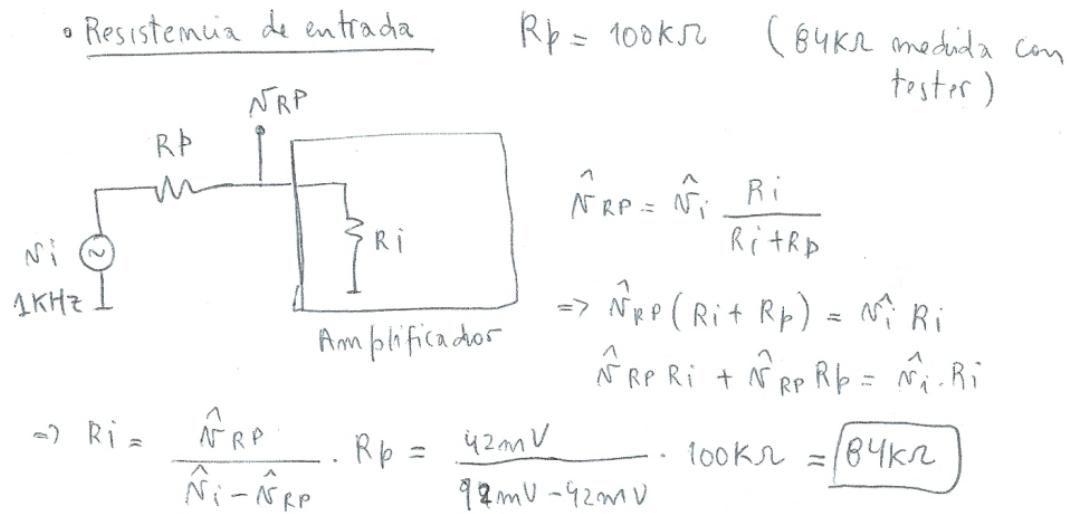


Figura 43: Mediciones de polarización del día 4/12/2018.

29.1.2. Impedancia de entrada

Figura 44: Medición de las tensiones de generador de prueba y el nodo de entrada.

Figura 45: Análisis detallado de la medición de R_{in} .

Para la medición de resistencia de entrada, se inyecta una señal conocida al circuito con resistencia serie lo más similar posible a la resistencia de entrada propia del amplificador. La tensión medida está relacionada con el divisor resistivo generado entre R_p y R_{in} de forma tal que se puede hallar indirectamente dicha resistencia. La medición se expone en la Figura 44 y en la Figura 45 se realiza la explicación y cálculo de dicha resistencia resultando $R_{in} = 84\text{k}\Omega$.

Del mismo modo se realizó la medición de R_{in} para frecuencia de 10 kHz resultando en:

$$R_{in}(@10\text{ kHz}) = \frac{13,2\text{ mV}}{94\text{ mV} - 13,2\text{ mV}} \cdot 100\text{k}\Omega = 16,3\text{k}\Omega$$

29.1.3. Ancho de banda de potencia

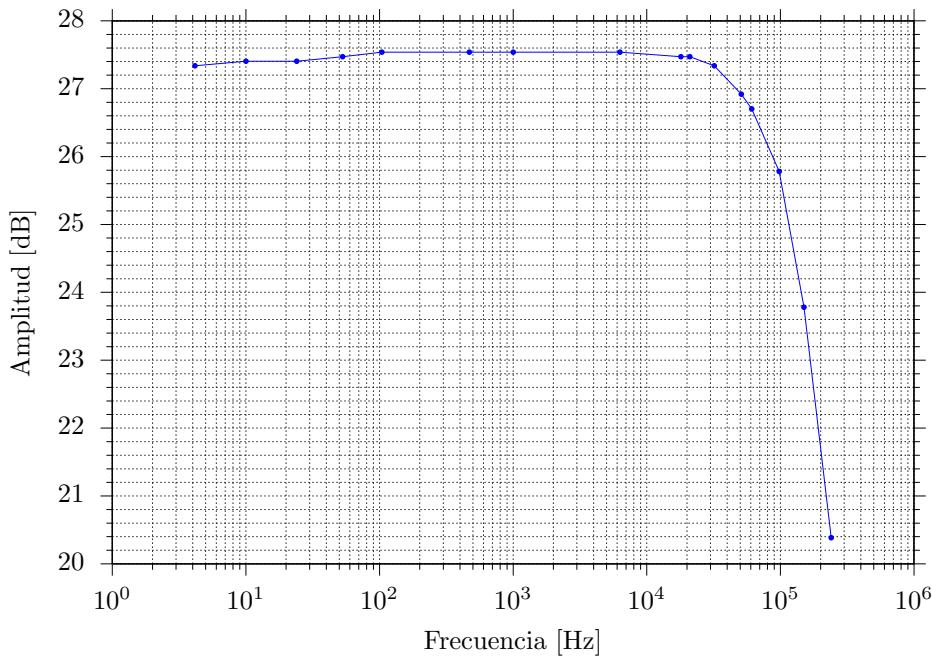


Figura 46: Respuesta en frecuencia para tensiones de entrada $V_{pp} = 1,1$ V.

A través de la Figura 46 se halla la frecuencia en la cual la respuesta en frecuencia disminuya 3 dB. La frecuencia de corte es por tanto:

$$f_H \approx 130 \text{ kHz}$$

29.1.4. Respuesta al escalón



Figura 47: Respuesta al escalón en pequeña señal.

Se conecta un generador a la entrada con un escalón de 1 kHz. La medición se expone en la Figura 47 y el análisis del mismo se detalla en la Figura 48 resultando en

$$BW = 139 \text{ kHz}$$

• Respuesta al escalón en pequeña señal (BW) @ 1kHz.

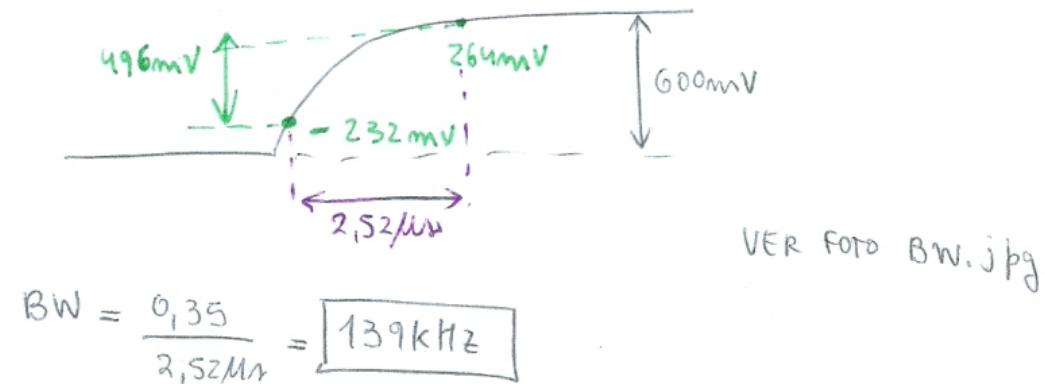


Figura 48: Análisis detallado de la medición de respuesta al escalón en señal.

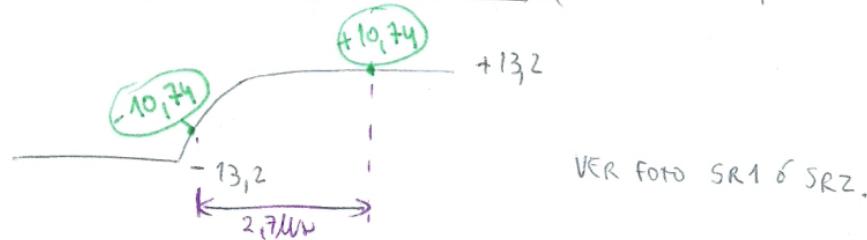
29.1.5. Slew Rate

Se realiza una medición similar a la anterior, salvo que en este caso la entrada es un escalón que va de $-0,6\text{ V}$ a $0,6\text{ V}$. Así a partir de la medición de la Figura 49 como se detallan los valores en la Figura 50 se obtiene un *Slew Rate* similar al simulado de $SR = 8 \frac{\text{V}}{\mu\text{s}}$.



Figura 49: Respuesta al escalón en gran señal para hallar el *Slew Rate*.

- Respuesta al escalón en gran señal, (entrada de $-0,6V$ a $0,6V$) @ 1kHz



$$SR = \frac{21.5V}{2.7M\Omega} \approx [8V/\mu s]$$

Figura 50: Análisis detallado de la medición del *Slew Rate*.

29.1.6. Variación de la Fuente de Alimentación

	$V_{H+} = 28,7V$	$V_{H-} = 28,1V$	$V_{H+} = 25,2V$	$V_{H-} = 25,1V$	
$\Delta V_{R12} = 7k\Omega$	11,08V	5mA	10,88V	4,95mA	1%
$\Delta V_{R14} = 100\Omega$	249,2mV	2,492mA	245mV	2,45mA	1,7%
$\Delta V_{R13} = 100\Omega$	252,7mV	2,527	248,8mV	2,488mA	1,5%
$\Delta V_{R25} = 68\Omega$	168mV	2,47	165,3mV	2,43mA	1,6%
$\Delta V_{R21} = 60\Omega$	169,4mV	2,49	167mV	2,466mA	1,2%
$\Delta V_{R6} = 100\Omega$	0,630V	6,38	0,630V	6,3mA	1,25%

• Mediciones indirectas de corriente.

• Porcentaje de diferencia

Figura 51: Mediciones de las caídas de potencial para 2 juegos de tensiones de alimentación.

En este caso se alimentó el circuito con V_{CCH+} y V_{CCH-} pero se supone que dichas fuentes no son muy buenas. Por tanto se midieron las caídas de potencial sobre las resistencias con los valores de alimentación común y con alimentaciones menores al 10 %. Los resultados y mediciones se exponen en la Figura 51 mostrando errores menores al 1,8 %.

29.1.7. Distorsión armónica

Se realizó un análisis de *FFT* del circuito ingresando con una señal de 1 kHz, pero no se pueden sacar conclusiones de la medición de la Figura 52 porque el piso de ruido es muy alto y no se puede ver el efecto de los harmónicos. Para ello habría que utilizar un *software* que permita ingresar señales particulares y ver el comportamiento en frecuencia del circuito ante esos estímulos.

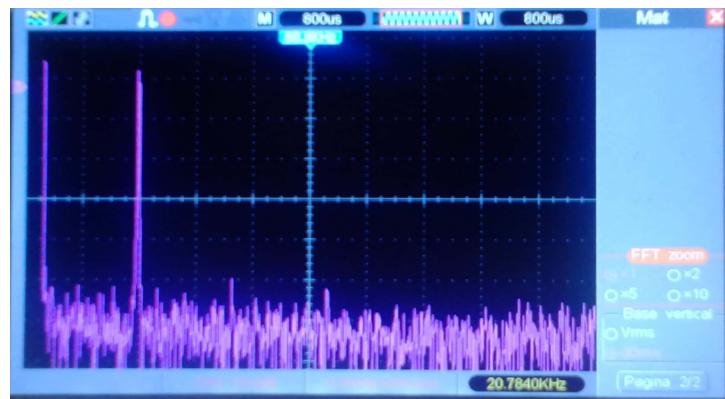


Figura 52: Análisis del circuito por Fourier.

29.1.8. Máxima excusión de salida

Se introdujo una señal de amplitud tal que la salida no recorte. Dicha señal corresponde a una de amplitud pico a pico 1,1 V. A la salida se obtiene $V_{pp} = 32,4$ V.



Figura 53: Medición de máxima excusión de salida sin recorte.

29.2. Circuito completo

A continuación se presentan las mediciones realizadas durante la semana del 18/02/2019. Se realizó el conexionado del circuito de modo tal que se tiene el circuito completo como se muestra en la Figura 54.

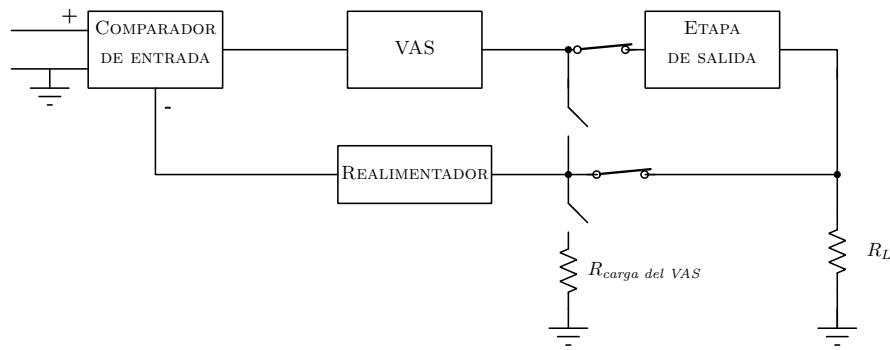


Figura 54: Diagrama del circuito para mediciones con etapa de potencia.

29.2.1. Polarización

Con el fin de obtener un valor bajo de THD, se ajustó el potenciómetro del multiplicador de V_{BE} , obteniéndose los valores de la tabla ??.

29.2.2. Máxima excusión

Se introdujo una señal de amplitud (máxima) tal que la salida no recorte. Dicha señal corresponde a una de amplitud pico a pico 2.14 V_{pp} . A la salida se obtiene $V_{pp} = 50$ V.

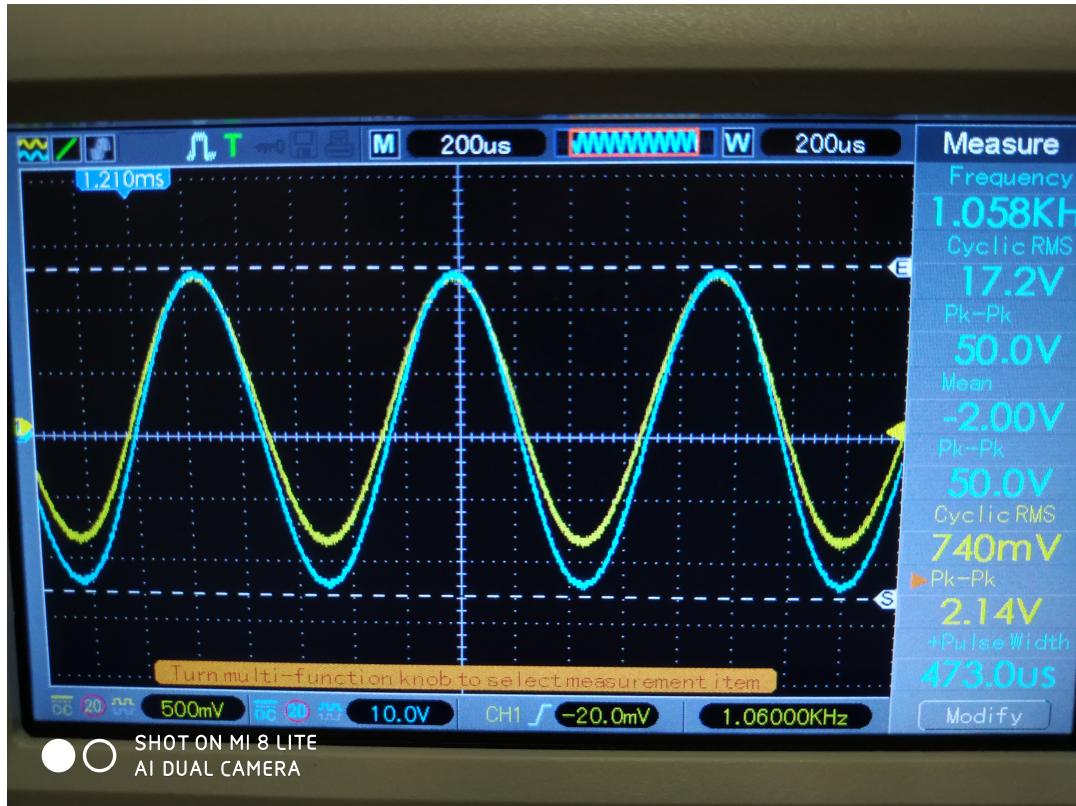


Figura 55: Medición de máxima excusión de salida antes del recorte.

Vcc[V]	-Vcc[V]	A[V]	B[V]	C[V]	D[V]	E[V]	F[mV]	G[mV]	H[V]	I[mV]
30.11	30	12.36	1.369	-29.07	1.31	-1.275	27.3	11.8	29.43	10.6
31.24	30.99	12.39	1.364	-29.68	1.308	-1.271	25.5	7.6	28.12	10.5
32.71	32.56	12.4	1.362	-31.24	1.310	-1.275	27.2	10.6	32.06	10.6
24.98	25	12.06	1.358	-23.69	1.309	-1.270	24.6	6.3	24.37	9.9
26.99	27.02	12.18	1.363	-25.7	1.309	1.27	26.1	9.6	26.37	10.3
28.39	28.18	12.25	1.363	-26.86	1.311	-1.27	27.1	10.2	27.75	9.2
29.21	29.13	12.29	1.363	-27.82	1.311	-1.275	26.2	10.4	28.58	9.3

29.2.3. Variación de la fuente

Al variar la fuente de alimentación entre -25 y 33 V, se miden los distintos puntos de polarización, tal que las corrientes de polarización no varíen más de un 10 por ciento.

En el esquema 56 se marcan los puntos correspondientes a las mediciones de polarización de la tabla ??.

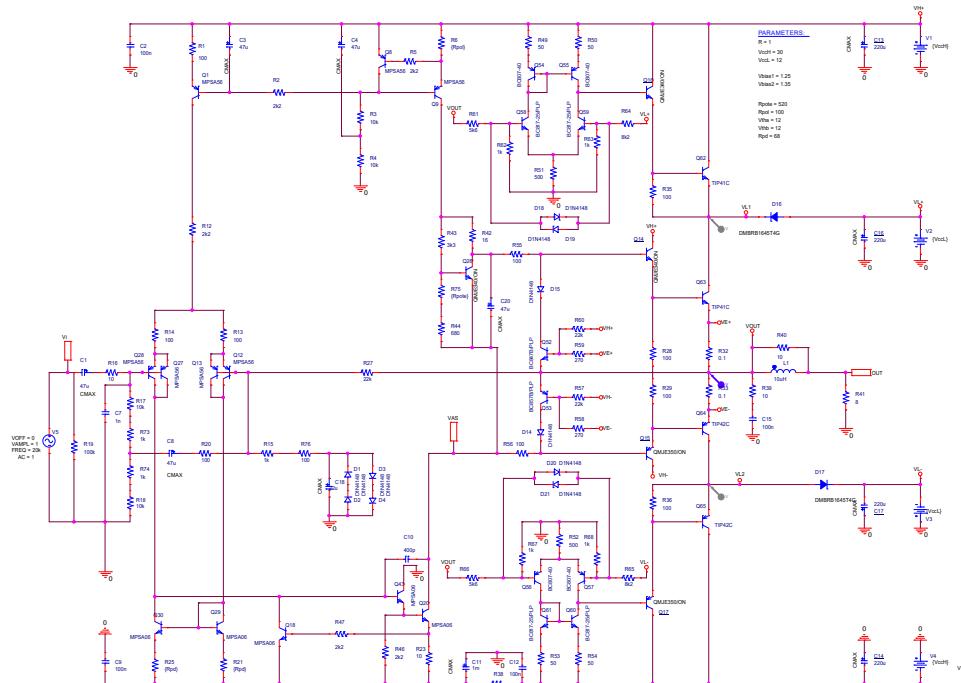


Figura 56: Puntos de medición.

hay que calcular las corrientes y sus variaciones

29.2.4. Distorsión total armónica

El banco de medición para la distorsión total armónica se muestra en la figura 57. Los valores se obtuvieron mediante el software *SpectraPlus*. Se utilizó la placa de audio de la PC para generar la señal, ya que un generador de laboratorio presenta un valor elevado de THD. Asimismo es necesario utilizar un atenuador resistivo debido a que la PC no admite como entrada un valor mayor a 1Vrms.

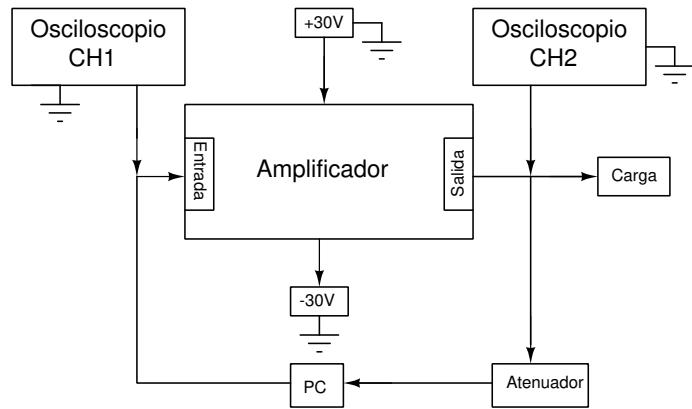


Figura 57: Banco de medición de THD.

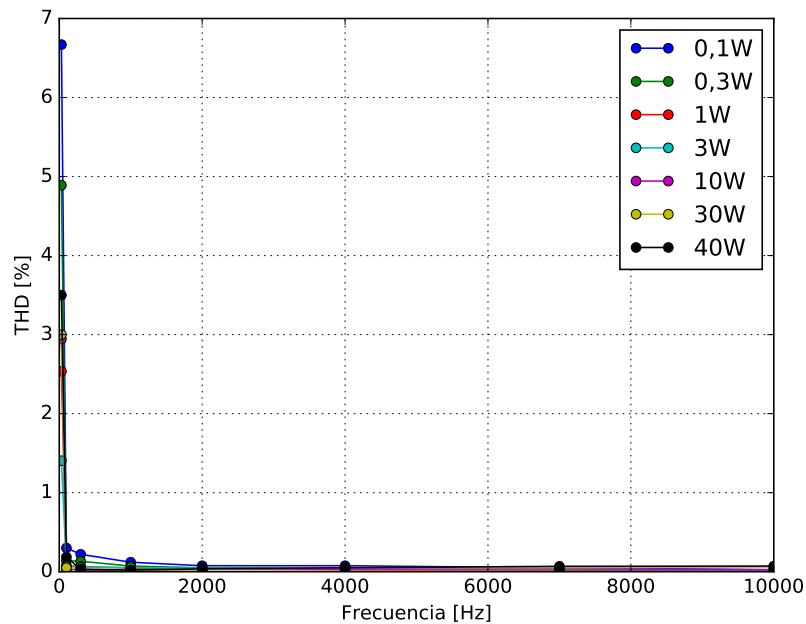


Figura 58: THD en función de la frecuencia.

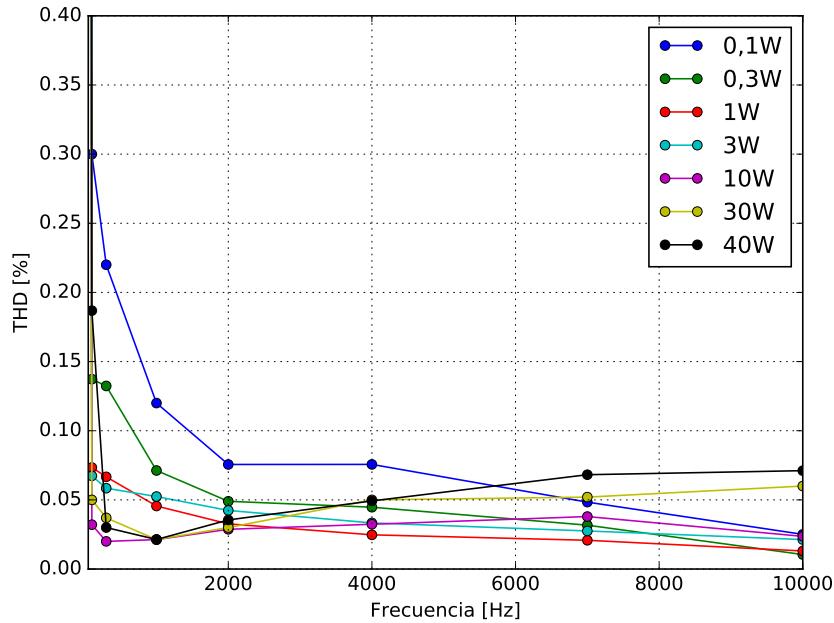


Figura 59: THD en función de la potencia.

29.2.5. Impedancia de salida

29.2.6. Distorsión por intermodulación

De manera análoga a la simulación, se calculó la IMD mediante el software *SpectraPlus* con el mismo banco de medición que la Figura 57. Las mediciones se realizaron a 5 kHz para las potencias 0,1 W, 1 W, 10 W

Potencia [W]	IMD [%]
0,1	0.0593
1	0.0254
10	0.0127
40	0.0253

29.2.7. Slew-Rate y Ancho de banda de Potencia

Se mide a máxima potencia a 1Khz y se calcula la pendiente a la salida que se genera por la respuesta al escalón.

Foto

$$SR = \frac{\Delta v}{\Delta t} = 7,4 \frac{V}{\mu s}$$

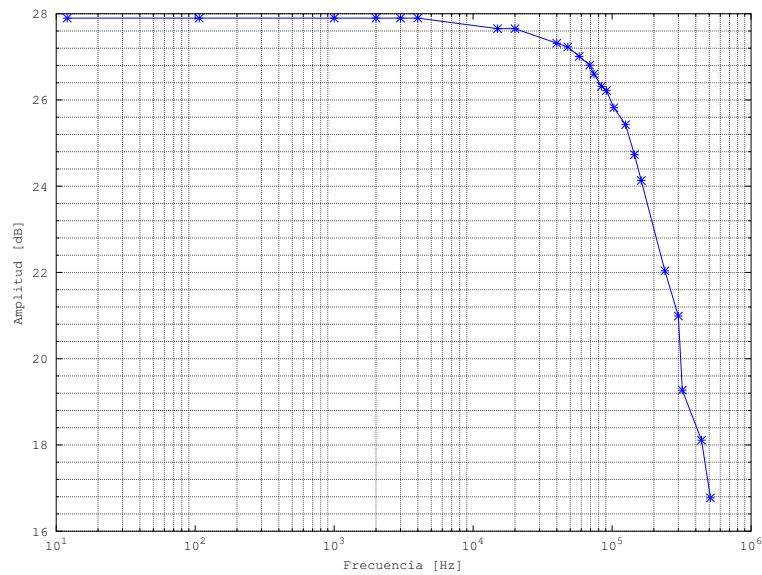
29.2.8. Eficiencia**29.3. Respuesta en frecuencia**

Figura 60: Respuesta en frecuencia a 1W.

29.3.1. Relación Señal a Ruido

Para realizar la medición de la SNR se utilizó el programa Spectra Plus en el cual se midió con ruido blanco para geerar el piso que presenta la placa de sonido y luego se generó una señal a $1KHz$ y $1W$ midiendo la salida con el banco de medición de la Figura 57 .

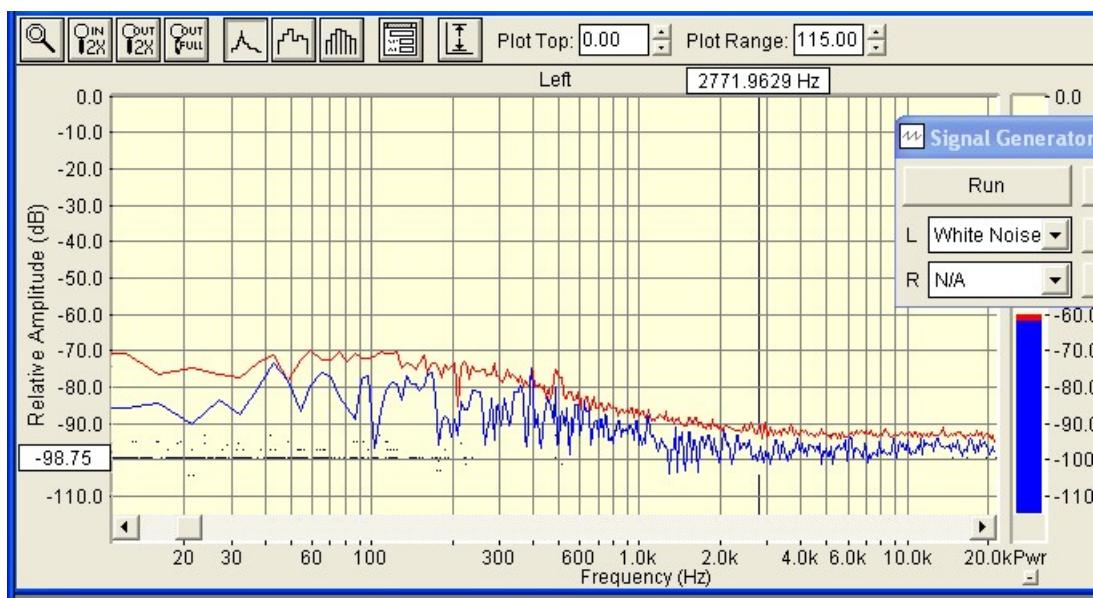


Figura 61: Piso de ruido.

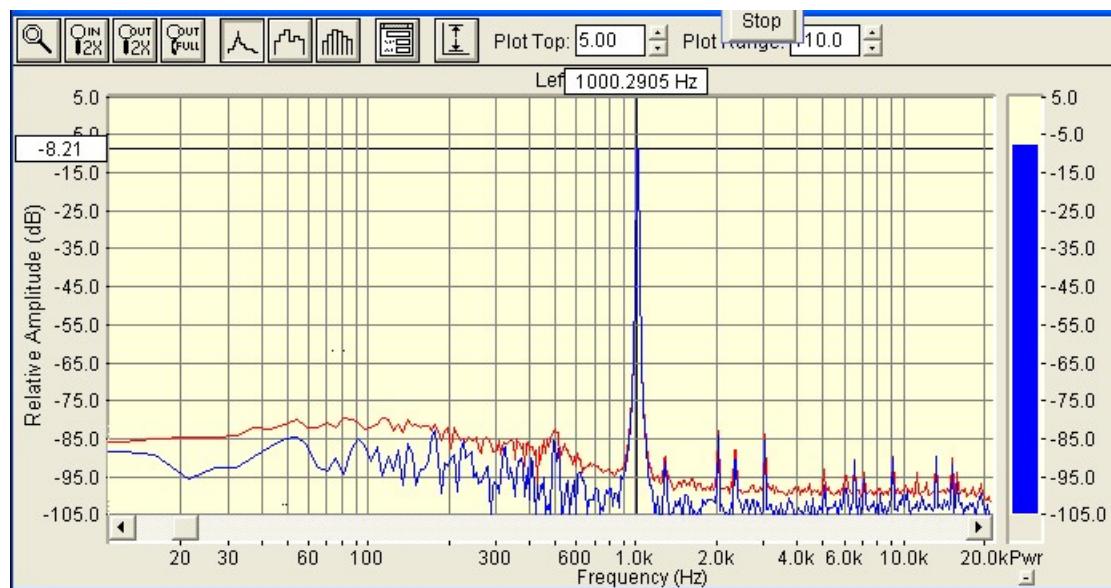


Figura 62: Salida a 1 W y 1 Khz.

Calculando:

$$SNR_{db} = 20 \log\left(\frac{V_{ruido}}{V_o}\right) = V_{ruido_{dB}} - V_{o_{dB}}$$

Por lo tanto:

$$SNR_{db} = 98,75 - 8,21 = 90,54 dB$$

Parte VII

Conclusiones

En el presente informe se logró diseñar un amplificador de audio clase G alternativa, obteniéndose resultados por simulación similares a las especificaciones definidas. La comparación se resume en la Tabla 5. La tensión máxima posible sin distorsión logró llegar a 26,1 V por simulación, esto produce una potencia sobre la carga de 42,25 W, por lo que se tiene cierta tolerancia con respecto a la potencia nominal especificada.

A su vez las mediciones realizadas los días 4/12/18 y 5/12/18 de las primeras 2 etapas coinciden con los valores obtenidos en el análisis preliminar.