



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

86.10- DISEÑO DE CIRCUITOS ELECTRÓNICOS

Diseño de Amplificador Current Feedback

Alumnos:

Belgrano, Mateo (96208)
Iglesias, Fernando (94842)
Pérez, Martín Andrés(94221)

Colaborador:

Alonso Harislur, Gustavo (96119)

13 de Julio de 2018

Índice

1. Introducción	3
2. Análisis teórico	4
2.1. Conceptos generales del amplificador Current Feedback	4
2.2. Diseño del circuito de polarización	7
2.3. Diseño del buffer de entrada	8
2.4. Fuentes de corriente espejo	8
2.5. Multiplicador de V_{BE}	9
2.6. Etapa de salida	10
2.6.1. Resistencia de Embalamiento Térmico	10
2.6.2. Potencia en los transistores	10
2.6.3. Cálculo de los disipadores	11
2.7. Servo DC	13
2.8. Protección contra Sobrecorriente	14
3. Simulaciones	17
3.1. Polarización	17
3.2. DC Servo	18
3.3. Potencia	19
3.4. Ancho de banda de potencia	19
3.5. SNR	20
3.6. Factor de amortiguamiento	20
3.7. THD	22
3.8. IMD (SMPTE)	22
4. Implementación	23
5. Mediciones	26
5.1. Polarización	26
5.2. Primera medición con señal y prueba a máxima potencia	27
5.3. Medición del Slew Rate y compensación	28
5.4. Ancho de banda	31
5.5. Sensibilidad	31
5.6. Impedancia de entrada	32
5.7. Factor de amortiguamiento	33
5.8. THD	34
5.9. IMD (SMPTE)	37
5.10. SNR	38
6. Dificultades encontradas	39
6.1. Elección de componentes pasivos	40
7. Mejoras del amplificador de audio	40
8. Anexo	42
8.1. Instrumental	42
8.2. Esquemático	45
8.3. Lista de Componentes	47
8.3.1. Lista de Proveedores	50
8.3.2. Mediciones realizadas durante el coloquio	50
8.3.3. Ancho de Banda de Potencia	50
8.3.4. Rechazo a Ruido de Fuente	51
9. Conclusiones	52

1. Introducción

En este informe se presentó el diseño de un amplificador **Current Feedback**. Los CFA's están englobados dentro de la categoría de los amplificadores operacionales. Sin embargo tienen claras diferencias estructurales (la topología de los CFA's es bastante diferente) y de comportamiento con los amplificadores operacionales clásicos". Para evitar ambigüedades entre ambos tipos y los términos que los designan, se llama al amplificador que se describe en este trabajo, como ya se ha dicho, CFA y a los amplificadores operacionales clásicos se les denomina VFA's (amplificadores con realimentación de tensión), ya que se comportan como amplificadores realimentados por tensión. Las similitudes entre los CFA's y los VFA's son muchas por lo que un conocimiento profundo de éstos últimos facilitó en gran medida el aprendizaje del nuevo tipo de amplificador operacional así como ayudó a ver las diferencias que hay entre ambos tipos de amplificadores (que son pocas pero muy importantes y claves para la total comprensión del dispositivo y sus ventajas) con el fin de poder decantarnos por los CFA's o por los VFA's dependiendo de la aplicación que se vaya a llevar a cabo.

El diseño presentado consistió de varias etapas las cuales serán analizadas en las distintas secciones del documento. La primera se refiere al análisis teórico respecto del funcionamiento de estos circuitos. La idea fue mostrar las principales ventajas y desventajas de su utilización y los principios básicos de funcionamiento, de forma tal de entender las diferencias con los amplificadores convencionales. Para esto es necesario tener bien claro los conceptos de realimentación, ya que es una parte fundamental del funcionamiento.

La segunda etapa está referida al diseño. Para el mismo fue importante la comprensión de cada etapa del circuito de forma tal de elegir los dispositivos correctos que aseguren fidelidad. Esto es, comprender principalmente la etapa de entrada consistente de un buffer (se analiza en la próxima tensión), como así también la salida de potencia. Una vez asimilados, se pudo realizar un buen diseño.

En la misma sección se presentan las simulaciones del circuito elegido, con una explicación de cada etapa y el análisis de la obtención de los resultados basados en las especificaciones otorgadas por los docentes de la materia. De la misma forma se presenta la última etapa, la de integración. En esta se realizó el diseño de la placa según todos los dispositivos elegidos buscando asegurar la máxima eficiencia y confiabilidad posible. En la sección de mediciones se presentan los resultados obtenidos a partir del trabajo en el laboratorio, en el cual, como en la simulación, se buscó cumplir con los requisitos solicitados.

El prototipo debe cumplir con las siguientes especificaciones:

- Potencia 40 WRMS @ 8Ω
- Ancho de banda de potencia > 500 kHz
- SNR > 80 dB
- Factor de amortiguamiento > 100
- THD: 1kHz & 1W: 0.02 % / 1kHz & 40W: 0.1 %
- IMD (SMPTE) < -70dB
- Nota1: La utilización de un servo de DC es obligatorio.
- Nota2: Se requiere un 50 % del circuito con montaje SMD.
- Nota3: La etapa de salida debe ser Pseudo-Darlington.

2. Análisis teórico

2.1. Conceptos generales del amplificador Current Feedback

A la hora de buscar diseños de alta velocidad y ancho de banda, el Current Feedback es una buena elección. El mismo presenta grandes ventajas respecto a los amplificadores convencionales realimentados por tensión, en términos de velocidad de crecimiento de la tensión de salida (Slew Rate) lo que lleva consecuentemente a un muy buen ancho de banda de potencia.

Este circuito consiste de una entrada por la que entra corriente, circulando desde la no inversora hacia la inversora, y una salida de tensión, es decir que es un amplificador de transimpedancia, y realimentado por corriente.

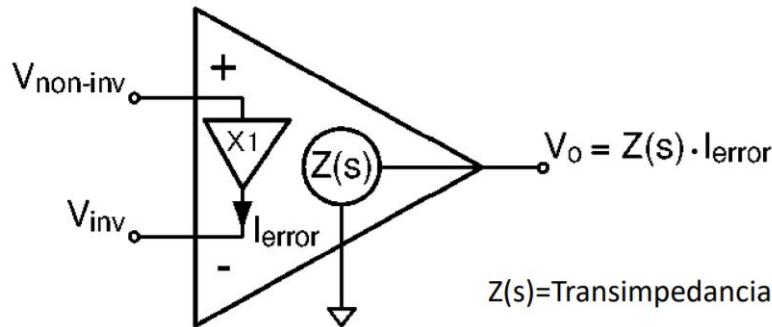
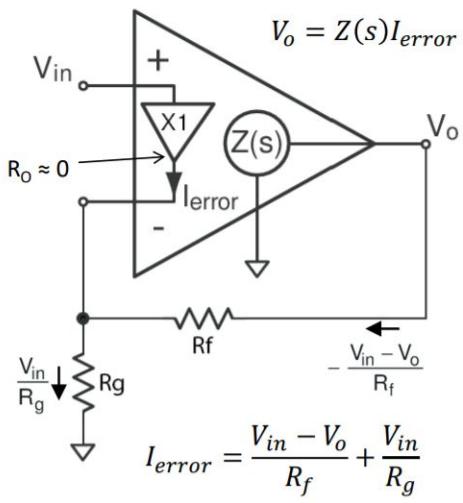


Figura 2.1: Diagrama en bloques del amplificador activo

En la figura 2.1 se puede apreciar el diagrama en bloques del amplificador. El mismo muestra lo recién explicado. Un buffer de ganancia unitaria está conectado los terminales de entrada, funcionando como un separador de impedancias, es decir que la entrada no inversora tiene una resistencia de entrada infinita y la inversora una resistencia cercana a cero.

El bloque realimentador está conformado por una resistencia R_F y una R_G que muestran tensión de la salida e inyectan corriente en la entrada (a pesar de parecer un bloque sumador de tensión). En la siguiente figura se puede apreciar el análisis del modelo como amplificador de tensión.



$$\frac{V_o}{Z(s)} = \frac{V_{in} - V_o}{R_f} + \frac{V_{in}}{R_g}$$

$$\frac{V_o}{V_{in}} = \frac{\frac{1}{R_f} + \frac{1}{R_g}}{\frac{1}{R_f} + \frac{1}{Z(s)}} \rightarrow \frac{V_o}{V_{in}} = \frac{\frac{R_g + R_f}{R_g}}{1 + \frac{R_f}{Z(s)}}$$

$$G = \frac{R_g + R_f}{R_g} \Rightarrow \frac{V_o}{V_{in}} = \frac{G}{1 + \frac{R_f}{Z(s)}}$$

$$Z(s) \gg R_f \Rightarrow \frac{V_o}{V_{in}} \cong G$$

Figura 2.2: Aplicación como amplificador de tensión

Se ve como el resistor R_F funciona como muestreador de tensión y sumador de corriente y R_G como seteo de la ganancia. Como el buffer tiene ganancia unitaria, la tensión de entrada V_{in} se copia en el nodo de R_G . Luego se define la I_{error} como la de salida del buffer. Se puede ver en el cálculo que para obtener una ganancia de tensión dependiente de los valores de estos resistores, se debe usar un $Z(s) \gg R_F$.

Se puede ver entonces que el valor de estas resistencias es crucial para definir la ganancia del circuito como así también el ancho de banda. Como se observa en los cálculos, R_G define el valor de ganancia, por lo que se debe elegir un valor de forma tal de mejorarla lo más posible. Esta resistencia sirve además para convertir la señal que viene de la entrada, en corriente, de forma tal que a ese nodo llegan la que se inyecta por R_F y la que viene de la entrada.

Tal como se mencionó, una gran ventaja de este amplificador es la obtención de un ancho de banda independiente de la ganancia. Quien lo determina en este caso es la resistencia de realimentación R_F . Es evidente entonces que la elección de la misma es importante, aunque tiene un rango muy corto, pues un valor muy alto reduce el ancho de banda, y uno muy bajo afectaría la estabilidad.

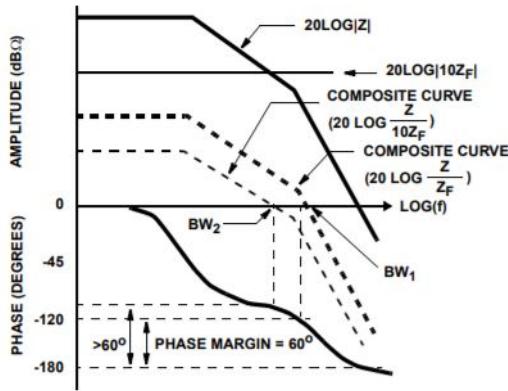


Figura 2.3: Respuesta en frecuencia afectada por R_F

Una de las grandes diferencias entre los CFA y los VFA se refiere a la velocidad de funcionamiento. En los amplificadores operacionales la velocidad viene limitada por la frecuencia de corte de los transistores y por las capacidades que aparecen en los nodos. Los efectos de las inductancias son mucho menores que los de las capacidades (que en algunos casos se ven ampliamente agravados debido al efecto Miller), motivo por el cual los

transistores pueden conmutar corrientes mucho más rápidamente que tensiones y por tanto el funcionamiento del circuito es mucho más rápido cuando se trabaja con corrientes. Ésta es la idea de la que parten los CFA's. Mientras que los VFA's trabajan con tensiones, los CFA's lo hacen con corrientes, con lo que podrán trabajar a velocidades mucho mayores que los VFA's, lo que se traduce en mayor slew-rate y mayor ancho de banda. El Slew Rate aparece cuando compensamos el circuito. Al poner capacitores de compensación, los mismos se cargan con una corriente, lo que puede traer una velocidad de crecimiento lenta a la salida . Sin embargo, para este caso, esta corriente es ilimitada pues es proporcional a la I_{error} , con lo cual el slew rate es idealmente infinito. En general, se logran valores entre 50 y 100V/us. Esta ausencia de limitación hace que puedan transmitir señales a grandes frecuencias sin introducir casi distorsión en ésta, lo que los hace muy atractivos en aplicaciones como amplificadores de audio de alta fidelidad o en cualquier otra en la que se requiera trabajar con señales de alta frecuencia introduciendo la mínima distorsión posible.

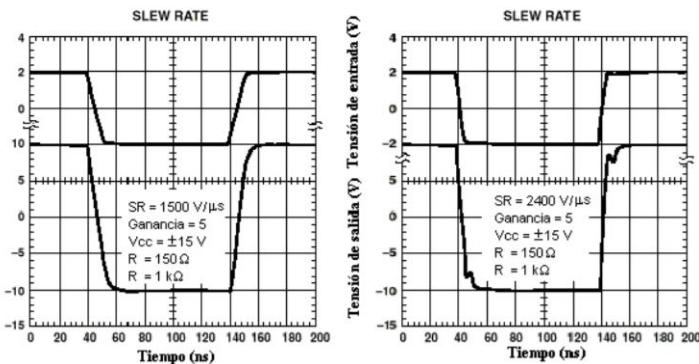


Figura 2.4: Slew Rate en un CFA

A pesar de estas ventajas, los Current Feedback no sirven de reemplazo de los realimentados por tensión, pues también presentan desventajas. Por ejemplo, respecto del corrimiento en la tensión de salida (offset). Este parámetro es un efecto indeseado que surge por el desbalanceo de tensiones y corrientes en los AO reales. Idealmente a los terminales entra la misma corriente, pero en el caso real, estos pueden diferir dependiendo de la tecnología interna del amplificador. Esta diferencia se ve amplificada en la salida, lo que conduce a este parámetro no deseado. Lo mismo sucede para una tensión de offset en la entrada, la cual aparece incluso cortocircuitando los terminales entre si. En el caso analizado el corrimiento a la salida es mucho mayor que en los amplificadores convencionales, y representa su mayor desventaja, por lo que se deben buscar alternativas prácticas que corrijan este comportamiento. La más utilizada, y la que se aplica en este proyecto, es el uso del "DC Servo". El funcionamiento del mismo está explicado en una sección posterior.

También se debe decir que los CFA's tienen mayor tendencia a oscilar (ser inestables) que los VFA's, característica que los hace un poco más difícil de emplear y que requiere gran atención por parte del diseñador. Cualquier capacidad parásita o cualquier condensador colocado en un sitio inadecuado puede llevar al circuito a comportarse de forma inestable si no se toman las medidas oportunas.

2.2. Diseño del circuito de polarización

Para polarizar la primera etapa se diseñó una fuente de corriente simétrica del tipo Wilson. El circuito usado fue el siguiente:

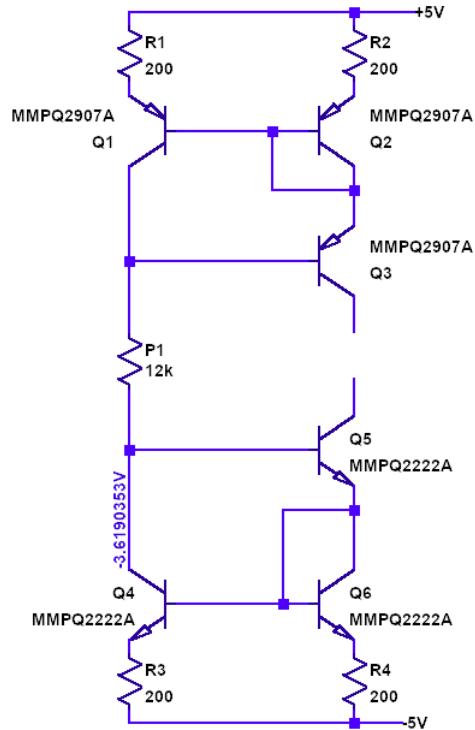


Figura 2.5: Fuente de corriente tipo Wilson

La corriente de colector de Q_3 está dada por la siguiente ecuación:

$$I_{c3} = I_{P1} \frac{\beta_p^2 + 2\beta_p}{\beta_p^2 + 2\beta_p + 2}$$

Donde β_p es la ganancia de corriente de los transistores PNP, que se suponen todas iguales.

Una de las ventajas por las que se eligió una fuente tipo Wilson es que tiene una resistencia de salida $\beta/2$ veces más grande que una fuente de corriente simple. Asumiendo que todas las I_c 's son iguales, se tiene que la resistencia de salida de la fuente de corriente tipo Wilson es:

$$R_{out\text{WILSON}} = \frac{\beta \cdot r_o}{2}$$

También se decidió agregar resistores en los emisores para evitar la degeneración por la variación de los V_{BE} .

Por último, para reducir los efectos del ruido y mejorar el apareamiento, se utilizaron los chips MMPIQ2222A y MMPIQ2907A que tienen cuatro transistores NPN y PNP cada uno. Además se ajusta al criterio de utilizar la menor tensión de alimentación para esta etapa, que se estableció que sea de 5V.

2.3. Diseño del buffer de entrada

Se propuso la siguiente topología para el buffer de entrada del CFA:

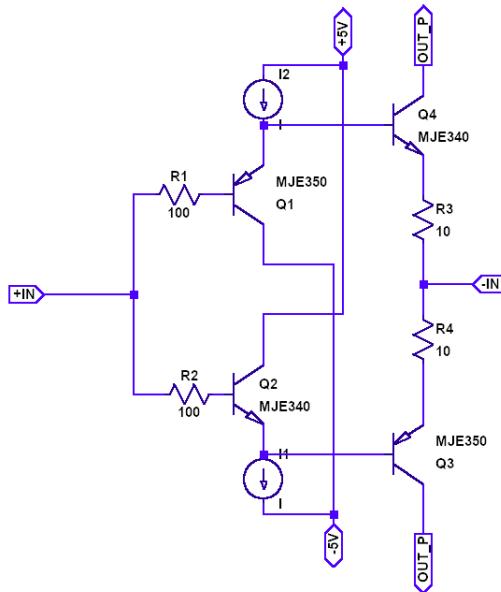


Figura 2.6: Buffer de entrada. Se indican las entradas positiva y negativa

Como se observa, los transistores Q_3 y Q_4 son buffereados por los seguidos por emisor formados por Q_1 y Q_2 con la idea de asegurar una baja tensión de offset. Además, la misión principal de este circuito es aumentar la resistencia que se ve hacia el nodo $+IN$ y lograr que la resistencia que se ve hacia la entrada negativa $-IN$ sea lo menor posible.

Las resistencias R_1 y R_2 en serie con las bases de los drivers del buffer de entrada están como protección de la fuente de señal. Las resistencias R_3 y R_4 están para estabilizar el β de los Q_3 y Q_4 .

2.4. Fuentes de corriente espejo

Se utilizó una fuente de corriente espejo Wilson para polarizar la etapa de salida.

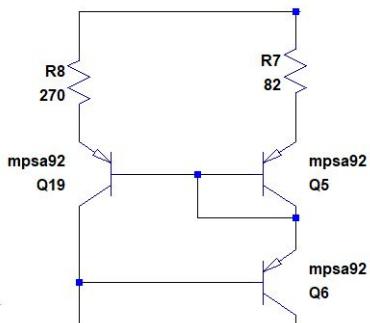


Figura 2.7: Fuente de corriente Wilson

La elección de las resistencias vistas en la imagen se eligieron de forma tal de obtener un factor de copia tal que se logre polarizar el multiplicador de V_{be} con una corriente mayor a 2 mA, asegurando la máxima ganancia posible y la menor THD.

2.5. Multiplicador de V_{BE}

Se agregó un multiplicador de V_{BE} simétrico a fin controlar la polarización de la etapa de salida, tener un control sobre el cruce por cero(ya que la salida es clase B). El fin de que sea simétrico es para reducir todas las asimetrías que aumentan la THD.

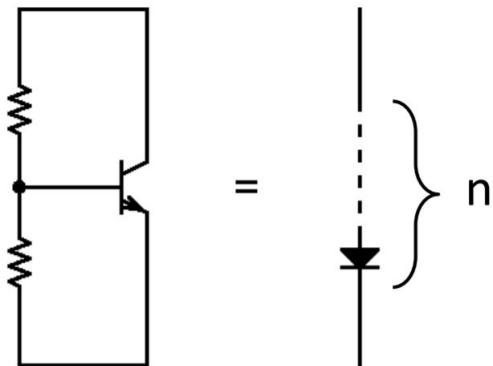


Figura 2.8: Multiplicador de V_{be}

El funcionamiento del mismo es equivalente a poner diodos en serie. Se utilizó en la entrada de la etapa de potencia clase B, dado que la misma, cuando se transmite una señal, tiene una zona plana entre -0,7 y 0,7 V aproximadamente dado por el V_{be} de los transistores. Para evitar este efecto, se compensa esa tensión con los diodos, o en este caso, el multiplicador. Luego, dado que se optó por un diseño simétrico, se pensó de la misma forma la implementación de esta parte del circuito, a fin de asegurar un correcto funcionamiento en la salida y reducir la THD lo más posible. A continuación se presenta el modelo utilizado.

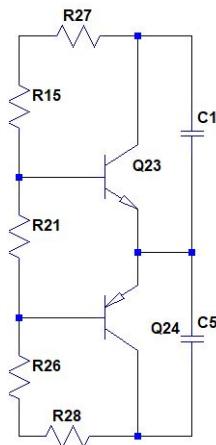


Figura 2.9: Diseño del multiplicador de V_{be}

Se optó por utilizar un preset de $5k\Omega$ para tener mayor control sobre la tensión entre los colectores de los transistores. Esta es la resistencia vista en el medio. Los capacitores utilizados sirven para reducir un efecto inductivo que se genera al implementar este tipo de soluciones. Las resistencias R26 y R27 sirven para reducir la pendiente de la curva de corriente de salida del transistor.

2.6. Etapa de salida

La etapa de salida se diseñó en base a las especificaciones y se eligieron dos configuraciones quasi-darlington tipo Sziklai formados por el MJE15030 y el MJL1302A para la señal positiva, y sus pares complementarios, el MJE15031 y el MJL3281A, para la etapa negativa.

A continuación se presentan los cálculos para la resistencia tal de evitar el embalamiento térmico y la dimensión de los disipadores necesarios.

2.6.1. Resistencia de Embalamiento Térmico

Se realizó el cálculo de la resistencia mínima de modo que se compense el embalamiento térmico. La resistencia se encuentra en el emisor de la segunda etapa de la configuración *Sziklai* introduciendo una realimentación local y en efecto, realizar la compensación mencionada.

$$I_E = I_{C1} + I_{B1} + I_{C2} \quad (2.1)$$

$$Si \beta_1 >> 1 \rightarrow I_{B1} << I_{C1} \rightarrow I_E = I_{C1} + I_{C2} \quad (2.2)$$

Suponiendo que los transistores se encuentran en *modo activo directo*, $I_{C2} = \beta_2 \cdot I_{C1}$. Por lo tanto, $I_E = I_{C1} \cdot (\beta_2 + 1)$.

A partir de relaciones entre corrientes y tensiones de la configuración propuesta, se obtienen las expresiones de la corriente de colector y la potencia generada por la primera etapa.

$$I_{C1} = \frac{V_{BB} - V_{BE1}}{R_E \cdot (\beta_2 + 1)} \rightarrow P_G = V_{CE} \cdot \frac{V_{BB} - V_{BE1}}{R_E \cdot (\beta_2 + 1)} \quad (2.3)$$

A partir de la ley de *Ohm* térmica, la potencia disipable por el transistor es $P_D = \frac{T_j - T_a}{\theta_{ja}}$.

Con el fin de evitar el embalamiento térmico, la generación de calor tiene que ser menor a la capacidad de disiparlo, por lo que debe cumplirse la siguiente desigualdad.

$$\frac{\delta P_D}{\delta T_j} \geq \frac{\delta P_G}{\delta T_j} \quad (2.4)$$

Donde la variación de la potencia generada es, $\frac{\delta P_G}{\delta T_j} = \frac{V_{CE} \cdot K}{R_E \cdot (\beta_2 + 1)}$ siendo $K = \frac{\delta V_{BE1}}{\delta T_j} = 2 \frac{mV}{^{\circ}C}$.

Finalmente se llega a la expresión que debe satisfacerse para realizar una potencial compensación de embalamiento térmico.

$$R_E \geq \frac{\beta_{jaQ1} \cdot V_{CC} \cdot K}{\beta_{2MIN} + 1} \quad (2.5)$$

Reemplazando con los valores utilizados:

$$R_E \geq \frac{10,4 \circ C/W30V2mV/\circ C}{100 + 1} \Rightarrow R_E \geq 102m\Omega \quad (2.6)$$

2.6.2. Potencia en los transistores

Respecto de la potencia que disipan los transistores de salida, esta llega a un valor máximo que no se corresponde a la máxima disipación en la carga. Se puede ver más claramente en la siguiente curva.

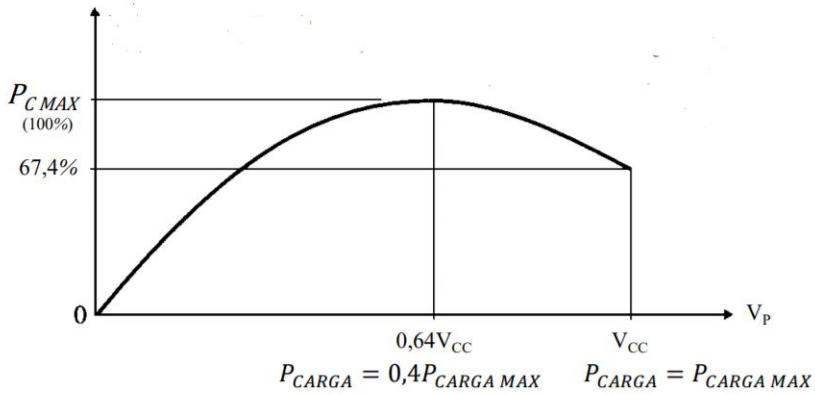


Figura 2.10: Curva de potencia sobre los transistores de salida

Para el cálculo, se ve que para este circuito, la potencia del transistor se puede definir como:

$$P_C = P_{FUENTE,VCC} + - P_{R.EMBALAMIENTO} - P_{CARGA} = \frac{I_{pico}V_{cc}}{\pi} - \frac{I_{pico}^2 R_{embalamiento}}{4} - \frac{I_{pico}^2 R_L}{4}$$

Partiendo de esa misma expresión, se puede obtener la potencia máxima que pueden disipar los transistores. Esto se logra derivando la expresión de arriba e igualándola a cero para obtener la corriente pico para la cual se disipa la máxima potencia. Luego reemplazando dicho valor en la expresión se obtiene el resultado deseado.

$$\frac{dP_C}{dI_{pico}} = \frac{V_{cc}}{\pi} - \frac{I_{pico}}{2}(R_{embalamiento} + R_L) = 0 \Rightarrow I_{pico MAX} = 2,34A$$

Luego, reemplazando este valor en la expresión se obtiene:

$$P_{C MAX} = 11,2W$$

2.6.3. Cálculo de los disipadores

Ante el uso de amplificadores de media y alta potencia, como se vio en la subsección anterior, los transistores pueden llegar a disipar valores altos, lo que se traduce en temperaturas altas que pueden afectar el funcionamiento del circuito, o incluso quemar los dispositivos. Para evitar esto, es necesario el uso de disipadores térmicos acoplados a los transistores de salida. Se formó entonces un circuito térmico que consta de la juntura del dispositivo, la carcasa y el disipador acoplado al mismo. Tiene la ventaja de que puede modelarse como un circuito eléctrico y hacer una analogía de la Ley de Ohm. De esta forma, se define la Ley de Ohm Térmica como $\theta = \frac{T}{P}$, siendo θ la resistencia térmica, T la temperatura, y P la potencia. Luego, para el caso analizado, se puede modelar el siguiente circuito:

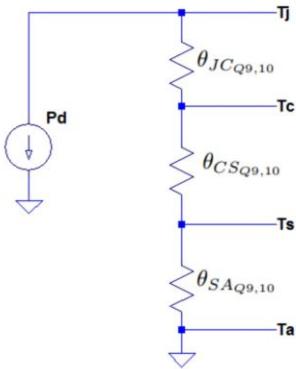


Figura 2.11: Circuito térmico

Para el cálculo del disipador específicamente, es necesario conocer la resistencia térmica que el mismo debe tener de forma tal que la temperatura de juntura T_j no supere el valor máximo y no se queme el transistor. Por la hoja de datos de los MJL (familia de transistores usada en la etapa de salida), se obtiene la temperatura máxima, la cual es $150^\circ C$. Luego, la resistencia de carcasa-disipador, al usar mica se asume como constante y su valor es de $\theta_{cs} = 2^\circ C/W$. La de juntura carcasa es dada por las hojas de datos y su valor es de $\theta_{jc} = 0,625^\circ C/W$. Sabiendo estos datos, se puede hacer el cálculo de la resistencia térmica del disipador:

$$\theta_{sa} = \frac{T_j - T_a}{P_{CMAX}} - \theta_{cs} - \theta_{jc} \quad (2.7)$$

Ahora, para no llevar al máximo la temperatura de juntura, y no exigir al transistor, se tomó como cota máxima $T_j < 120^\circ C$. Por otro lado, la potencia máxima especificada en la ecuación de arriba debe ser la que puede soportar el transistor, calculada en la subsección anterior. Por último, la temperatura ambiente se consideró de $40^\circ C$ pues en el entorno del transistor se levanta más temperatura. Teniendo en cuenta esto, se procedió al cálculo:

$$\theta_{sa} < \frac{120^\circ C - 40^\circ C}{11,2W} - 2^\circ C/W - 0,625^\circ C/W \Rightarrow \theta_{sa} < 4,51^\circ C/W$$

Conocido este valor, se buscó en el mercado un disipador que se adapte a esta especificación. A continuación se presenta el modelo que se consideró más adaptable al diseño.

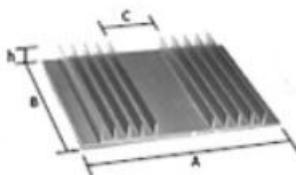


Figura 2.12: Modelo del Disipador

Código	Resistencia térmica RqSA ($^\circ C/W$)	DIMENSIONES (mm)
HE330	2	$A = 121; B = 76; C = 33; h = 12$

Tabla 2.1: Especificaciones del disipador

2.7. Servo DC

Una de las funcionalidades agregadas al amplificador es un servo de continua. Su objetivo es corregir el offset a la salida del amplificador.

Corregir éste offset tiene efectos muy beneficiosos, facilitando el trabajo de los altavoces. Normalmente, mientras el offset de DC a la salida sea menos de 0,1V no ocurrirá ningún problema (no se quemará). Pero resulta que esta circulación de corriente produce un desplazamiento y deja de estar en su posición óptima de reposo. Esto hace que crezca la distorsión armónica de orden par.

Es una etapa integradora (la cual siempre tiene a cero) que se colocó en la salida para sensar la tensión (DC) y la entrada del amplificador (figura 2.14).

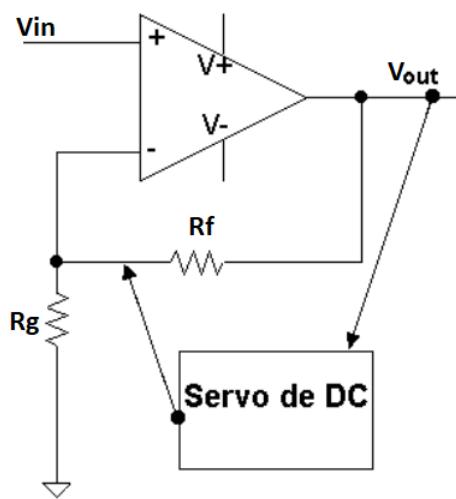


Figura 2.13: Ubicación del Servo DC

En base a bibliografía, se optó por el siguiente diseño:

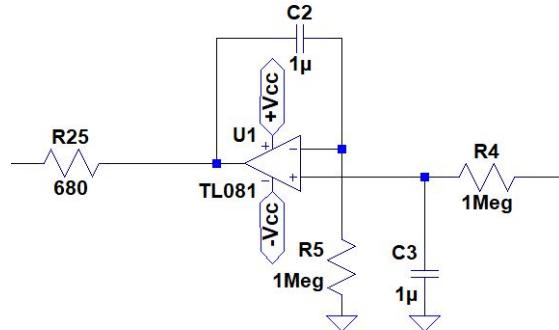


Figura 2.14: Diseño del Servo

Se puede observar que consta de un circuito integrador de la señal de salida. Se ve que se utilizó una red RC, la cual se puede pensar como dos distintas. El τ de estas dos debe ser el mismo y deben generar una frecuencia de corte menor a 20 Hz, de forma que solo integre a la continua. Se ve que para los valores elegidos,

$$\tau = RC = 1 \Rightarrow f = \frac{1}{2\pi\tau} = 0,16\text{Hz} \quad (2.8)$$

Por otro lado, la resistencia de la salida del operacional debe ser comparable con la R_G de la red de realimentación. Como el circuito solo funciona en continua, se debe asegurar que inyecte una corriente al nodo IN – que no sea muy grande, por lo que no se debe poner una resistencia muy pequeña. Al inyectar esta corriente, se corrige el efecto de offset a la salida del circuito. Es por esto que se eligió un valor de resistencia de 680Ω .

2.8. Protección contra Sobrecorriente

Se propone un sistema de protección activo con una fuerte realimentación local operando negativamente. La elección de la configuración propuesta se basa en aprovechar la zona de operación segura (SOA) de los transistores de salida.

El funcionamiento del circuito busca restar la corriente que circula por Q23 tal que se ajuste la corriente del colector. El resistor R43, realimentación local del transistor, sensar la corriente de salida, de modo tal que de superarse cierto valor umbral preestablecido se ponga en conducción la juntura base-emisor del transistor de limitación, Q33, desviando la corriente que originalmente sería inyectada a la base del transistor de la etapa de salida, Q29, y enviada directo a la carga.

A continuación, se detalla los valores utilizados de los resistores. Dado que se trata de un circuito simétrico, se procede a analizar el hemicircuito superior.

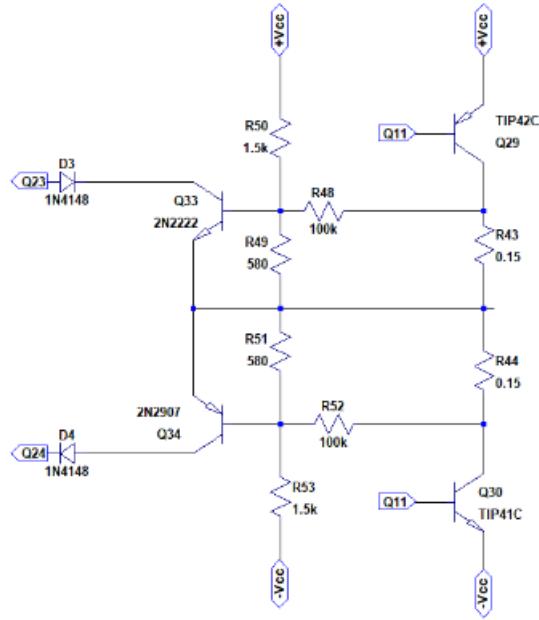


Figura 2.15: Diseño de la protección frente a sobrecorriente.

El transistor de protección se activa cuando $V_{BE} \geq V_{BE_{ON}}$. En base a la hoja de datos de los transistores seleccionados, la tensión de activación es de 1.3 V.

$$V_{BE_{33}} = (I_O - I_{R_{48}}) R_{43} - V_{R_{48}} \Big|_{I_O \gg I_{R_{48}}} \approx I_O R_{43} - V_{R_{48}} \quad (2.9)$$

$$V_{R_{48}} \approx I_O R_{43} \frac{R_{48}}{R_{48} + R_{49}} \quad (2.10)$$

A partir de las expresiones anteriores se obtiene,

$$V_{BE_{33}} \approx I_O R_{43} - I_O R_{43} \frac{R_{48}}{R_{48} + R_{49}} \quad (2.11)$$

$$V_{BE_{33}} \approx I_O R_{43} \left(1 - \frac{R_{48}}{R_{48} + R_{49}}\right) \quad (2.12)$$

En base al $V_{BE_{33ON}}$ se obtendrá la máxima corriente I_O posible antes de que se active el limitador de corriente y para una carga de 8Ω

$$I_{O_{MAX}} = \frac{V_{BE1}}{R_{43}} \left(1 + \frac{R_{48}}{R_{48} + R_{49}}\right) = \frac{1,7 \text{ V}}{R_{43}} \left(1 + \frac{R_{48}}{R_{48} + R_{49}}\right) \quad (2.13)$$

Para hallar el valor de R_{43} es necesario basarse en la $V_{BE_{1,7ON}}$ y en la $I_{O_{MAX}}$ de salida que circula sobre dicho resistor. Para ello, se parte de la máxima potencia que podrá disipar la carga R_L mientras los transistores de salida sigan encontrándose en modo activo directo, es decir, para una $V_{CE} \geq V_{CESAT}$ la cual suele tomarse del orden de $V_{BE_{ON}}$ para asegurar encontrarse dentro de la zona de trabajo activa, no obstante, a modo tal de realizar un análisis para *el peor caso* se toma un valor de $V_{CESAT} \approx 0,2 \text{ V}$ que nos provee la máxima potencia a disipar sobre el parlante de 8Ω .

$$P_{RL_{MAX}} = \frac{(V_{CC} - V_{CESAT})^2}{R_L} = \frac{(30 \text{ V} - 0,4 \text{ V})^2}{8 \Omega} = 109,52 \text{ W} \quad (2.14)$$

De este modo, la máxima corriente que circula sobre los transistores de salida es,

$$I_{O_{MAX}} = \frac{P_{RL_{MAX}}}{VCC} = 3,65 \text{ A} \quad (2.15)$$

Dado que se desea que la resistencia utilizada para sensar corriente en la rama de salida posea una caída de potencial notablemente baja posible, para no quitarle excusión a la carga, se propone utilizar una resistencia del orden cero.

$$R_{43} = \frac{V_{BE_{ON}}}{I_{O_{MAX}}} = \frac{1,3 \text{ V}}{3,70 \text{ A}} \approx 0,21 \Omega \Rightarrow 0,15 \Omega \quad (2.16)$$

3. Simulaciones

3.1. Polarización

Se presenta a continuación la polarización del circuito, mostrando en detalle la tensión de cada nodo y las corrientes por las ramas más relevantes.

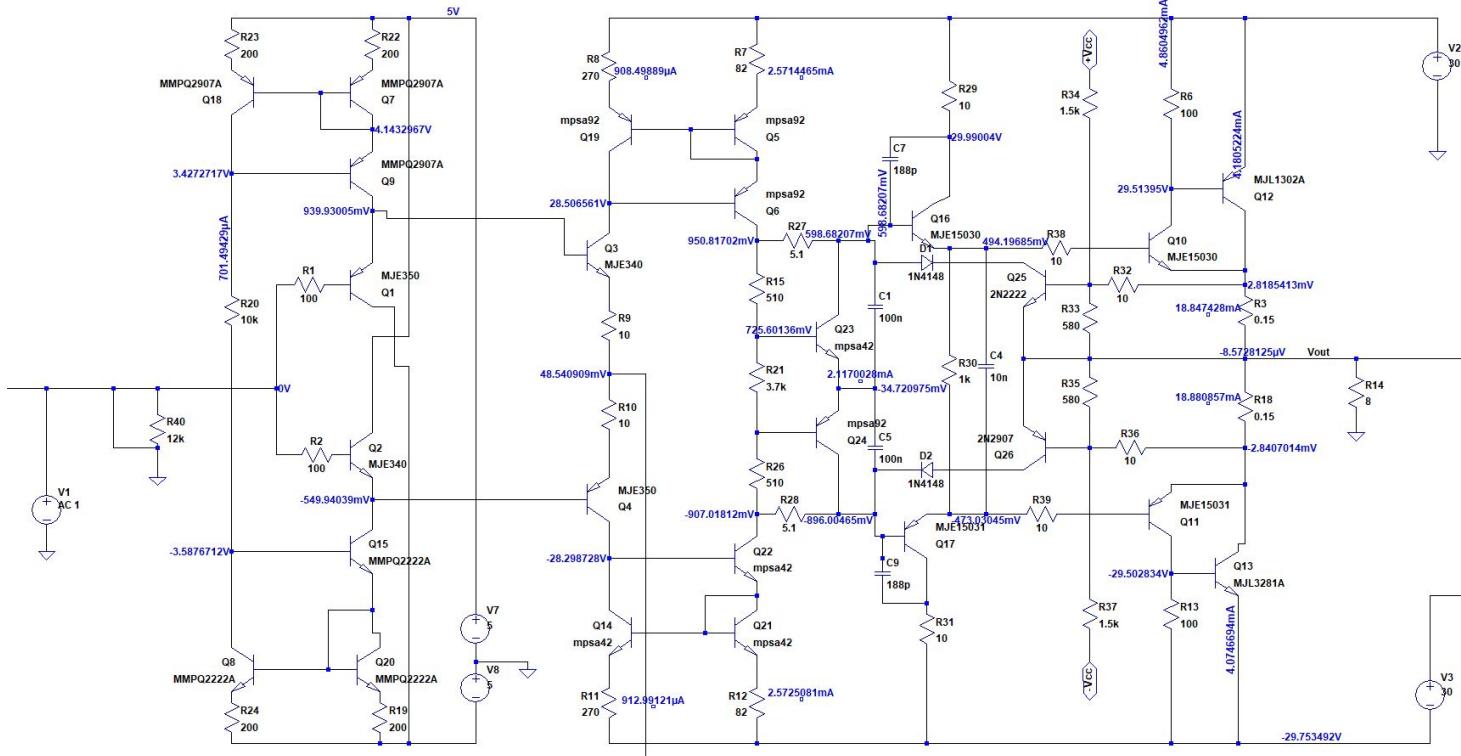


Figura 3.1: Simulación de la polarización

En la siguiente tabla se listan algunos detalles importantes de lo obtenido en la simulación, de forma tal de comprender el lo que se busca de cada parámetro de continua para obedecer lo explicado en el análisis teórico.

Tensión/ Corriente	Valor	Función en el circuito
I_{R20}	701,5 uA	Ajuste de preset de entrada para corrientes de la primera etapa
$V_{R9} - V_{R10}$	49,5 mV	Tensión de corrimiento respecto de la entrada no inversora
I_{R8}	908,5 uA	Corriente de referencia del espejo de corriente (rama +)
I_{R11}	913 uA	Corriente de referencia del espejo de corriente (rama -)
I_{R7}	2,6 mA	Entrega corriente al multiplicador de Vbe
I_{R12}	2,6 mA	Entrega corriente al multiplicador de Vbe
V_{cQ23}	598,7 mV	Determina la corriente de la etapa de salida y corrige el cruce por cero
V_{cQ24}	-896 mV	Determina la corriente de la etapa de salida y corrige el cruce por cero
$I_{cQ23-Q24}$	2,12 mA	Corriente por los transistores del multiplicador de Vbe
I_{eQ12}	4,18 mA	Corriente por transistor + de salida
I_{cQ13}	4,07 mA	Corriente por transistor - de salida
I_{R3}	18,85 mA	Corriente por la resistencia de embalamiento térmico +
I_{R18}	18,88 mA	Corriente por la resistencia de embalamiento térmico -
V_{out}	-8,57 uV	Corrimiento de la salida en continua (offset)

Tabla 3.1: Valores relevantes de la polarización

Además, se puede ver en la siguiente imagen la polarización en el lazo de realimentación, viendo la acción del

DC Servo, el cual inyecta corriente al nodo del terminal inversor del amplificador, de forma de corregir el offset en la salida.

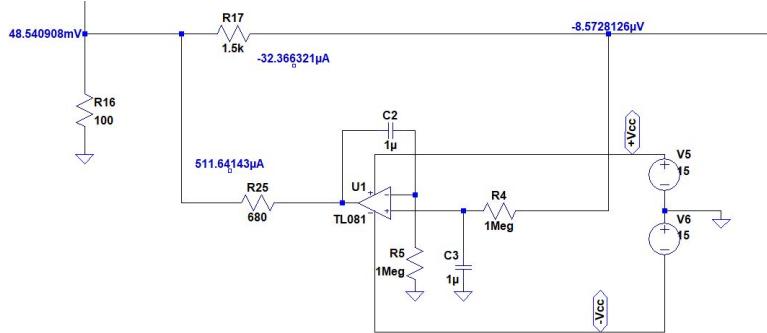


Figura 3.2: Polarización en el lazo de realimentación

3.2. DC Servo

En esta subsección se muestra la acción del DC Servo en el circuito. Como se explicó en el análisis teórico, la intención es que en continua, no haya corrimientos a la salida, lo que a nivel de señal, se vea como una señal sin offset. Para esto es necesario que tanto con la entrada cortocircuitada como al aire, la tensión en la carga sea 0 V.

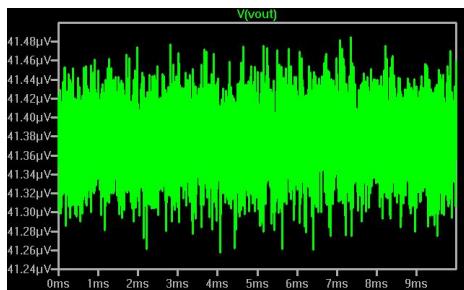


Figura 3.3: Acción del DC Servo con 1 V de continua

Para esta simulación se colocó 1 V de continua en la entrada de forma tal que a la salida se obtengan 0 V. Se ve que la misma tiene un valor medio de unos pocos μ V, lo que muestra que el servo funciona para tensiones de continua.

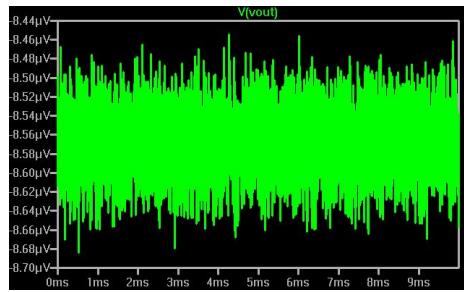


Figura 3.4: Acción del DC Servo con entrada cortocircuitada

Aquí se procedió de la misma forma y colocando un cortocircuito en la entrada. Se ve que la respuesta es similar.

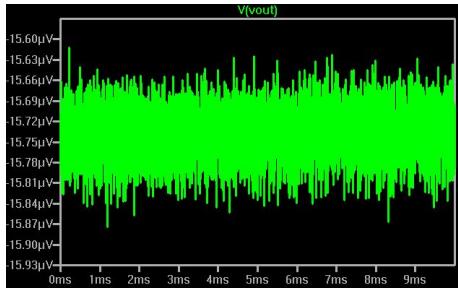


Figura 3.5: Acción del DC Servo con entrada en vacío

Por último, se dejó la entrada al aire y el resultado es el obtenido en la figura. Se verifica entonces que para todos los casos, el DC servo funciona de manera correcta.

3.3. Potencia

A continuación se presenta la simulación de la potencia en la carga de 8Ω , para la cual se aplicó una señal de entrada de 1 VRMS.

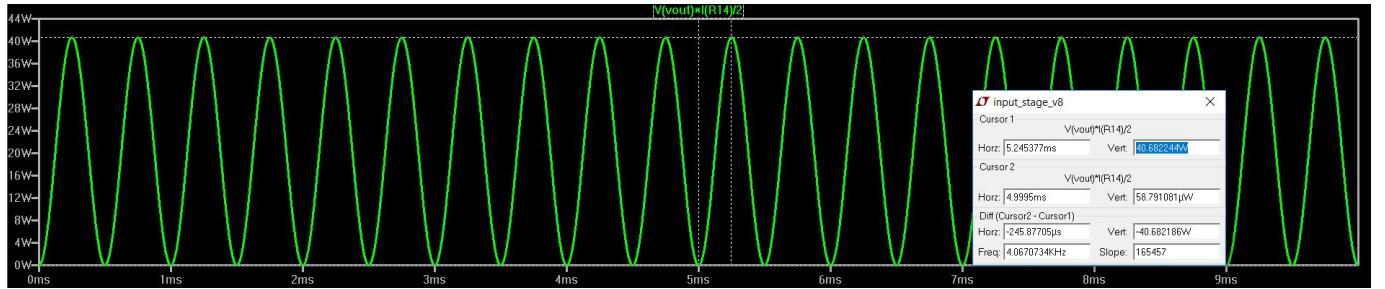


Figura 3.6: Potencia en a carga para $v_i = 1VRMS$

Se puede apreciar que se alcanzó un valor cercano a los 40,46W, lo cual supera apenas un poco los 40 especificados. Además, se obtuvo un valor de tensión pico de 25,52 V sobre la carga y una corriente de 3,18 A pico.

Como se vio en el análisis teórico, los transistores disipan cierta potencia que no necesariamente es la máxima cuando en la salida lo es. Siguiendo los cálculos presentados en dicha sección se calcula lo que disipan en este caso:

$$P_{Q12} = P_{FUENTE.VCC+} - P_{REMBALAMIENTO} - P_{CARGA} = \frac{I_{pico}V_{cc}}{\pi} - \frac{I_{pico}^2 R_{embalamiento}}{4} - \frac{I_{pico}^2 R_L}{4} = 9,76W$$

Este valor es menor que los 11,2 W de potencia máxima que pueden disipar, correspondiéndose con un 87,14 % de la misma, lo cual indica un buen funcionamiento, si bien no es el óptimo.

3.4. Ancho de banda de potencia

Este parámetro se obtiene a partir de la simulación de la respuesta al escalón del circuito. Esto permite ver la velocidad de crecimiento de la señal, siendo esta la pendiente del escalón visto a la salida. La misma representa el llamado "Slew Rate". Luego, obtenido este parámetro, se puede despejar la frecuencia de corte que determina el ancho de banda de potencia para la tensión pico de salida:

$$SR = \omega V_{pico}$$

Para simularlo, se utilizó una señal cuadrada de 1VRMS de amplitud y se midió la pendiente de la curva de crecimiento a la salida.

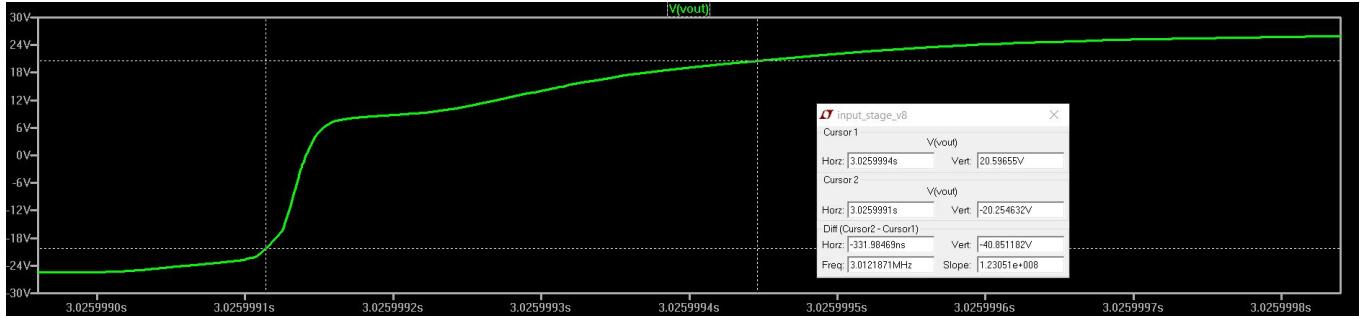


Figura 3.7: Respuesta al escalón

La tensión pico de salida es de 25,1 V. Ubicándonos sobre el 10 % y el 90 % del total de la amplitud, se mide la pendiente de la curva, la cual queda determinada por el "Slope". Se corresponde con el Slew Rate. En este caso, se ve que $SR = 123 \frac{V}{\mu s}$. Una vez obtenida la misma, se calcula el ancho de banda de potencia:

$$SR = \omega V_{pico} \Rightarrow f = \frac{SR}{2\pi V_{pico}} = 779,3 \text{ kHz}$$

3.5. SNR

La relación señal ruido se define como la relación que existe entre la potencia de la señal que se transmite y la del ruido que la corrompe. El margen es medido en decibeles. Sirve además para definir el factor de ruido (F), el cual es la relación entre la SNR de la entrada con la de la salida.

Para la simulación se utilizó el comando .NOISE del *LTS spice*, analizando de 0 a 20 kHz, la cual es la banda audible. Se puede apreciar en el mismo el ruido RMS obtenido a partir de la integración de la señal obtenido.

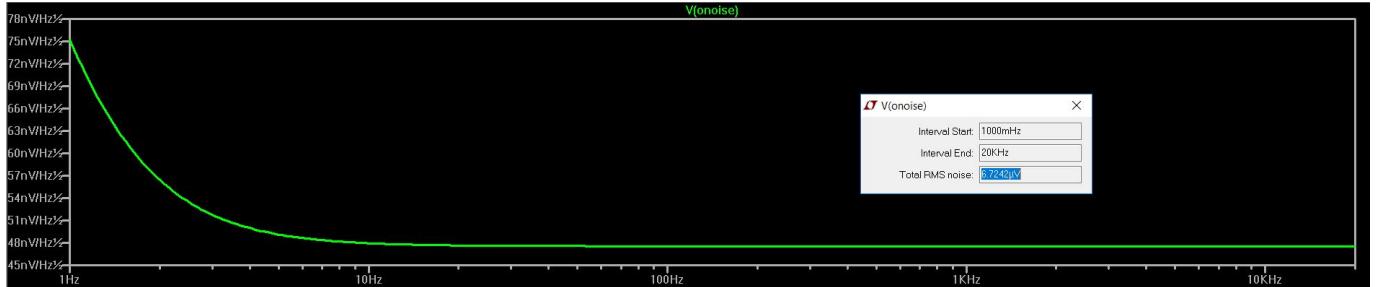


Figura 3.8: Simulación de SNR

A partir del resultado se puede calcular la relación. La misma está dada por:

$$SNR = 20 \log \frac{P_{señal}}{P_{ruido}} = 20 \log \frac{25,6V}{6,7243uV} = 131,5dB$$

Este valor determina la relación señal ruido y supera los 80 dB dados por las especificaciones.

3.6. Factor de amortiguamiento

Este parámetro mide la relación que existe entre la impedancia de salida del circuito y la impedancia de la carga. Puede explicarse como la capacidad del amplificador de controlar el movimiento de la bobina de un altavoz. Para una carga dada de altavoces, el factor de amortiguamiento de un sistema de altavoces viene, en la práctica, dado en su mayor medida por la impedancia del cable, por lo que no debe darse demasiada importancia a este parámetro. También es importante tener en cuenta que el amortiguamiento es directamente proporcional a la impedancia de carga, por lo que al usar una carga de 8Ω tendremos el doble de factor de amortiguamiento que con 4Ω .

Para simular la impedancia de salida se colocó una fuente de corriente de prueba en la salida como se ve en la imagen.

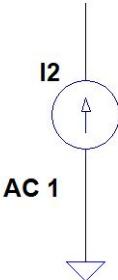


Figura 3.9: Fuente de prueba

Observación: Otra alternativa a esta fuente hubiera sido poner una fuente de tensión en serie con capacitor de valor muy alto de forma tal que no afecte a la continua.

Luego, se realizó un barrido en frecuencia de 1 a 20 kHz, de forma de abarcar toda la banda audible. Dividiendo la tensión en la salida por la corriente que circula por la fuente se obtuvo el siguiente resultado.

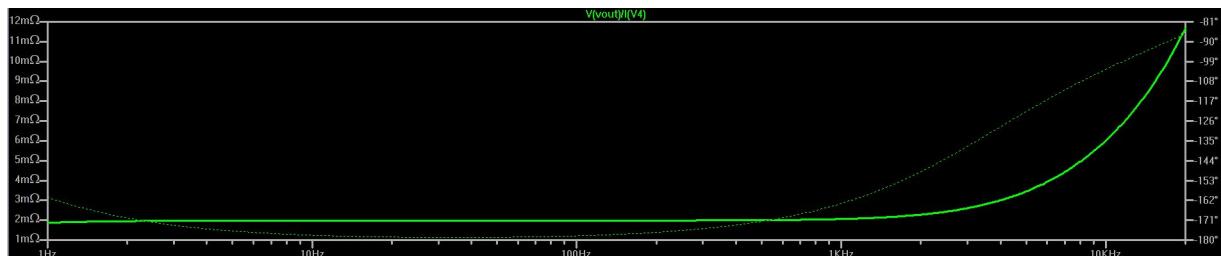


Figura 3.10: Simulación de la resistencia de salida

Se puede ver que para frecuencias menores a 10 kHz, se obtiene una resistencia de salida cercana a $2m\Omega$. El factor de amortiguamiento se define como:

$$FA = \frac{Z_L}{Z_o}$$

Luego, tomando el valor máximo obtenido en el gráfico se puede ver que el factor de amortiguamiento a 20 kHz es:

$$FA = \frac{8\Omega}{12m\Omega} = 666,67 > 100$$

Se observa que el valor obtenido es mayor que lo pedido en las especificaciones.

3.7. THD

Este parámetro es la relación que hay entre el armónico principal y los secundarios. Si este valor es significativo, se perderá fidelidad respecto de los parámetros de ruido. Para la simulación, se corre una senoidal en la entrada de $1VRMS$ de forma de obtener 40 W a la salida, y se utiliza el comando ctrl+L para obtener el detalle de los armónicos. A continuación se ve el resultado obtenido.

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component
1	1.000e+03	2.554e+01	1.000e+00
2	2.000e+03	7.423e-03	2.907e-04
3	3.000e+03	1.778e-02	6.964e-04
4	4.000e+03	6.038e-04	2.364e-05
5	5.000e+03	3.626e-03	1.420e-04
6	6.000e+03	7.412e-05	2.902e-06
7	7.000e+03	6.879e-04	2.694e-05
8	8.000e+03	3.873e-05	1.517e-06
9	9.000e+03	1.831e-04	7.170e-06
Total Harmonic Distortion: 0.076872% (0.076872%)			

Figura 3.11: Obtención de la THD a 40 W

Se ve que lo obtenido es menor que los 0,1 % pedidos en las especificaciones. Este valor fue obtenido a partir de el trabajo de bajar los niveles de ruido de cada etapa, buscando aumentar principalmente las corrientes de polarización entrantes al multiplicador de Vbe, de forma de aumentar la ganancia a de lazo abierto, dado que se puede definir a la THD a lazo cerrado como:

$$THD_{LC} = \frac{THD_{LA}}{1 + af}$$

Otra de las causas de ruido se dan por las fuentes de alimentación, que implican corrientes grandes en etapa de buffer de entrada. Es por eso que se eligió colocar reguladores de 5 V, de forma de disminuir este efecto. Por último, la configuración de los transistores de salida en forma de quasi-darlington.^{es} la mejor respecto de los parámetros de ruido.

Luego, para simular la THD a 1 W, se procedió de la misma forma, aunque colocando una señal de entrada de amplitud $V_i = 0,22V$ de forma de obtener la potencia requerida a la salida. El resultado es el siguiente:

Harmonic Number	Frequency [Hz]	Fourier Component
1	1.000e+03	3.990e+00
2	2.000e+03	1.346e-04
3	3.000e+03	3.455e-05
4	4.000e+03	6.647e-06
5	5.000e+03	2.686e-05
6	6.000e+03	4.742e-06
7	7.000e+03	1.739e-05
8	8.000e+03	3.639e-06
9	9.000e+03	1.337e-05
Total Harmonic Distortion: 0.003597% (0.003677%)		

Figura 3.12: Obtención de la THD a 1 W

El resultado es de 0.0036 %, menor a los 0,02 % pedidos en las especificaciones.

3.8. IMD (SMPTE)

La IMD es la distorsión por intermodulación. Ocurre cuando en un amplificador no lineal (como el caso analizado) es atravesado por dos o más tonos de distinta frecuencia. Ningún equipo de audio es completamente lineal, por ello, toleran un cierto nivel de distorsión por intermodulación. Sobre pasada la tasa de distorsión por intermodulación que permite un determinado equipo, el efecto siempre resulta desagradable. Se expresa en dB en relación a una frecuencia.

Para la simulación de este parámetro, se utilizan dos fuentes sinusoidales en serie en la entrada, una de mayor amplitud y menor frecuencia ($0,1V_p$ y $f_1 = 100Hz$) y vice-versa para la otra ($0,025V_p$ y $f_2 = 5KHz$).

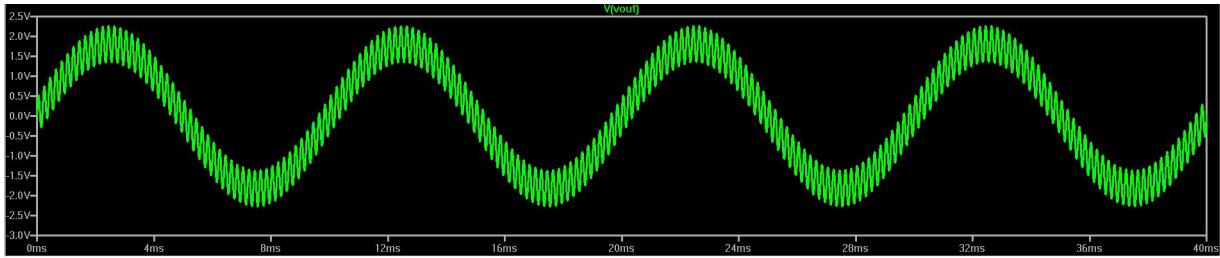


Figura 3.13: Intermodulación de señales

Aquí se puede ver la superposición de las dos señales a la salida. Utilizando el comando FFT que ofrece el simulador, se pueden ver los componentes de Fourier. Luego, se puede determinar la IMD como la diferencia de amplitud entre f_2 y el siguiente máximo que se da en $f_2 \pm f_1$.

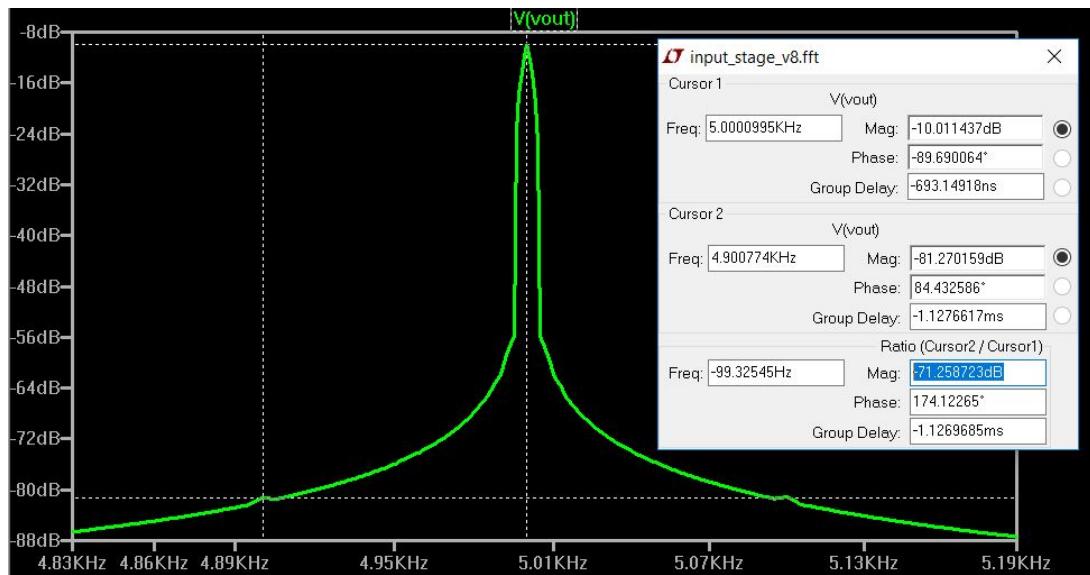


Figura 3.14: Obtención de la IMD

Se observa en la figura 3.14 que el pico más alto resulta mucho mayor que los más pequeños, lo que denota un buen resultado. Luego, midiendo la diferencia entre los mismos se obtiene $IMD(smpete) = -71,25dB$.

4. Implementación

A través del software *KiCad* se realiza el diseño del *PCB*¹.

En primer lugar, se realiza la transcripción del esquemático del circuito. Luego, la asociación de cada componente a su huella (*footprint*) correspondiente y finalmente, la implementación del diseño y *ruteo* del PCB.

Se contemplan ciertos recaudos a la hora de localizar los componentes en la placa de *FR4*.

- Las pistas de alimentación son de al menos 100 milímetros de pulgada, de forma tal de minimizar los efectos parásitos (considerando que se implementara en *FR4* con capa de cobre de 70 μm de espesor).
- Se ubican dos franjas de alimentación, positiva y negativa, en los laterales de la placa de modo que las pistas de potencia sean lo más cortas posibles y se encuentren alejadas de las pistas de señal.
- Se ubica a la realimentación lo más próximo a su entrada, salida *Clase B* del *CFA*, y su salida, correspondiente a la etapa del *Buffer* del amplificador, tal que no se presente ruido y/o interrupciones.

¹En el Anexo se agregan el circuito esquemático y el PCB.

- Al finalizar el *ruteo* se intenta agrandar el ancho de todas las pistas de la placa con el fin de obtener una mayor robustez dado que se realiza caseramente.
- La placa no presenta pistas con angulos agudos y esquinas en punta ya que, se obtiene una mejora del rendimiento tanto en el funcionamiento del circuito como en el proceso de fabricación.
- La prioridad se establece en la continuidad y la longitud de todas las pistas frente a la dificultad de diseño.
- Se optimizan los caminos de señal y las tierras con la finalidad confinar las señales y minimizar el ruido. Se implementa el uso de la configuración *estrella*; la cual se trata de un sistema de planos de tierra en uno o varios puntos separados que retornan a un plano de tierra principal. Mediante esta técnica se reducen las impedancias generadas por redes $R-L$ en pistas de longitudes apreciablemente largas.

Se puede observar que el retorno de la señal de la figura 4.1 presenta las propiedades de resistencia e inducción.

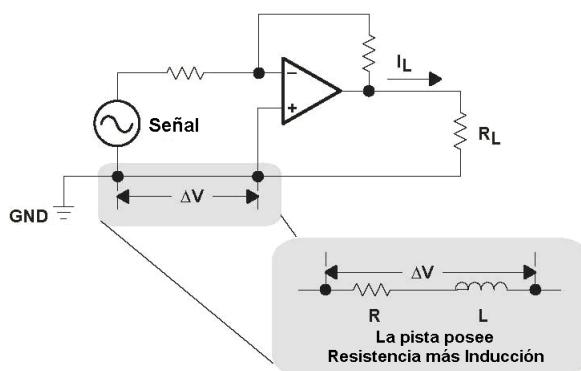


Figura 4.1: Plano general de la configuración *estrella*.

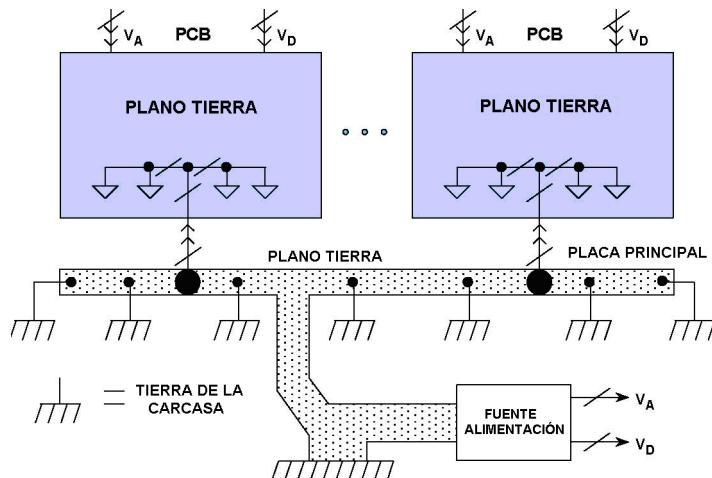


Figura 4.2: Plano general de la configuración *estrella*.

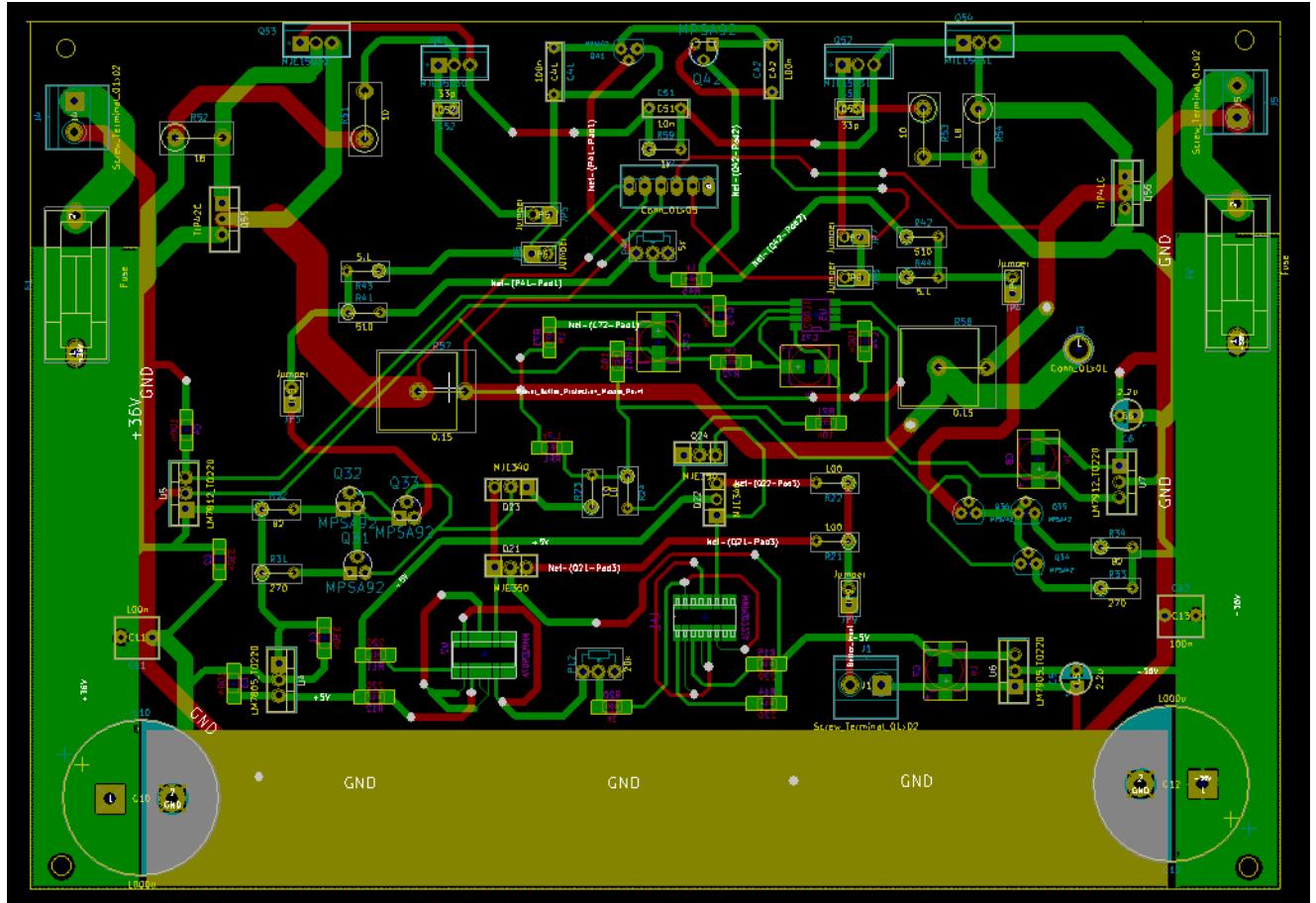


Figura 4.3: Diseño del circuito impreso.

5. Mediciones

5.1. Polarización

Se ajustó el preset ubicado en la fuente de corriente para polarizar el buffer de entrada y el preset ubicado en el multiplicador de V_{BE} a los valores determinados de forma teórica. Luego se abrieron los jumpers JP3 a JP8 para aislar el buffer de entrada del resto del circuito, para hacer las primeras mediciones y verificar que la alimentación y reguladores se encuentren estables.

Luego se conectaron los jumpers JP3 y JP4 para acoplar el multiplicador de V_{BE} y medir la tensión que genera. Se ajustó el preset del multiplicador hasta que llegue a la tensión encontrada por simulación que es de aproximadamente 1,84V. También se verificó la corriente que alimenta el multiplicador de V_{BE} , que es la que circula por la resistencia $R_{32} = 82\Omega$ de la rama de salida de la fuente espejo, para asegurarse que funcione en la región lineal constante. Se volvió a ajustar el preset P_{12} hasta llegar para asegurar esta condición.

Una vez estable el multiplicador de V_{BE} se conectó la etapa de potencia, se midió la tensión por las resistencias de embalamiento térmico de $0,15\Omega$ para saber la corriente que circula por la rama de salida cuyo resultado fue nulo. Se aumentó la tensión del multiplicador de V_{BE} hasta obtener aproximadamente 11mA por estas resistencias. De esta forma se polarizó el circuito y se continuó con las mediciones. En la siguiente tabla adjuntan las mediciones en los nodos importantes del circuito, que se relaciona con el circuito que se incluye en el anexo.

Descripción	Valor
P12	10,85
Corriente por P12	788uA
Corriente de salida del espejo	2,6mA
Resistencia P41+R45	1,32k
Tensión del multiplicador de V_{BE}	2,31
Corriente por la rama de salida	54mA
Tensión en la salida	4,9mV

Figura 5.1: Mediciones de la polarización

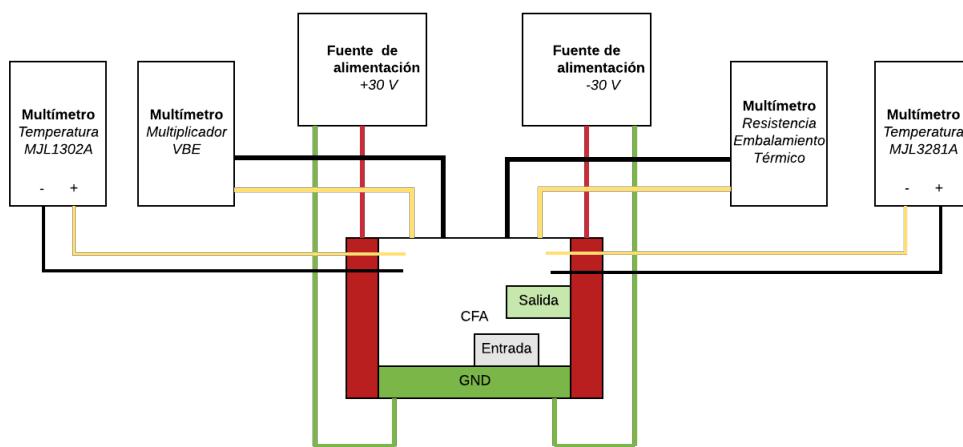


Figura 5.2: Banco de medición para la polarización del *Current Feedback*.

5.2. Primera medición con señal y prueba a máxima potencia

Las primeras mediciones con señal se realizaron con los TIP41 y TIP42 en lugar de los MJL's, ya que el costo de estos últimos es bastante elevado y se decidió por no arriesgarlos hasta no saber que el CFA funciona.

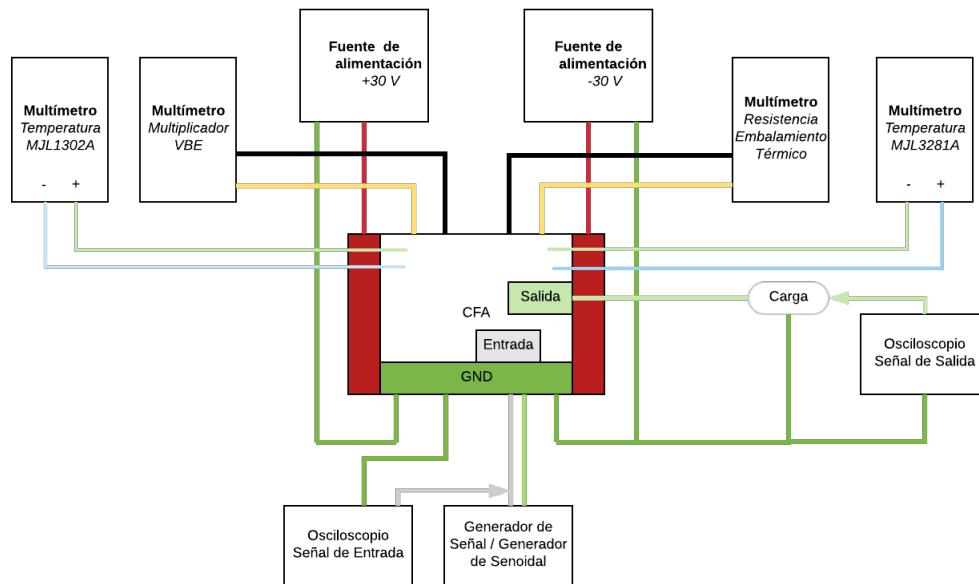


Figura 5.3: Banco de medición para la medición de señal del *Current Feedback*.

Se elevó la tensión del generador hasta llegar a la máxima tensión antes de que recorte que fue de 54Vpp por lo que la potencia máxima fue de 45,56W_{rms} con una ganancia de 20,1.

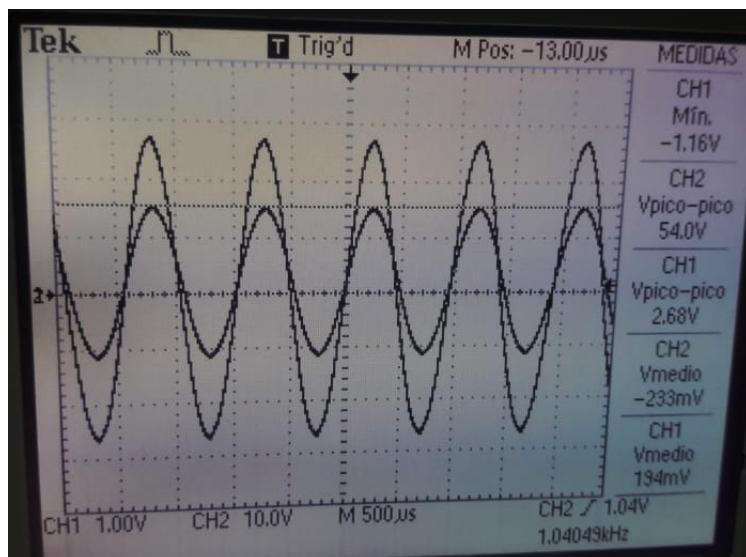


Figura 5.4: Medición de máxima potencia con los TIP's a la salida. CH2: Salida

5.3. Medición del Slew Rate y compensación

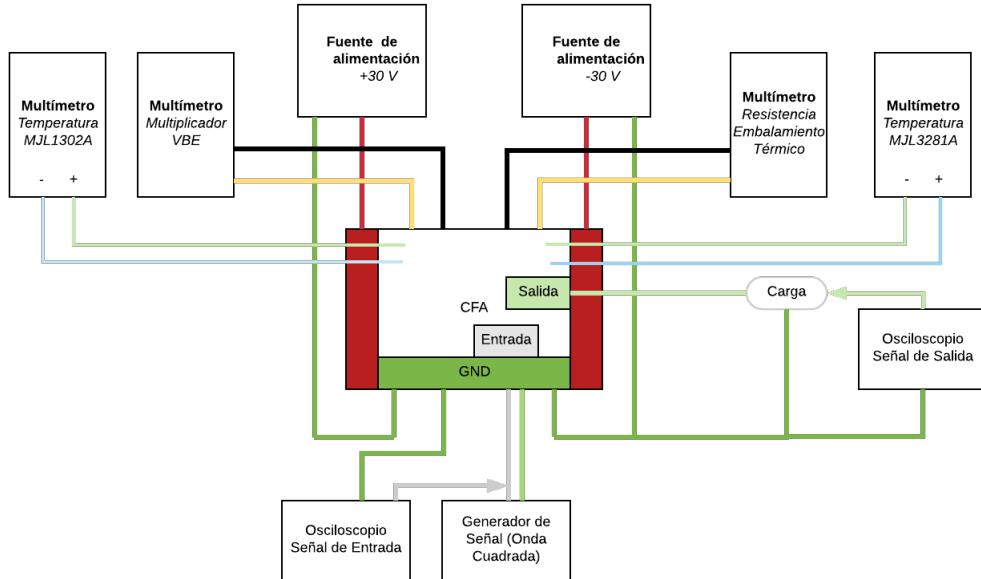


Figura 5.5: Banco de medición para la medición del *Slew Rate* del *Current Feedback*.

Se le inyectó al circuito una señal cuadrada y se midió a diferentes potencias el Slew Rate y el ancho de banda de potencia (ABP). Se observó que la salía poseía un overshoot aproximado del 100 % por lo que se procedió a compensar aumentando el valor de los capacitores C_{53} y C_{54} , que inicialmente eran de 33pF cada uno. Los resultados de la primer medición son:

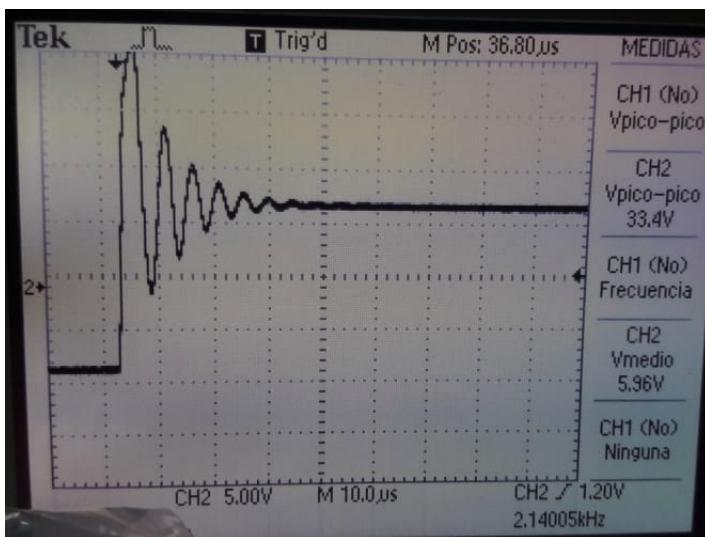


Figura 5.6: Primer medición sin compensación

Como estrategia para compensar, en primer lugar se fue aumentando los valores de los capacitores antes mencionados llevándolos al valor de 288pF , obteniendo un ancho de banda de potencia de aprox 790kHz . Pero se observó que el overshoot no se pudo reducir a menos del 20 % como se ve en la siguiente imagen, aunque se aumentasen más los capacitores de compensación, lo cual comprometía considerablemente el Slew Rate:

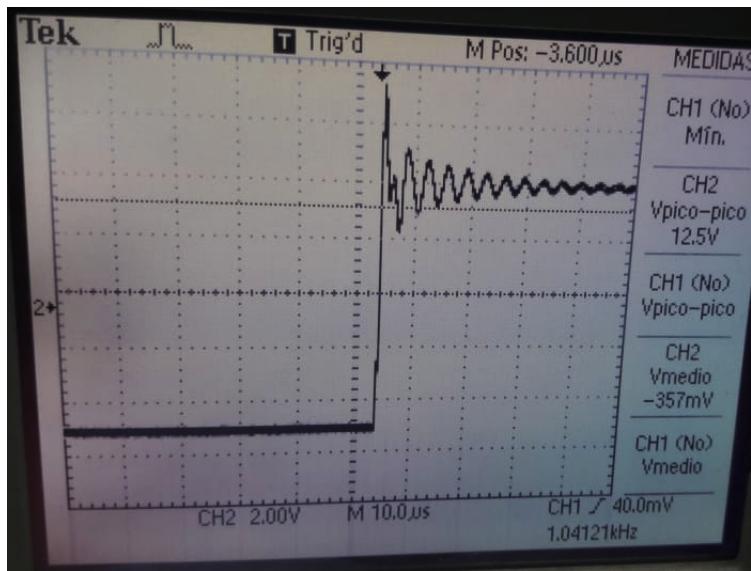


Figura 5.7: Overshoot de casi el 20 % con capacitores de compensación de 288pF

Finalmente, se decidió por colocar los MJL's en lugar de los TIP's dado que estos tienen mejores características en frecuencia, con una f_T de 30MHZ frente a 3MHZ de los TIP's.

Reajustando los capacitores de compensación, se encontró la configuración óptima. Además se notó la tuvo que disminuir a la mitad las resistencias a la salida de la fuente espejo a la mitad debido a que el multiplicador de Vbe no estaba trabajando en su zona constante". Se muestran a continuación los resultados y las mediciones del overshoot y Slew Rate a máxima potencia.

Descripción	Valor	Potencia [W]	Slew Rate [V/uS]
Capacitores de compensación	288pF	1	14,1
ABP	570kHz	3	23,3
		10	43,0
		30	53,0
		44	60,9

Figura 5.8: Resultados de la medición de Slew Rate

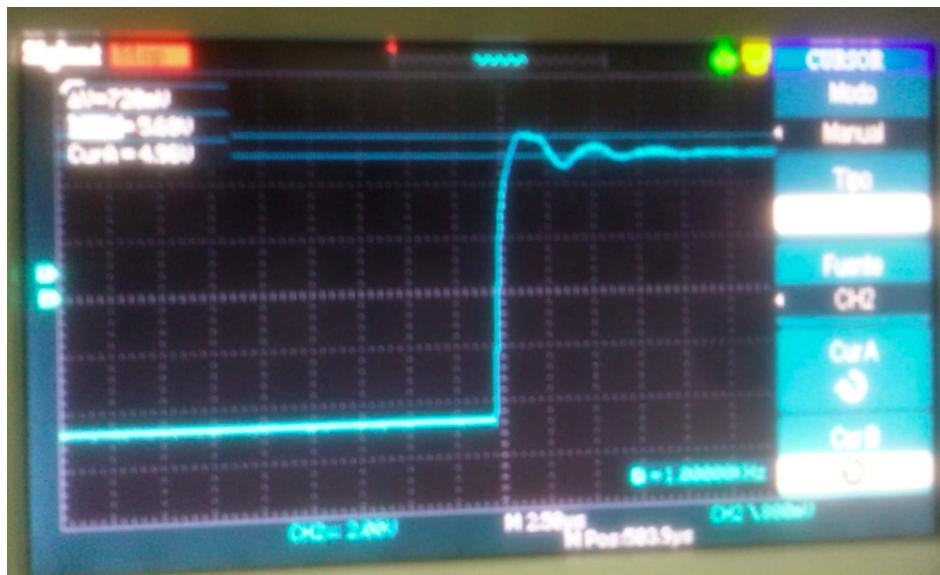


Figura 5.9: Overshoot de aproximadamente 4 % con capacitores de compensación de 188pF



Figura 5.10: Medición del Slew Rate

5.4. Ancho de banda

Para esta medición se hizo un barrido en frecuencias a baja potencia midiendo la entrada y salida del amplificador. Mediante el cálculo de ganancia obtenido a partir de los resultados, se buscó las frecuencias de corte inferior y superior. En la siguiente imagen se observan los resultados.

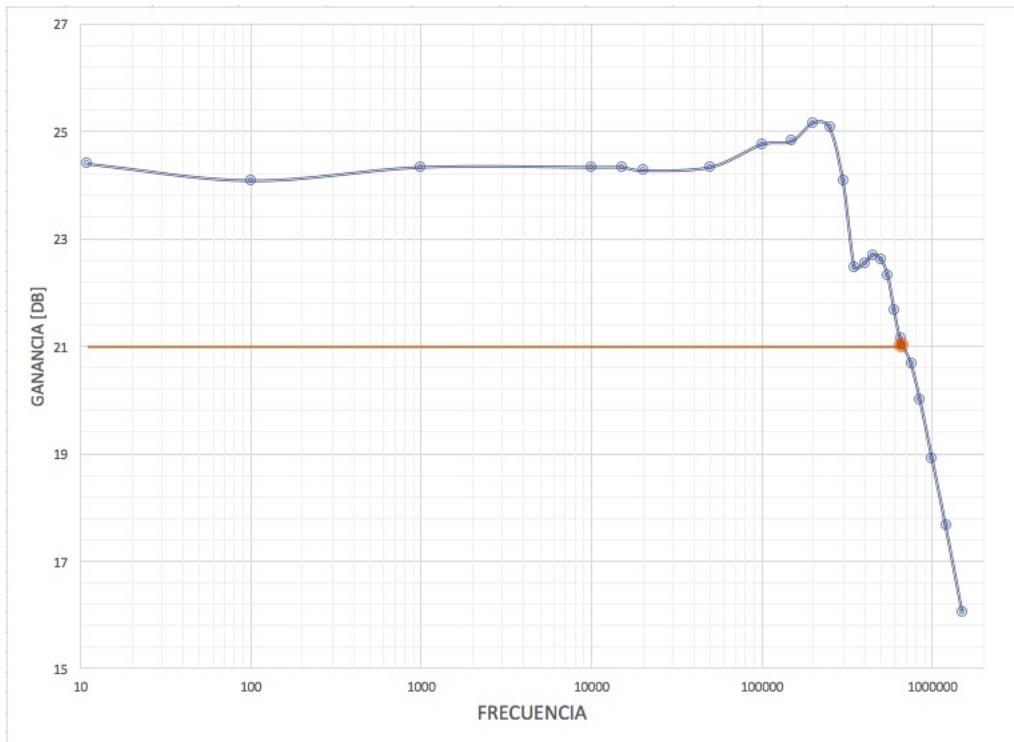


Figura 5.11: Ancho de Banda del *Current Feedback*.

Se puede observar que la frecuencia de corte superior es cercana a los 650 kHz. A frecuencias bajas (menores a 10 Hz) la medición se hizo muy difícil dado que el osciloscopio no podía procesar bien la imagen. Al mismo tiempo, se puede observar un sobrepico cercano a la frecuencia de corte, el cual corresponde a un efecto inductivo. Éste, al igual que el overshoot en la señal temporal, es corregido mediante una correcta compensación. En este caso, sin embargo, se optó por no seguir compensando de forma de no afectar el ancho de banda de potencia.

5.5. Sensibilidad

Para medir la sensibilidad se aumentó la señal de entrada hasta alcanzar 40W en la carga es decir, $50,4V_{pp}$ en la carga. La **sensibilidad del amplificador es de $2,76V_{pp}$** . Se utiliza el mismo banco de medición que el de la figura 5.6.

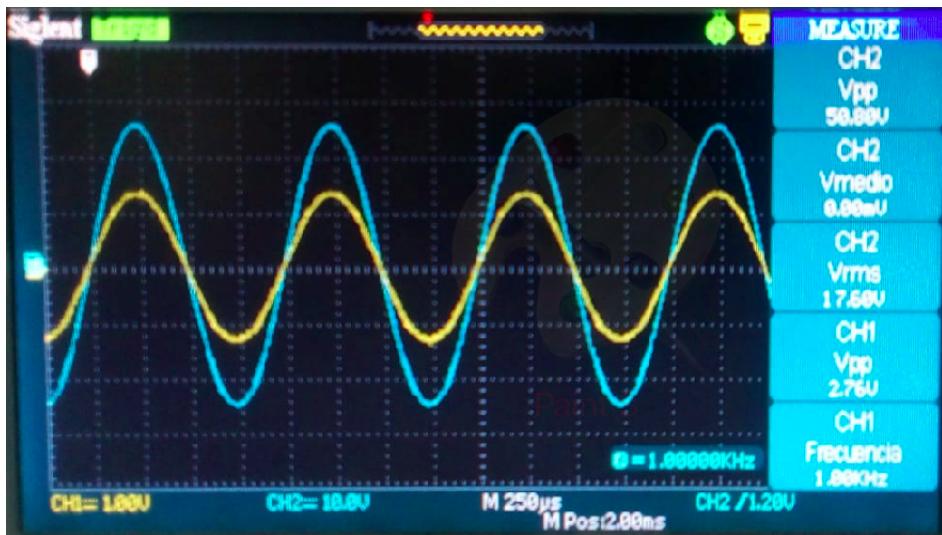


Figura 5.12: Tensiones pico a pico en la entrada y en la salida

5.6. Impedancia de entrada

En forma aproximada, se puede calcular la impedancia de entrada colocando un resistor en serie con la señal de generador. Lo ideal hubiera sido conectar un resistor variable y medir antes y en la entrada y la salida del mismo, y al caer la tensión a la mitad, medir el valor de resistencia. Sin embargo, en el momento de realizar la medición, no contaba con ningún preset del orden de la resistencia calculada teóricamente. Por lo que se optó por colocar un resistor de prueba del orden de la teórica, medir en la entrada y la salida del mismo y resolver haciendo el divisor resistivo entre R_p , Z_i y V_{gen} como entrada. El valor elegido fue $R_P = 15\text{k}\Omega$. Se midió a 100 Hz, 1kHz y 10kHz. A continuación los resultados:

Frecuencia [Hz]	Vgen-pp[mV]	Vi-pp[mV]	Zi[k\Omega]
100	640	320	15
1000	616	300	14,2
10000	640	320	15

Tabla 5.1: Tabla de impedancias de entrada

Se ve que para las tres frecuencias se obtiene el mismo resultado. Se considera como referencia la medición a 1 kHz. A bajas frecuencias, al no tener capacitor de desacople en la entrada, la medición resultó igual que en frecuencias medias. En altas, se podría considerar el efecto de las capacitancias parásitas C_π y C_u , que cambiarían el valor de la impedancia. En la medición en 10 kHz, sin embargo, no se observó este efecto.

5.7. Factor de amortiguamiento

Se midió el factor de amortiguamiento, colocando una señal de 1kHz a la entrada y midiendo la tensión a la salida en vacío V_o y con carga nominal V_L .

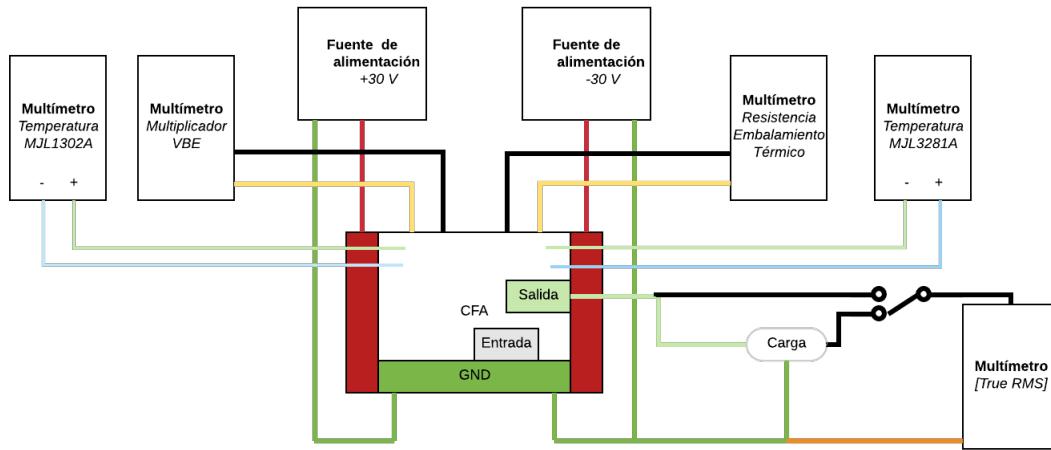


Figura 5.13: Banco de medición para la medición del factor de amortiguamiento del *Current Feedback*.

De esta forma el factor de amortiguamiento se puede calcular como:

$$Z_o = \left| R_L \left(\frac{V_o}{V_C} - 1 \right) \right| \quad (5.1)$$

Las mediciones dieron:



Figura 5.14: Tensión de salida RMS sin y con carga.

Siendo $V_o = 3,167V$ y $V_c = 3,195V$. Además, el valor medido de la carga fue $R_L = 8,151\Omega$.

De las mediciones se obtiene un parámetro de error dado por la suma cuadrática entre la incertidumbre propia del instrumento, la cual se obtuvo del manual del mismo y corresponde al 1 % del valor medido, y la acción del menor cifra significativa. Para ambas mediciones, el 1 % es 0,032V. Entonces:

$$e = \left(\left(\frac{0,001V}{\sqrt{12}} \right)^2 + (0,032V)^2 \right)^{\frac{1}{2}} = 0,032V$$

Se tiene entonces que $\Delta V_o = 0,032V$ y $\Delta V_c = 0,032V$, mientras que $\Delta R_L = 0,082\Omega$. Para el cálculo, se debe hacer la propagación del error según estos valores:

$$\Delta Z_o = \sqrt{\left(\left| \frac{\partial Z_o}{\partial V_o} \right| \Delta V_o \right)^2 + \left(\left| \frac{\partial Z_o}{\partial V_c} \right| \Delta V_c \right)^2 + \left(\left| \frac{\partial Z_o}{\partial R_L} \right| \Delta R_L \right)^2}$$

$$\Delta Z_o = \sqrt{(\frac{R_L}{V_c} \Delta V_o)^2 + (\frac{R_L V_o}{V_c^2} \Delta V_c)^2 + (|\frac{V_o}{V_c} - 1| \Delta R_L)^2}$$

$$\Delta Z_o = 0,115\Omega$$

Entonces, con los valores medidos y el error calculado se obtiene:

$$Z_o = (0,070 \pm 0,115)\Omega$$

Luego, se obtiene el factor de amortiguamiento:

$$FA = \frac{R_L}{Z_o} = 114$$

$$\Delta FA = \sqrt{(|\frac{\partial FA}{\partial R_L}| \Delta R_L)^2 + (|\frac{\partial FA}{\partial Z_o}| \Delta Z_o)^2}$$

$$\Delta FA = \sqrt{(\frac{1}{Z_o} \Delta R_L)^2 + (\frac{R_L}{Z_o^2} \Delta Z_o)^2}$$

$$\Rightarrow FA = (114 \pm 191)$$

Es, evidentemente, un error muy alto, lo que no brinda una certeza confiable sobre la medición. La incertidumbre propia del instrumento es de 1 % como se mencionó, lo que a la hora de propagar errores hizo que el valor final del mismo fuera muy alto. En primer lugar se buscó algún multímetro en el laboratorio que tuviera menor incertidumbre, sin embargo, los proporcionados por la facultad no aportaban nada menor al 1 % mencionado, por lo que fue imposible realizar una mejor medición. En segundo lugar, se hizo el cálculo para lo que hubiera sido, por ejemplo, un tester con 0,01 % de error. En este caso, ΔZ_o hubiera sido de $0,025\Omega$, disminuyéndose considerablemente el error cometido.

5.8. THD

Para la medición de la distorsión armónica se agrega al banco de medición un ordenador portátil para utilizar la placa de audio que se encuentra embebida. Mediante el programa *Visual Analyser* se realiza la generación de la señal senoidal con su respectiva amplitud y frecuencia de trabajo con su respectiva calibración tal que se reduzca la distorsión armónica propia de la placa. Luego, se conecta la salida de la placa de audio a la entrada del amplificador. Por último, a la salida del *Current Feedback* se conecta un *atenuador* de modo que a la entrada de la placa haya como máximo $1 V RMS$.

A continuación se presentan el banco de medición, el diseño del atenuador y las mediciones basadas en un barrido de frecuencias para distintas potencias.

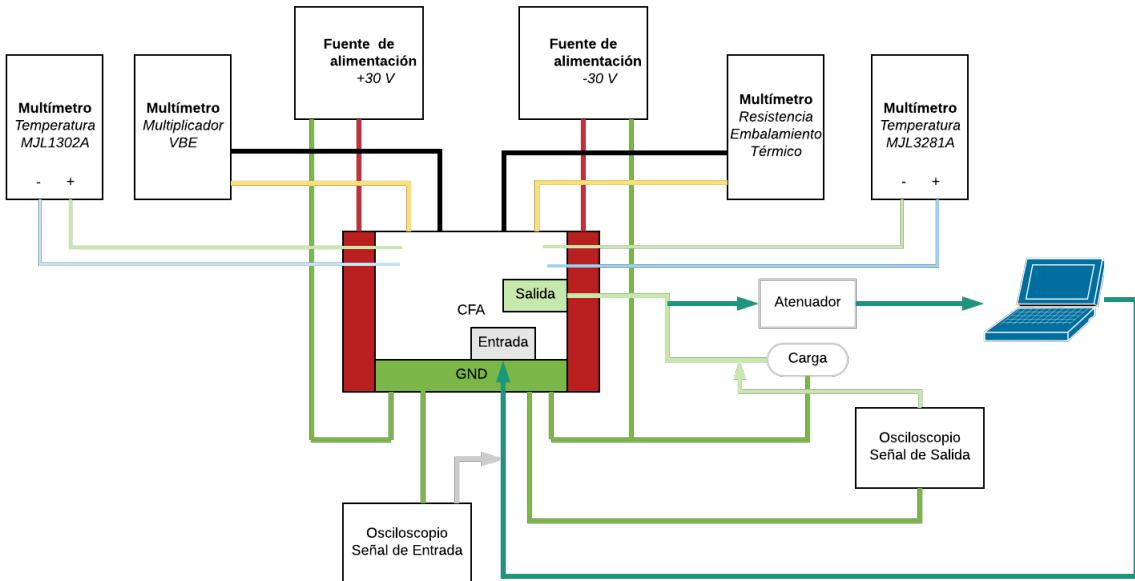


Figura 5.15: Banco de medición para la medición de la distorsión armónica del *Current Feedback*.

Para el diseño del atenuador se opta por una configuración *L* donde se modifica el valor del primer resistor de modo que se obtenga una tensión máxima en la salida de 1 VRMS. Se elige un valor bajo para el segundo resistor dado que se encuentra en paralelo la resistencia de entrada que presenta la placa de audio, siendo de alrededor de 10 kΩ. Por lo tanto, prácticamente se obtiene el valor de resistencia colocado en el atenuador.

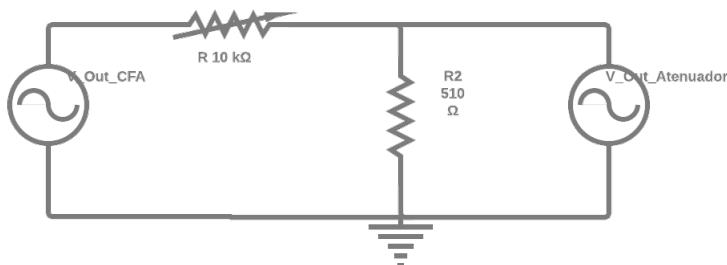


Figura 5.16: Atenuador en configuración *L*.

Potencia	Tensión de entrada CFA [Vpp]	Tensión de salida CFA [Vpp]	R1 [Ω]
0.1	0.138	2.53	-
0.3	0.238	4.38	268
1	0.435	8.00	868
3	0.755	13.90	1.91 k
10	1.38	25.30	3.87 k
30	2.38	43.80	7.55 k
44	2.75	50.6	8.22 k

Tabla 5.2: Tabla correspondiente a las magnitudes del *CFA* para la atenuación de tensión.

Potencia	0.1 W	Potencia	0.3 W	Potencia	1 W	Potencia	3 W
THD [%]	Frecuencia [Hz]						
1.2	30	0.21	30	0.1	30	0.24	30
0.8	100	0.11	100	0.069	100	0.18	100
0.52	300	0.071	300	0.059	300	0.16	300
0.44	1000	0.036	1000	0.058	1000	0.16	1000
0.45	2000	0.043	2000	0.057	2000	0.16	2000
0.24	4000	0.062	4000	0.057	4000	0.17	4000
0.36	7000	0.033	7000	0.057	7000	0.17	7000
0.14	10000	0.013	10000	0.024	10000	0.069	10000
0.0022	20000	0.0005	20000	0.0005	20000	0.0004	20000
Potencia		Potencia		Potencia		Potencia	
10 W		30 W		40 W		-	
THD [%]		THD [%]		THD [%]		THD [%]	
0.56		0.56		-		30	
0.5		0.58		0.61		100	
0.41		0.57		0.64		300	
0.39		0.54		0.58		1000	
0.39		0.54		0.58		2000	
0.41		0.57		0.67		4000	
0.46		0.63		0.67		7000	
0.19		0.26		0.29		10000	
0.0003		0.0004		0.0004		20000	

Figura 5.17: Tablas de THD vs. Frecuencia para una potencia fija.

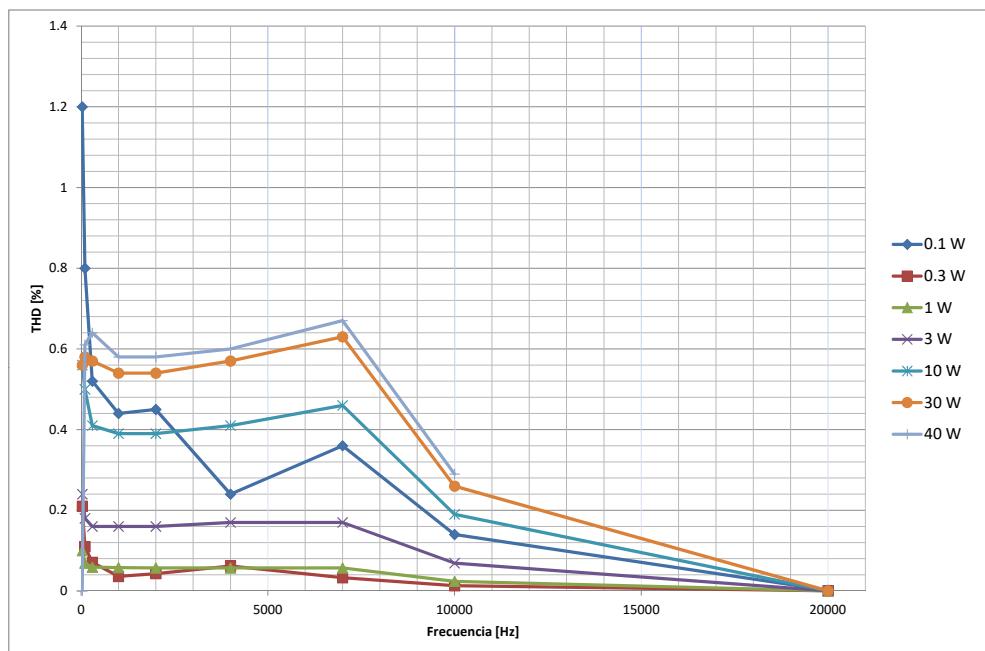


Figura 5.18: Gráfico de THD vs. Frecuencia para diferentes potencias.

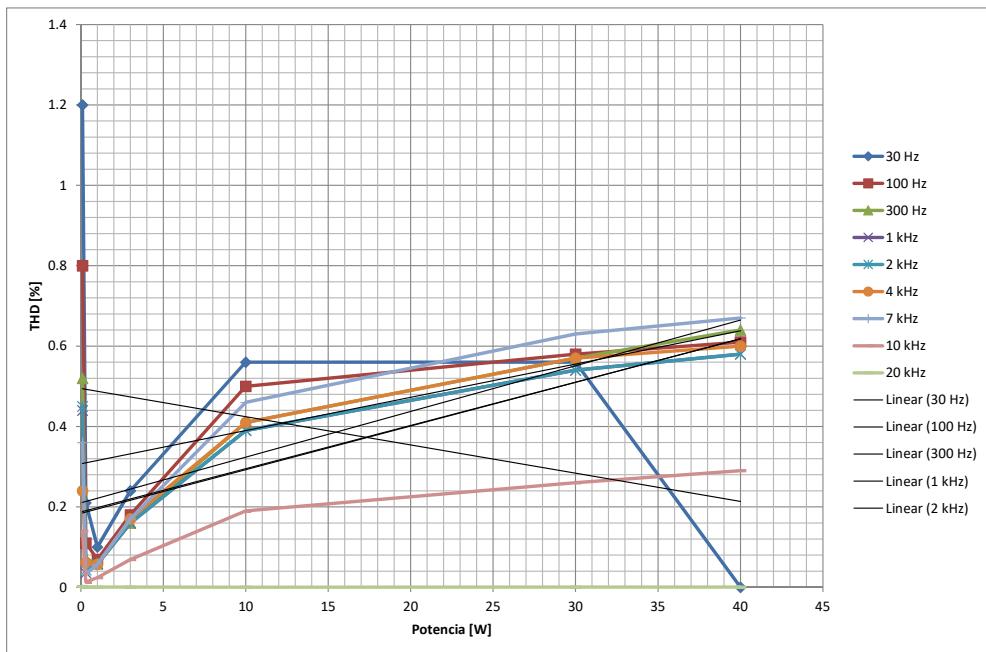


Figura 5.19: Gráfico de THD vs. Potencia para diferentes frecuencias.

5.9. IMD (SMPTE)

La medición de la *intermodulación* se empleó mediante el software *SpectraPlus* y el banco de medición de la figura 5.15. Se generó una señal bitonal de 100 Hz y otra de 5 kHz con la relación 1:4 de amplitudes de forma automática. Luego, se obtuvo la *IMD* realizando la diferencia de magnitudes en ambas frecuencias para distintas potencias.

Potencia [W]	IMD [dB]
0.1	-61.37
0.3	-45.21
1	-40.67
3	-40.09
8	-39.86

Figura 5.20: Tabla correspondiente a los valores obtenidos de *intermodulación* para distintas potencias.

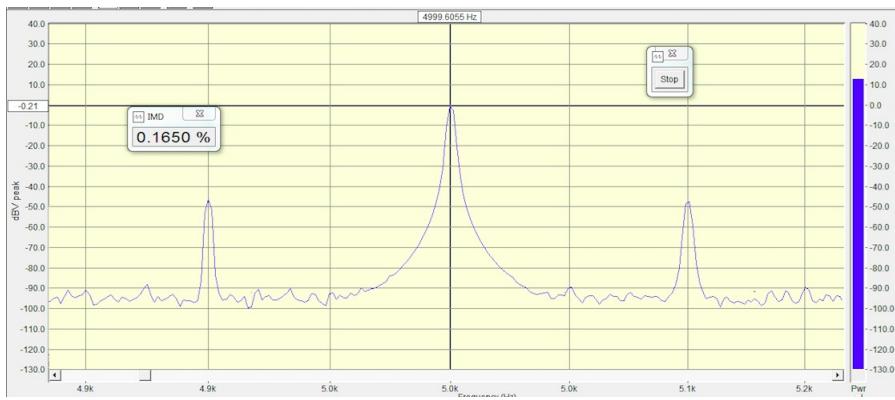


Figura 5.21: Magnitud obtenida a una frecuencia de 5 kHz para una potencia de $0,3\text{ W}$.

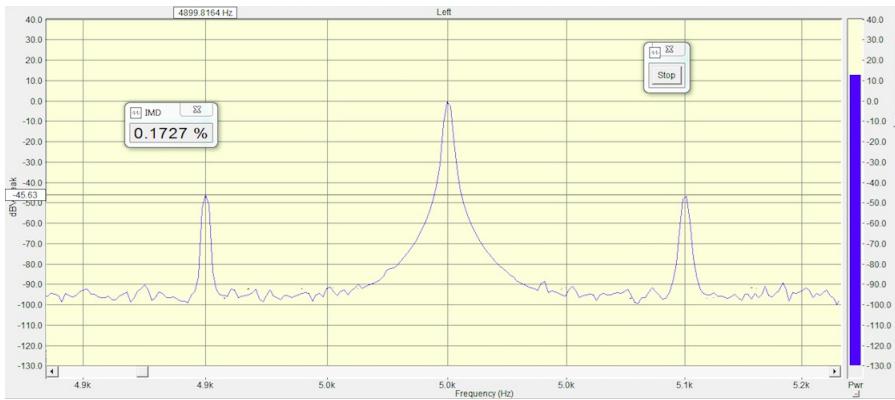


Figura 5.22: Magnitud obtenida a una frecuencia de $4,9\text{ kHz}$ para una potencia de $0,3\text{ W}$.

5.10. SNR

La medición de la relación señal-ruido presenta ruido blanco en los sistemas de audio, por lo tanto, su densidad espectral de potencia es plana. Se definió un ancho de banda en el rango de frecuencias audibles de modo que se obtenga un mejor resultado de la SNR.

El método seleccionado para la medición de la relación señal-ruido se trató de dos etapas y se utilizó el banco de medición de la figura 5.15. En primer lugar, se generó una tono con una frecuencia fundamental de 1 kHz y se midió su magnitud, resultando ser aproximadamente -24 dB. Luego, se originó un piso de ruido y se obtuvo un valor ponderado de -120 dB. Por lo tanto, se expresa a la SNR como la diferencia entre los valores obtenidos, siendo de 104 dB.

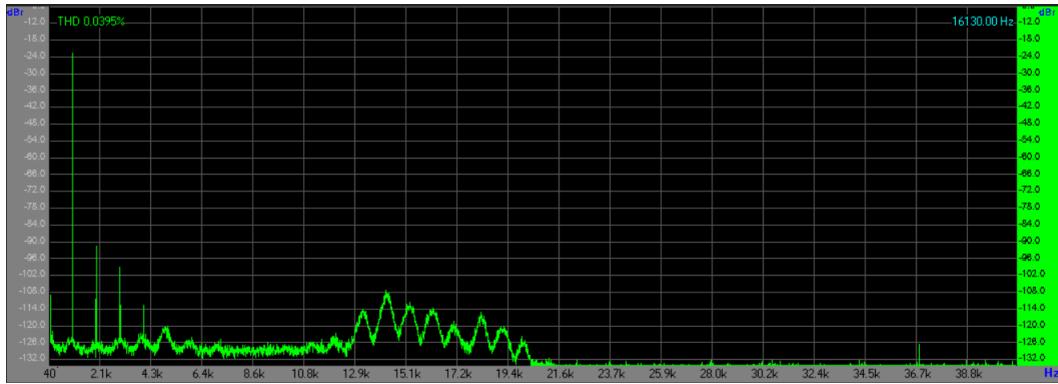


Figura 5.23: Magnitud obtenida para un tono de 1 kHz.

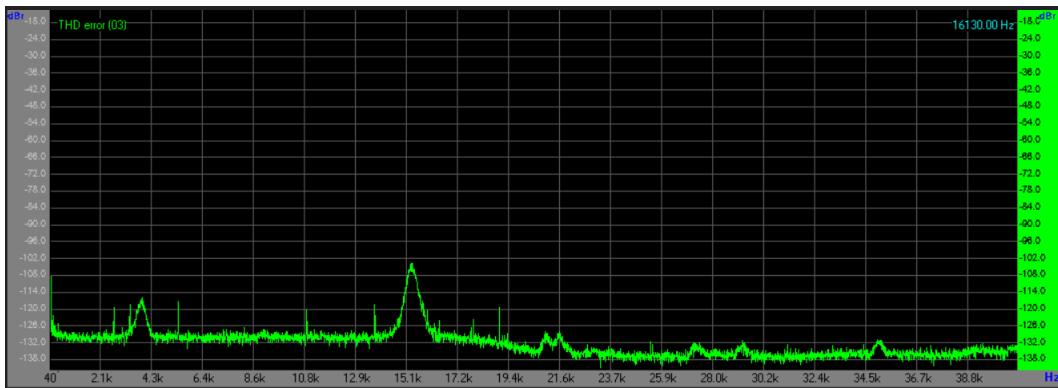


Figura 5.24: Piso de ruido.

6. Dificultades encontradas

Durante el desarrollo del proyecto se encontraron las siguientes dificultades y sus respectivas soluciones.

- **Diseño - Software:** El primer inconveniente se presentó a la hora de conectarlo la primera vez, un capacitor se encontró al revés debido a que en el esquemático del *KiCad* se seleccionó el componente sin polaridad.
- **Diseño - Buffer de entrada:** La primera etapa del *Buffer* presentó una distorsión armónica muy alta a través de la simulación mediante *LTSpice*. Para resolver este problema, se redujo la tensión de la alimentación a 5 V y se optó por implementar las fuentes de corriente *Wilson* con integrados constituidos por una cadena de cuatro transistores *NPN* y otro de cuatro transistores *PNP*.
- **Diseño - Multiplicador de V_{BE} - Etapa de Potencia :** Se presentó una notable asimetría entre el multiplicador de V_{BE} y la etapa de potencia. En efecto, se optó por aumentar la tensión de salida del primero y para ello se agregó un transistor complementario, obteniéndose una diferencia de potencial de 2.4 V.
- **Diseño - Etapa de Potencia:** En primera instancia, se implementó la etapa de potencia con los *TBJs* complementarios *TIP41/TIP42* que presentaron una frecuencia de trabajo baja y en consecuencia, provocaron problemas durante la compensación. Se optó por los transistores *MJL3281* y *MJL1302*, los cuales presentan una f_T diez veces más grande al par mencionado anteriormente.
- **Diseño e Implementación - DC Servo:** Durante la medición se encontró un incorrecto funcionamiento del *DC Servo* debido a que no estaba eliminando una tensión de continua aceptable. En efecto, se halló que el problema se presentaba en la ubicación de los polos.

- **Medición - Instrumental:** Se presentaron serios problemas con el instrumental² del laboratorio. En lo que respecta a la lectura de magnitudes y gráficos, las puntas de osciloscopio fueron una de las mayores problemáticas al momento de realizar las mediciones. Por otro lado, la mayoría de los generadores de señal no presentan una atenuación propicia para mediciones en baja potencia y además, las fuentes de tensión presentaron cierta inestabilidad contemplando que el circuito implementado presentó una fuerte simetría.
- **Medición - THD** Para la medición de la distorsión armónica se tuvieron severos problemas. En primera instancia se seleccionaron cables sin estar mallados y en consecuencia, se obtuvieron resultados muy alejados de los simulados. La solución a dicho problema fue adquirir cables mallados y con el terminal metálico, de modo que tanto la señal de transmisión como la de recepción presenten la menor pérdida y/o interferencia destructiva. Por otro lado, la placa de audio ofrecida por el laboratorio resultó ser ineficiente para el amplificador de audio realizado.
Por otro lado, durante la incertidumbre en la medición, se optó por evaluar los generadores de funciones provistos por el laboratorio y analizar la respuesta en frecuencia (*FFT*). Finalmente, en base al consejo de uno de los ayudantes se optó por volver a utilizar la placa de audio debido a que la generación y el retorno de la señal se encuentran sincronizados por el reloj interno que provee la placa.
- **Fe de erratas:** En un principio se creyó que midiendo la corriente por los resistores de embalamiento térmico y ajustándolas al valor de la simulación y el valor teórico se iba a obtener el valor óptimo de polarización de la salida. Durante el transcurso de las mediciones se observó que se trataba de un concepto erróneo y en base al libro de *Douglas Self* se halló que el valor óptimo se obtuvo observando la forma de la THD y siguiendo los consejos propuestos para una polarización óptima.

6.1. Elección de componentes pasivos

- **Resistores DIP:** se eligieron de *metal film* para aprovechar el bajo los bajos parámetros de inductancia y capacitancia parásita y además, presentan además de menos ruido.
- **Resistores SMD:** el material seleccionado fue de carbón porque no se consiguieron otras.
- **Capacitores DIP:** se seleccionaron capacitores de *poliéster* para aquellas zonas comprometidas por la temperatura o elevados valores de corriente y/o tensión. Por otra parte, se utilizaron dos capacitores *electrolíticos* debido a su alto valor con el fin para reducir la impedancia de la fuente y proveer una correcta transición musical. El resto de los capacitores de montaje *dual in-line package* fueron *multicapa* dado que permiten un manejo óptimo en alas frecuencias.
- **Capacitores SMD:** se utilizaron capacitores *cerámicos* en gran parte y *electrolíticos* debido a su alto valor; los cuales fueron elegidos para el filtro de los reguladores de tensión.

7. Mejoras del amplificador de audio

En base al amplificador de audio implementado, se proponen las siguientes mejoras

- **DC Servo**
 - Ubicar el *DC Servo* contiguo a la fuente de alimentación de modo que pueda ajustarse la alimentación que se provee al circuito y en efecto, obtener una mejor reducción del offset.
 - Colocar una red *RC* serie a la salida del amplificador operacional de modo que en señal, específicamente para altas frecuencias, se garantice que la impedancia de salida es cero. Cabe destacar que el valor de resistencia a seleccionar debe ser bajo.
- Implementar el diseño con mayor cantidad de componentes *SMD* dado que,
 - se reduzca el tamaño de las pistas debido al tamaño de este tipo de componentes.
 - la eliminación de agujeros tal que se reduzca notablemente las inductancias alrededor de 1 nH y las capacidades parásitas entre 5 a 25 mΩ a 1 mΩ. En consecuencia, se obtendrá una mejor respuesta en altas frecuencias al reducir el efecto *Kelvin*.

²Se concluye que el instrumental debe ser calibrado anualmente como fue mencionado en la teórica.

- Implementar una nueva protección que permita eliminar la realimentación en caso de sobre corriente. Se encuentra constituido por una entrada balanceada que sensa la resistencia de embalamiento térmico en la etapa de potencia, tres amplificadores operacionales donde dos de ellos están configurados para amplificar la lectura de tensión y un tercero que se comporte como un comparador donde uno de los terminales defina la tensión/corriente límite. Por último, se ubica un transistor de tecnología de juntura bipolar que opere en modo activo directo en condiciones normales de operación y en corte ante una sobrecorriente.

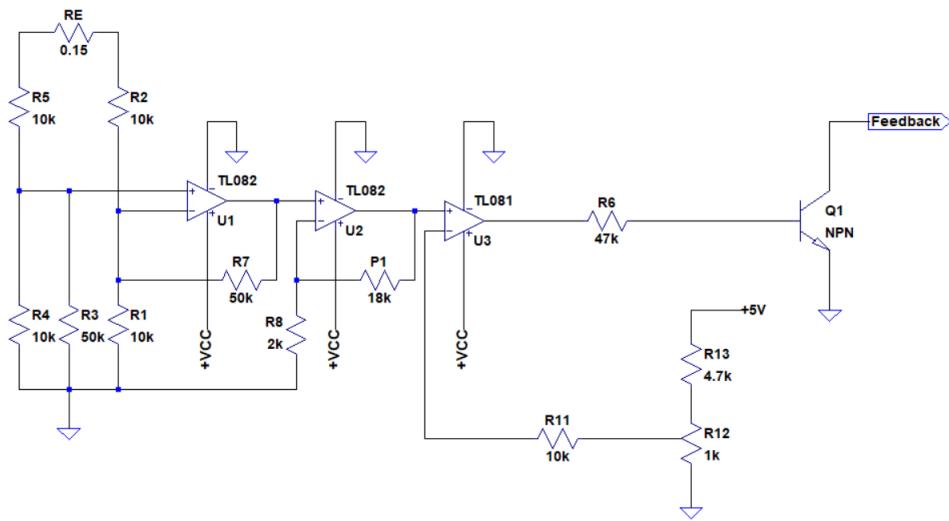


Figura 7.1: Protección para sobrecorriente eliminando la realimentación.

8. Anexo

8.1. Instrumental

Las mediciones se realizan con el siguiente instrumental de medición de laboratorio.



Figura 8.1: Fuente de Alimentación *M10SP3010E*.

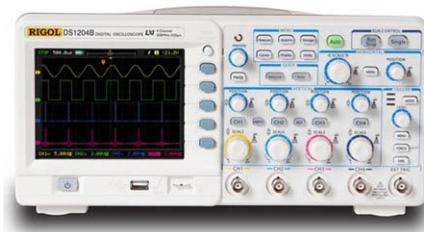


Figura 8.2: Osciloscopio *RIGOL DS1024B*.



Figura 8.3: Osciloscopio *TEKTRONIX TDS1002*.



Figura 8.4: Generador de Funciones *FG 8002*.



Figura 8.5: Multímetro *UT30C*.



Figura 8.6: Multímetro *UT30C*.

8.2. Esquemático

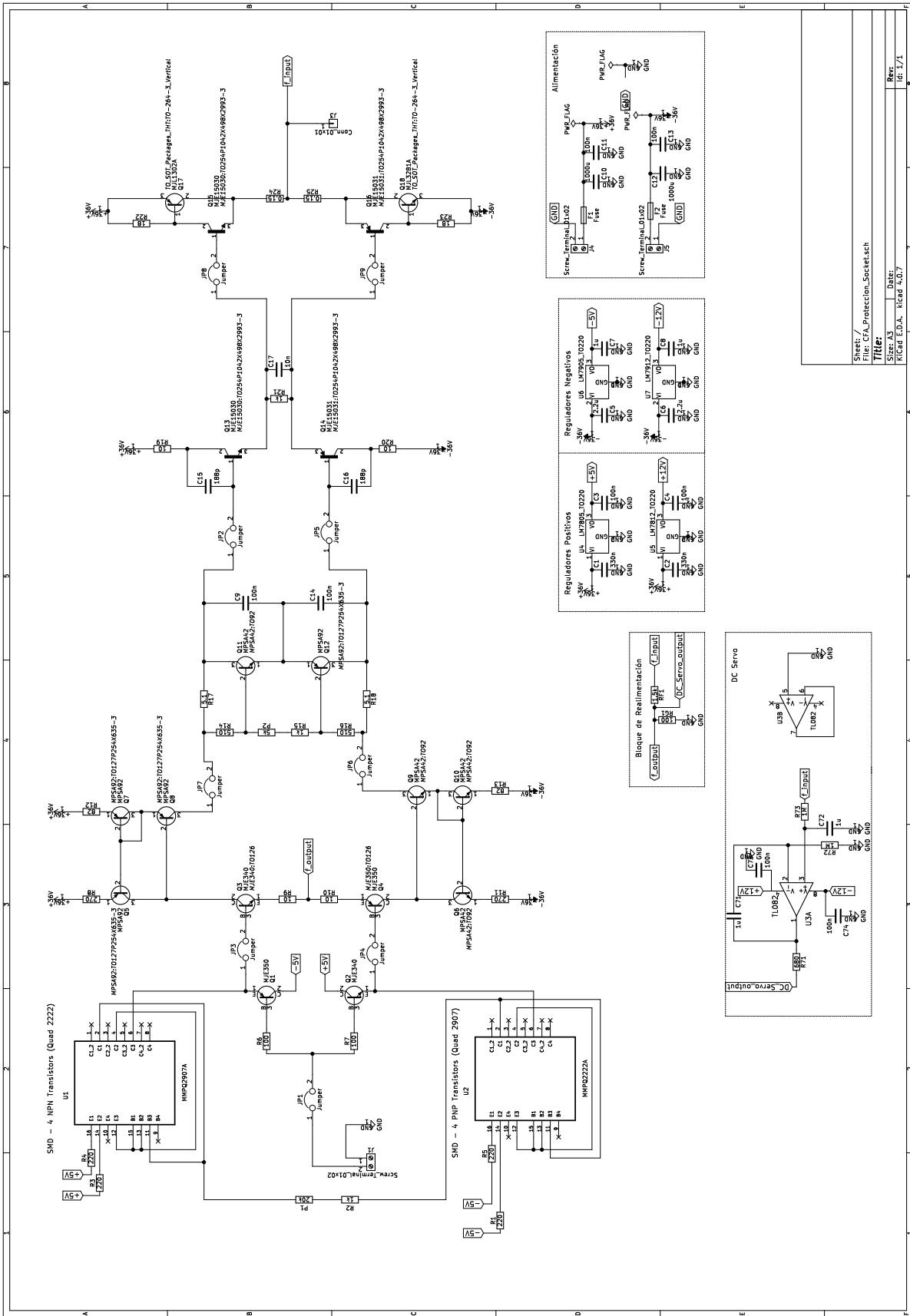


Figura 8.7: Esquemático del *Current Feedback*.

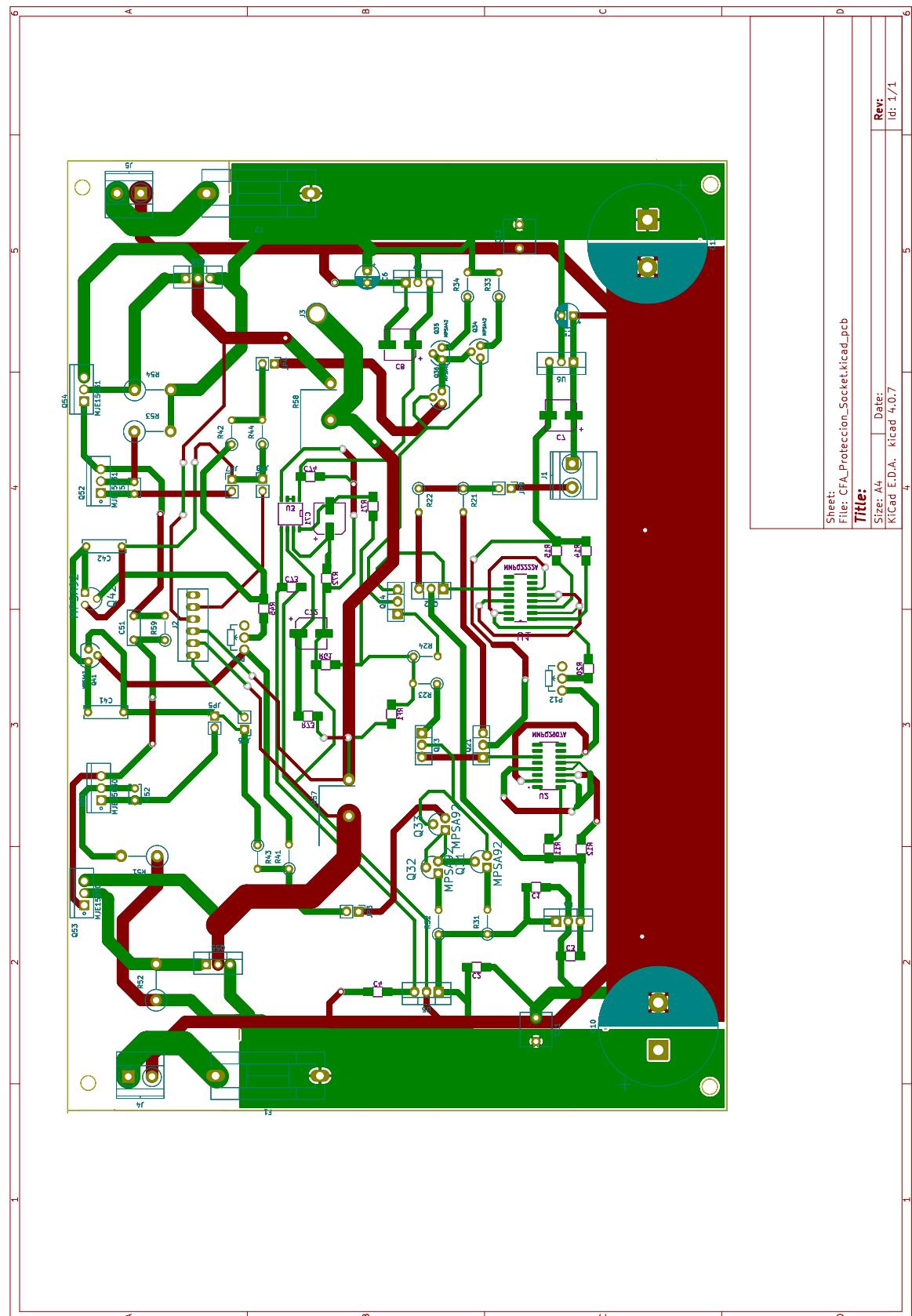


Figura 8.8: Circuito Impreso del *Current Feedback*.

8.3. Lista de Componentes

Componente	Valor	Especificaciones
RG1	100	Resistors_SMD:R_1206_HandSoldering
RF1	1.5k	Resistors_SMD:R_1206_HandSoldering
C72	1u	Capacitors_SMD:CP_Elec_6.3x5.8
R71	680	Resistors_SMD:R_1206_HandSoldering
R72	1M	Resistors_SMD:R_1206_HandSoldering
R73	1M	Resistors_SMD:R_1206_HandSoldering
C1	330n	Capacitors_SMD:C_1206_HandSoldering
C3	100n	Capacitors_SMD:C_1206_HandSoldering
C7	1u	Capacitors_SMD:CP_Elec_6.3x5.8
C5	2.2u	Capacitor_THT:CP_Radial_D5.0mm_P2.50mm
C6	2.2u	Capacitor_THT:CP_Radial_D5.0mm_P2.50mm
C8	1u	Capacitors_SMD:CP_Elec_6.3x5.8
C2	330n	Capacitors_SMD:C_1206_HandSoldering
C4	100n	Capacitors_SMD:C_1206_HandSoldering
C71	1u	Capacitors_SMD:CP_Elec_6.3x5.8
JP6	Jumper	Pin-Headers:Pin_Header_Straight_1x02_Pitch2.54mm
JP7	Jumper	Pin-Headers:Pin_Header_Straight_1x02_Pitch2.54mm
JP3	Jumper	Pin-Headers:Pin_Header_Straight_1x02_Pitch2.54mm
JP4	Jumper	Pin-Headers:Pin_Header_Straight_1x02_Pitch2.54mm
J1	Screw_Terminal_01x02	TerminalBlock_Phoenix:TerminalBlock_Phoenix_MKDS1.5-2pol
U4	LM7805_TO220	TO_SOT_Packages_THT:TO-220-3_Vertical
U5	LM7812_TO220	TO_SOT_Packages_THT:TO-220-3_Vertical
U6	LM7905_TO220	TO_SOT_Packages_THT:TO-220-3_Vertical
U7	LM7912_TO220	TO_SOT_Packages_THT:TO-220-3_Vertical
C74	100n	Capacitors_SMD:C_1206_HandSoldering
C73	100n	Capacitors_SMD:C_1206_HandSoldering
C12	1000u	Capacitor_THT:CP_Radial_D25.0mm_P10.00mm_SnapIn
C10	1000u	Capacitor_THT:CP_Radial_D25.0mm_P10.00mm_SnapIn
F1	Fuse	Fuse_Holders_and_Fuses:Fuseholder5x20_horiz_SemiClosed_Casing10x25mm
F2	Fuse	Fuse_Holders_and_Fuses:Fuseholder5x20_horiz_SemiClosed_Casing10x25mm
J3	Conn_01x01	Connectors:1pin
C11	100n	Capacitor_THT:C_Rect_L7.0mm_W6.5mm_P5.00mm
C13	100n	Capacitor_THT:C_Rect_L7.0mm_W6.5mm_P5.00mm
J4	Screw_Terminal_01x02	TerminalBlock_Phoenix:TerminalBlock_Phoenix_MKDS1.5-2pol
J5	Screw_Terminal_01x02	TerminalBlock_Phoenix:TerminalBlock_Phoenix_MKDS1.5-2pol
U3	TL082	SMD_Packages:SOIC-8-N

U1	MMPQ2907A	MMPQ2907A:SOIC127P600X175-16N
U2	MMPQ2222A	MMPQ2222A:SOIC127P600X175-16N
R6	100	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R7	100	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R4	220	Resistors_SMD:R_1206_HandSoldering
R3	220	Resistors_SMD:R_1206_HandSoldering
R5	220	Resistors_SMD:R_1206_HandSoldering
R1	220	Resistors_SMD:R_1206_HandSoldering
P1	20k	Potentiometers:Potentiometer_WirePads_Small
Q1	MJE350	MJE350:TO126
Q2	MJE340	MJE340:TO126
JP1	Jumper	Pin-Headers:Pin_Header_Straight_1x02_Pitch2.54mm
R2	1k	Resistors_SMD:R_1206_HandSoldering
R12	82	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R8	270	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R9	10	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P15.24mm_Horizontal
R10	10	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P15.24mm_Horizontal
R11	270	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
Q5	MPSA92	MPSA92:TO127P254X635-3
Q7	MPSA92	MPSA92:TO127P254X635-3
Q8	MPSA92	MPSA92:TO127P254X635-3
Q6	MPSA42	MPSA42:TO92
Q10	MPSA42	MPSA42:TO92
Q9	MPSA42	MPSA42:TO92
R13	82	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
Q3	MJE340	MJE340:TO126
Q4	MJE350	MJE350:TO126
Q11	MPSA42	MPSA42:TO92
Q18	MJL3281A	MJL3281: TO264
Q17	MJL1302A	MJL1302: TO264
P2	5k	Potentiometers:Potentiometer_WirePads_Small

R15	1k	Resistors_SMD:R_1206_HandSoldering
R14	510	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R16	510	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R17	5.1	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
R18	5.1	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
C9	100n	Capacitor_THT:C_Rect_L9.0mm_W2.5mm_P7.50mm_MKT
C14	100n	Capacitor_THT:C_Rect_L9.0mm_W2.5mm_P7.50mm_MKT
Q12	MPSA92	MPSA92:TO127P254X635-3
Q13	MJE15030	MJE15030:TO254P1042X498X2993-3
Q14	MJE15031	MJE15031:TO254P1042X498X2993-3
R21	1k	Resistors_THT:R_Axial_DIN0207_L6.3mm_D2.5mm_P5.08mm_Vertical
C17	10n	Capacitor_THT:C_Rect_L7.2mm_W2.5mm_P5.00mm_FKS2_FKP2_MKS2_MKP2
C16	188p	Capacitors_THT:C_Rect_L4.0mm_W2.5mm_P2.50mm
R20	10	Resistors_THT:R_Axial_DIN0414_L11.9mm_D4.5mm_P7.62mm_Vertical
C15	188p	Capacitors_THT:C_Rect_L4.0mm_W2.5mm_P2.50mm
R19	10	Resistors_THT:R_Axial_DIN0414_L11.9mm_D4.5mm_P7.62mm_Vertical
Q16	MJE15031	MJE15031:TO254P1042X498X2993-3
Q15	MJE15030	MJE15030:TO254P1042X498X2993-3
R24	0.15	Resistors_THT:R_Axial_Power_L48.0mm_W12.5mm_P7.62mm_Vertical
R25	0.15	Resistors_THT:R_Axial_Power_L48.0mm_W12.5mm_P7.62mm_Vertical
R23	18	Resistors_THT:R_Axial_DIN0414_L11.9mm_D4.5mm_P7.62mm_Vertical
R22	18	Resistors_THT:R_Axial_DIN0414_L11.9mm_D4.5mm_P7.62mm_Vertical
Q17	TIP42C	TO_SOT_Packages_THT:TO-220-3_Vertical
Q18	TIP41C	TO_SOT_Packages_THT:TO-220-3_Vertical
JP2	Jumper	
JP5	Jumper	
JP8	Jumper	
JP9	Jumper	

Tabla 8.1: Lista de materiales

8.3.1. Lista de Proveedores

Materiales	Proveedor	Dirección
Transistores y disipadores	GM Electrónica SA	Av. Rivadavia 2458, CABA
Resistores, capacitores, jumpers, AOs, etc.	Microelectrónica Componentes SRL	Pres. Tte. Gral. Perón 1455, CABA
Tornillos, tuercas, arandelas, etc.	Bulonera GATA	Pres. Tte. Gral. Juan Domingo Perón 1314, CABA
Placa doble faz	SYC - Semiconductores y Componentes	Paraná 274, CABA
Componentes extra	Laboratorio Abierto (LABI)	Av.Paseo Colón 850, CABA

Tabla 8.2: Lista de proveedores

8.3.2. Mediciones realizadas durante el coloquio

8.3.3. Ancho de Banda de Potencia

Durante el examen integrador, se realizaron dos mediciones adicionales. La primera corresponde al ancho de banda de potencia. El mismo, durante el proyecto, se había calculado mediante la introducción de una señal cuadrada en la entrada y midiendo la pendiente de la misma. En este caso se introdujo una senoidal de forma tal de obtener la máxima potencia a la salida. Luego, haciendo un barrido en frecuencia, se midió la máxima pendiente a la cual puede trabajar el circuito.



Figura 8.9: Ancho de banda de potencia con senoidal

$$\text{Según la medición, se obtiene un } SR = 19 \frac{V}{\mu s}$$

A partir de este valor, se obtiene el ancho de banda de potencia según la siguiente ecuación.

$$f = \frac{SR}{2 \cdot \pi \cdot \hat{V}_{MAX}} = \frac{19 \frac{V}{\mu s}}{2 \cdot \pi \cdot 25,3v} = 126k \text{ Hz} \quad (8.1)$$

8.3.4. Rechazo a Ruido de Fuente

La segunda medición realizada correspondió al rechazo de ruido de fuente. Para esto, se puso un camino a tierra en la entrada con una resistencia de $10k\Omega$. Luego, en paralelo a una de las fuentes, se introdujo una señal senoidal en serie con un capacitor, de forma tal de no introducir una continua al generador. Luego, se midió en la salida, de forma de ver cuánto se atenuaba este ruido generado. A continuación se ve el resultado.

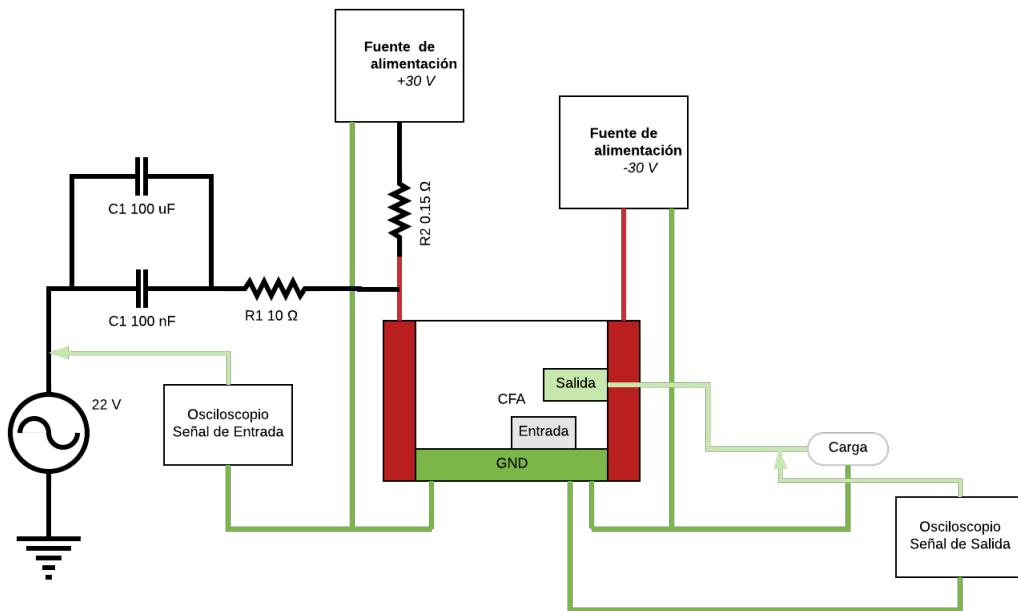


Figura 8.10: Banco de medición para el Rechazo de ruido de fuente.

Componente	Valor	Descripción
R1	10Ω	Aporta ruido a la señal y limita la corriente que absorbe la fuente.
R2	0.15Ω	Aporta ruido a la señal.
C1	$100\mu F$	Desacople de la continua en bajas frecuencias de señal.
C2	$100nF$	Desacople de la continua en altas frecuencias de señal.

Tabla 8.3: Tabla de componentes agregados para la medición de Rechazo de Ruido de la fuente.

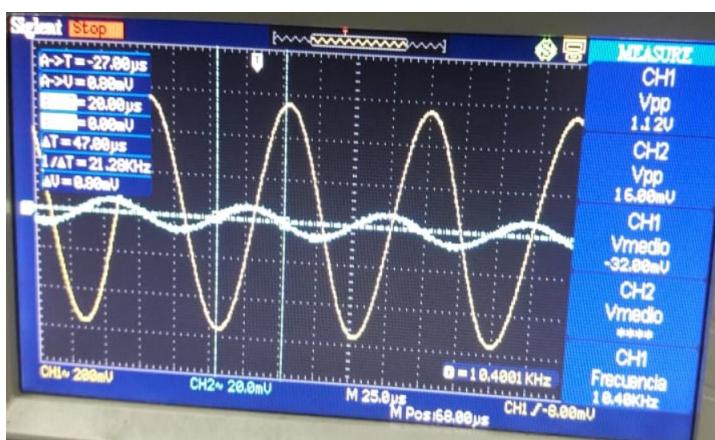


Figura 8.11: Rechazo de ruido de fuente.

Se observa que para los resultados obtenidos, se puede calcular:

$$RRF = 20 \log \frac{V_{ruido}}{V_{o-pp}} = -37dB \quad (8.2)$$

9. Conclusiones

El diseño de amplificadores de audio resulta de un complejo análisis. En este trabajo, se lograron integrar conceptos hasta ahora nunca puestos en práctica, tales como la corrección de offset por efecto del Servo, la utilidad de los buffer en la entrada de los circuitos, como separador de impedancias, la importancia del multiplicador de Vbe, y el consumo de potencia de la etapa de salida de un clase B. Esto ayudó mucho a relevar cada uno de los temas vistos en la materia como también a entenderlos a fondo.

La importancia de este trabajo radicó en entender el funcionamiento de cada etapa, y su función en el circuito. Fundamentalmente, la clave estuvo en pensar al circuito como un sistema por bloques de forma de comprender bien el diseño de un Current Feedback, y sobre todo el lazo de realimentación, el cual juega un rol muy importante. Sobre este, la distinción entre R_f y R_G fue vital para comprender sobre cual se debe hacer un análisis más fino para lograr cumplir las grandes ventajas de este diseño. La elección de R_f significó llegar al objetivo de independizar al ancho de banda de la ganancia del circuito como así también de una velocidad de funcionamiento significativa.

Con larga predisposición y mediante bibliografía y asesoramiento de los docentes se logró con éxito realizar un buen diseño del DC Servo de forma de corregir la desventaja de este modelo, que es el offset a la salida por corrimientos en la entrada. El correcto funcionamiento aseguró una medición fiel para todas las potencias y frecuencias de trabajo.

En cuanto a lo que las frecuencias respecta, el amplificador se piensa para ser utilizado en audio, aunque las especificaciones indicaban lograr un ancho de banda superior a los 500 KHZ. Obviamente, al lograr este objetivo, a pesar de que las frecuencias audibles son mucho menores al límite, se demostró lo que se puede lograr con un diseño moderno.

10. Bibliografía

- Nota técnica: "Current Feedback Amplifiers", Altan Hazneci
- Nota técnica: "An Intuitive Approach To Understanding Current Feedback Amplifiers", Intersil AN9787.1
- Nota técnica: "Analysis and Compensation of Current Feedback Amplifiers", Texas Instruments SLOA021A
- Nota técnica: "Current Feedback Amplifiers", Analog Devices MT-034
- 'Designing Audio Power Amplifiers' - Bob Cordell
- 'Analysis and Design of Analog and Integrated Circuits', Grey-Meyer, 4th edition, 2001
- 'Audio Power Amplifier Design Handbook', Douglas Self, 5th edition, 2009.