



# Sistemas Electrónicos para Automatización

E.T.S.I. Industriales.

Trabajo Final: El PLC.

Departamento de  
Electrónica.



# UNIVERSIDAD DE MÁLAGA

# Trabajo Final: El PLC

1. Introducción.
2. Requerimientos.

# Trabajo Final: El PLC

1. Introducción.
2. Requerimientos.

# 1. Introducción.

- Es sabido que un PLC (**P**rogrammable-**L**ogic **C**ontroller) es un sistema multipropósito para la industria que puede implementar (en su versión puramente digital, ya que los hay con E/S analógica) cualquier FSM que tengan hasta un número máximo de entradas ( $k\_Max$ ), un número máximo de salidas ( $p\_Max$ ) y hasta  $2^{m\_Max}$  estados, es decir, en el mismo sistema hardware se pueden implementar cualquier autómatas por debajo (o igual) a sus restricciones máximas.
- El PLC que se propone lo diseñó un compañero vuestro de SEA del curso 2019/2020 en su versión de Moore y seleccionado por su claridad de código y estilo. Se ha añadido, además lo necesario para que implemente la versión de Mealy. Este código se ha suministrado y funciona correctamente.
- Para este año vais a realizar un análisis del mismo y diseñar solamente el banco de pruebas que demuestre su correcto funcionamiento con la FSM que seleccionasteis para el ejercicio puntuable 2: ***“Diseño, Simulación y Síntesis de una FSM en VHDL”***.

# Trabajo Final: El PLC

1. Introducción.
- 2. Requerimientos.**

# 1. Requerimientos.

- **Estudio previo**: Describid en detalle el PLC cuyo código se suministra, y que no puede ser modificado una vez seleccionado el estilo de FSM: Moore o Mealy, que elegisteis en la 2ª práctica.
- Como parámetros fijos el sistema tendrá  $k_{Max} = 3$  entradas,  $p_{Max} = 4$  salidas y  $m_{Max} = 4$  biestables tal y como aparece en el *package* **Tipos\_FSM\_PLC**. O de otra forma, con independencia de la FSM que se programe, todos tendréis que simular y sintetizar a nivel RTL el PLC con  $k=3(=k_{Max})$  entradas aunque vuestra FSM de ejemplo tenga  $k=1$  entrada;  $p=4(=p_{Max})$  salidas aunque vuestra FSM de ejemplo tenga  $p=2$  salidas; y  $m=4(=m_{Max})$  biestables aunque vuestra FSM de ejemplo tenga  $m=2$  biestables.
- Generar un único proyecto en Vivado que implemente dicho PLC.

# 1. Requerimientos.

- Para la fase de simulación diseñad un único Test Bench con manejo de ficheros (modelo en Tema 5) que ilustre el funcionamiento correcto del sistema con los parámetros fijos para todos  $k=k\_Max$ ,  $p=p\_Max$  y  $m=m\_Max$ : para ello se programarán en las tablas, la FSM de la 2ª práctica ***“Diseño, Simulación y Síntesis de una FSM en VHDL”*** que os corresponda. Generad los rebotes en la señal de Trigger como si fuese un conmutador externo de Pull-Up desde un **proceso**. El único código VHDL que habrá que incluir en la memoria será el del Test Bench diseñado, comentado y correctamente tabulado: **cuidad el estilo de programación**.
- Sintetizad el PLC a nivel RTL (RTL Analysis) para  $k=k\_Max$ ,  $p=p\_Max$  y  $m=m\_Max$ , para comprobar que efectivamente se corresponde con lo que representa.

# 1. Requerimientos.

- Para la memoria (ha de ser en PDF):
    - Elaborar un informe que ilustre el procedimiento de análisis (descripción), simulación (detallando aquí cómo se **programan** las tablas para vuestra FSM) y síntesis de todo el proceso seguido.
    - Podéis utilizar capturas de pantalla (cronogramas de simulación, esquemático RTL), etc.
    - incluir en el PDF el código VHDL del Test Bench diseñado (no hace falta el resto del VHDL, ya que se ha suministrado) y su descripción para el autómata programado en el PLC de la 2ª práctica; la captura del fichero .CSV generado y del fichero original de estímulos en función del retardo.
- Nota: Sólo tenéis que subir un único fichero PDF con los puntos requeridos y que servirá para vuestra exposición individual.