

第一章 计算机组成原理

1.1 选择题

1.1.1 25-王道

- 冯·诺依曼机的基本工作方式是()
A. 控制流驱动方式 B. 多指令多数据流方式
C. 微程序控制器 D. 数据流驱动方式
- ▲ 将高级语言源程序转换为机器级目标文件的程序是()
A. 汇编程序 B. 链接程序 C. 编译程序 D. 解释程序
- 在计算机中,CPU 的 CPI 与下列()因素无关.
A. 时钟频率 B. 系统结构 C. 指令集 D. 计算机组织
- 某计算机主频为 $1GHz$, 程序 P 运行过程中, 共执行了 10000 条指令, 其中,80% 的指令执行平均需要 1 个时钟周期,20% 的指令执行平均需 10 个时钟周期. 程序 P 的平均 CPI 和 CPU 执行时间分别是()
A. 2.8, $28\mu s$ B. 28, $28\mu s$ C. 2.8, $28ms$ D. 28, $28ms$
- 若 X 为负数, 则由 $[X]_{补}$ 求 $[-X]_{补}$ 是将()
A. $[X]_{补}$ 各值保持不变
B. $[X]_{补}$ 符号位变反, 其他位不变
C. $[X]_{补}$ 除符号位外, 其余位取反, 末尾加一
D. $[X]_{补}$ 连同符号位一起变反, 末尾加一

6. 对于相同位数 (设 N 位, 不考虑符号位) 的二进制补码小数和十进制小数, 二进制小数能表示的数的个数/十进制小数所能表示的个数为 ()
- A. $(0.2)^N$ B. $(0.2)^{N-1}$ C. $(0.02)^N$ D. $(0.02)^{N-1}$
7. 设 x 为真值, x^* 为其绝对值, 满足 $[-x^*]_{\text{补}} = [-x]_{\text{补}}$ 当且仅当 x 为 ()
- A. 任意数 B. 正数 C. 负数 D. 以上均不正确
8. ALU 作为运算器的核心部件, 其属于 ()
- A. 时序逻辑电路 B. 组合逻辑电路 C. 控制器 D. 寄存器
9. 在串行进位的并行加法器中, 影响加法器运算速度的关键因素是 ()
- A. 门电路的级延迟 B. 元器件速度
C. 进位传递延迟 D. 各位加法器速度的不同
10. 加法器中每位的进位信号由 () 组成
- A. $X_i \oplus Y_i$ B. $X_i Y_i$ C. $X_i Y_i C_i$ D. $X_i + Y_i + C_i$
11. 一个 8 位寄存器内的数值为 1100 1010 进位标志位寄存器 C 为 0, 若将此 8 位寄存器循环左移 1 位后, 则该寄存器和标志寄存器的值分别为 ()
- A. 1001 0100, 1 B. 1001 0101, 0 C. 1001 0101, 1 D. 1001 0100, 0
12. 设机器数字长 8 位 (含一位符号位), 若机器数为 BAH 为原码, 算术左移 1 和算术右移 1 位分别得 ()
- A. $F4H, EDH$ B. $B4H, 6DH$ C. $74H, DDH$ D. $B5H, EDH$
13. 关于模 4 补码, 下列说法中正确的是 ()
- A. 模 4 补码和模 2 补码不同, 它不容易检查乘除运算中的溢出问题
B. 每个模 4 补码存储时只需要存储一位符号位
C. 存储每个模 4 补码需要存储两个符号位
D. 模 4 补码, 在算术与逻辑部件中为一个符号位

14. 在原码一位乘法中,()
- A. 符号位参与运算
B. 符号位不参与运算
C. 符号位参与运算, 并根据运算结果改变结果中的符号位
D. 符号位不参与运算, 并根据运算结果改变结果中的符号位
15. ◆ 某计算机字长为 8 位,CPU 中有一个 8 位加法器. 已知无符号数 $x = 69, y = 38$, 如果在该加法器中计算 $x - y$, 则加法器的两个输入端入端信息和低位进位信息分别是 ()
- A. 0100 0101, 0010 0110, 0
B. 0100 0101, 1101 1001, 1
C. 0100 0101, 1101 1010, 0
D. 0100 0101, 1101 1010, 1
16. 某计算机中有一个 8 位加法器, 带符号整数 x 和 y 的机器数用补码表示, $[x]_{\text{补}} = F5H$
 $[y]_{\text{补}} = 7EH$ 如果在该加法器中计算 $x - y$, 则加法器的低位进位输入信息和运算后的溢出标志 OF 分别是 ()
- A. 1,1
B. 1,0
C. 0,1
D. 0,0
17. ▲ 某计算机存储器按字节编制, 采用小端方式存放数据. 假定编译器规定 `int` 型和 `short` 型长度分别为 32 位和 16 位并且数据按边界对齐存储. 某 C 语言程序段如下

```
struct {  
    int a;  
    char b;  
    short c;  
}record;  
record.a = 273;
```

若 `record` 变量的首地址为 `0xC008` 地址 `0xC008` 中的内容及 `record.c` 的地址分别是 ()

- A. `0x00, 0xC00D` B. `0x00, 0xC00E` C. `0x11, 0xC00D` D. `0x11, 0xC00E`
18. ▲ 有如下 C 语言序段:

```
short si = -32767;  
unsigned short usi = si;
```

这执行上述两条语句后,usi 的值是 ____

19. 某计算机字长为 32 位,按字节编址,采用小端方式存放数据,假定有一个 *double* 型变量,其机器数表示为 1122 3344 5566 7788H,存放在以 0000 8040H 开始的连续存储单元中,则存储单元 0000 8046H 中存储的是 ()
- A. 22H B. 33H C. 77H D. 66H
20. 在规格化浮点运算中,若浮点数 $2^5 \times 1.10101$,其中尾数为补码表示,则该数 ()
- A. 不需要规格化 B. 需要右移规格化
C. 需将尾数左移一位规格化 D. 需将尾数左移二位规格化
21. 某浮点机,采用规格化浮点数表示,阶码用移码表示 (最高位表示符号位),尾数用原码表示,下列 () 表示不是规格化浮点数
- A. 1111111, 1.10000...000 B. 0011111, 1.0111...01
C. 1000001, 0.11111...111 D. 0111111, 0.100000000
22. 下列关于对阶操作说法正确的是 ()
- A. 在浮点数加减运算对阶操作中,若阶码减少,则尾数左移
B. 在浮点数加减运算对阶操作中,若阶码增大,则尾数右移;若阶码减少,则尾数左移
C. 在浮点数加减运算对阶操作中,若阶码增大,则尾数右移
D. 以上说法都不对
23. 浮点数的 IEEE 754 标准规定的 64 位浮点数格式中,符号位为 1 位,阶码为 11 位,尾数为 52 位,则它能表达的最小规格化负数为 (),最大规格化负数为 (),最小规格化正数为 (),最大规格化正数为 ()
24. 采用规格化的浮点数最主要是为了 ()
- A. 增加数据的表示范围 B. 方便浮点运算
C. 防止运算时数据溢出 D. 增加数据的表示精度
25. 设浮点数共 12 位,其中阶码以 4 位补码表示 (1 位符号),尾数用 8 位补码表示 (1 为符号).则该规格化浮点数所能表示的最大正数为 ()

26. 若浮点数的尾数用补码表示, 则下列 () 中的尾数是规格化形式

- A. 1.11000 B. 0.01110 C. 0.01010 D. 1.00010

27. 设浮点数的基数为 4, 尾数用原码表示, 则以下 () 是规格化的数

- A. 1.001101 B. 0.001101 C. 1.011011 D. 0.000010

28. 下列关于舍入的说法, 正确的是 (多选)()

- (1) 不仅仅只有浮点数需要舍入, 定点数在运算时也可能舍入
- (2) 在浮点数舍入中, 只有左规格化时可能舍入
- (3) 在浮点数舍入中, 只有右规格化时可能舍入
- (4) 在浮点数舍入中, 左, 右规格化时都可能舍入
- (5) 舍入不一定能产生误差

29. ▲ 假定变量 i, f, d 的数据类型分别是 $int, float, double$ (int 用补码表示, 其余用 IEEE 754 浮点数格式), 已知 $i = 785, f = 1.5678E3, d = 1.5E100$, 若在 32 位机器中执行下列关系表达式, 则结果为真的是 (多选)()

- (1) $i == (int)(float)i$
- (2) $f == (float)(int)f$
- (3) $f == (float)(double)f$
- (4) $(d + f) - d == f$

30. ▲ $float$ 类型数据通常用 IEEE 754 单精度格式表示, 若编译器将 $float$ 型变量 x 分配在一个 32 位浮点寄存器 $FR1$ 中, 且 $x = -8.25$ 则 $FR1$ 中的内容是 _____

31. ▲ 下列关于浮点数加减运算中, 正确的是 (多选)()

- (1) 对阶操作不会引起阶码上溢或下溢
- (2) 右规和尾数舍入都可以引起阶码上溢
- (3) 左规时可能引起阶码下溢
- (4) 尾数溢出时结果不一定溢出

32. ◆ -0.4375 的 IEEE 754 单精度浮点数表示为 ()

- A. BEE0 0000H B. BF06 0000H C. BF07 0000H D. C0E0 0000H
33. ▲ 假定用若干 $2K \times 4$ 的芯片组成一个 $8K \times 8$ 的存储器, 则地址 081FH 所在芯片的最小地址是 ()
- A. 0000H B. 0600H C. 0700H D. 0800H
34. ▲ 某计算机存储器按字节编址, 主存地址空间大小为 64MB, 现用 $4M \times 8$ 位的 RAM 芯片组成 32MB 的主存储器, 则存储器地址寄存器 MAR 的位数至少是 ____
35. ▲ 某磁盘的转速为 10000 转/分, 平均寻道时间是 6ms, 磁盘传输速率是 20MB/s 磁盘控制器延迟为 0.2ms, 读取一个 4KB 的扇区所需要的平均时间约为 ()
- A. 9ms B. 9.4ms C. 12ms D. 12.4ms
36. ▲ 假设主存地址为 32 位, 按字节编址, 主存和 Cache 之间采用直接映射方式, 主存块大小为 4 个字, 每个字 32 位, 采用回写方式, 则能存放 4K 字数据的 Cache 总容量的位数至少是 ()
- A. 146K B. 147K C. 148K D. 158K
37. ◆ 一个计算机系统采用 32 位单字长指令, 地址码 12 位, 若定义了 250 条二地址指令, 则还可以有 () 单地址指令.
- A. 4K B. 8K C. 16K D. 24K
38. ▲ 下列选项中, 属于指令集体系结构 (ISA) 规定的内容是 (多选)()
- (1) 指令字格式和指令类型
- (2) CPU 的时钟周期
- (3) 同样寄存器个数和位数
- (4) 加法器的进位方式
39. ▲ 设计某指令系统时, 假设采用 16 位定长指令格式, 操作码使用拓展编码方式, 地址码为 6 位, 包括零地址, 一地址和二地址三种指令. 若二地址指令有 12 条, 一地址指令有 254 条, 则零地址指令的条数最多为 ()
- A. 0 B. 2 C. 64 D. 128
40. 指令系统中采用不同寻址方式的目的是 ()
- A. 提供拓展操作码的可能性并降低译码难度

- B. 可缩短指令字长, 托大寻址空间, 提高编程的灵活性
- C. 实现程序控制
- D. 三者都正确
41. 简化地址结构的基本方法是尽量采用 ()
- A. 寄存器寻址 B. 隐含寻址 C. 直接寻址 D. 间接寻址
42. 在多道程序设计中, 最重要的寻址方式是 ()
- A. 相对寻址 B. 间接寻址 C. 立即寻址 D. 按内容寻址
43. 设相对寻址的转移指令占 3B, 第一字节为操作码, 第二、三字节为相对位移量 (补码表示), 而且数据在存储器中采用以低字节为字地址的存放方式。每当 CPU 从存储器取出一字节时, 即自动完成 $(PC)+1 \rightarrow PC$ 。若 PC 的当前值为 240 (十进制), 要求转移到 290 (十进制), 则转移指令的第二、三字节的机器代码是 (); 若 PC 的当前值为 240 (十进制), 要求转移到 200 (十进制), 则转移指令的第二、三字节的机器代码是 ()。
- A. 2FH, FFH B. D5H, 00H C. D5H, FFH D. 2FH, 00H
44. 某计算机有 16 个通用寄存器, 采用 32 位定长指令字, 操作码字段 (含寻址方式位) 为 8 位, Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任意一个通用寄存器, 且偏移量用补码表示, 则 Store 指令中偏移量的取值范围是 ()
- A. $-32768 \sim +32767$ B. $-32767 \sim +32768$
- C. $-65536 \sim +65535$ D. $-65535 \sim +65536$
45. 按字节编址的计算机中, 某 double 型数组 A 的首地址为 2000H, 使用变址寻址和循环结构访问数组 A, 保存数组下标的变址寄存器的初值为 0, 每次循环取一个数组元素, 其偏移地址为变址值乘以 `sizeof(double)`, 取完后变址寄存器的内容自动加 1。若某次循环所取元素的地址为 2100H, 则进入该次循环时变址寄存器的内容是 ()
- A. 25 B. 32 C. 64 D. 100
46. 计算机使用总线结构便于增减外设, 同时 ()
- A. 减少信息传输量 B. 提高信息的传输速度
- C. 减少信息传输线的条数 D. 提高信息传输的并行性

47. 间接寻址第一次访问内存所得到的信息经系统总线的 () 传送到 CPU
- A. 数据总线 B. 地址总线 C. 控制总线 D. 总线控制器
48. 在单机系统中, 三总线结构计算机的总线系统组成是 ()
- A. 片内总线, 系统总线和通信总线
B. 数据总线, 地址总线和控制总线
C. DMA 总线, 主存总线和 I/O 总线
D. ISA 总线, VESA 总线和 PCI 总线
49. ◆ 假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 DDR3-1333, 即内存条所接插的存储器总线的工作频率为 1333MHz, 总线宽度为 64 位, 则存储器总线的总线带宽大约是 ()
50. 在不同速度的设备之间传输数据, ()
- A. 必须采用同步控制方式
B. 必须采用异步控制方式
C. 可以选用同步控制方式, 也可以选用异步控制方式
D. 必须采用应答方式
51. 在异步总线中, 传送操作 ()
- A. 由设备控制器控制 B. 由 CPU 控制
C. 有统一时序信号控制 D. 按需分配时间
52. ◆ 下列关于总线的叙述中, 错误的是 ()
- A. 总线是在两个或多个部件间进行数据交换的传输介质
B. 同步总线由时钟信号定时, 时钟频率不一定等于工作频率
C. 异步总线由握手信号定时, 一次握手过程完成一位数据传送
D. 突发 (Burst) 传送总线事务可以在总线上连续传送多个数据
53. 下列关于 I/O 端口和接口的说法中, 正确的是 ()

- A. 按照不同的数据传送格式, 可将接口分为同步传送接口和异步传送接口
 - B. 在统一编址方式下, 存储单元和 I/O 设备是靠不同的地址线来区分的
 - C. 在独立编址方式下, 存储单元和 I/O 设备是靠不同的地址线来区分的
 - D. 在独立编址方式下,CPU 需要设置专门的输入/输出指令的访问端口
54. 在统一编址情况下, 就 I/O 设备而言, 其对应的 I/O 地址说法错误的是 ()
- A. 要求固定的地址高端
 - B. 要求固定的地址地段
 - C. 要求相对固定在地址的某部分
 - D. 可以任意在地址的任何地方
55. 磁盘驱动器向盘片磁道记录数据时采用 () 方式写入
- A. 并行
 - B. 串行
 - C. 并行-串行
 - D. 串行-并行
56. ♦I/O 指令实现的数据传送通常发生在 ()
- A. I/O 设备和 I/O 端口之间
 - B. 通用寄存器和 I/O 设备之间
 - C. I/O 设备和 I/O 端口之间
 - D. 通用寄存器和 I/O 端口之间
57. 下列选项中, 不属于 I/O 接口的是 ()
- A. 磁盘驱动器
 - B. 打印机适配器
 - C. 网络控制器
 - D. 可编程中断控制器
58. 以下说法中, 错误的是 ()
- A. 中断服务程序一般是操作系统模块
 - B. 中断向量方法可提高中断源的识别速度
 - C. 中断向量地址是中断服务程序入口地址
 - D. 重叠处理中断现象称为中断嵌套
59. 关于程序中断和 DMA 方式叙述, 错误的是 ()
- (1) DMA 的优先级比程序中断的优先级更高
 - (2) 程序中断方式需要保护现场,DMA 方式不需要包含现场

(3) 程序中断方式的中断请求是为了报告 CPU 数据的传输结束, 而 DMA 方式的中断请求完全是为了传送数据

- A. 2 B. 2,3 C. 3 D. 1,3

60. 中断响应优先级由高到低次序应该使用 ()

- A. 访管, 程序性, 机器故障 B. 访管, 程序性, 重新启动
C. 外部, 访管, 程序性 D. 程序性, I/O, 访管

61. 在具有中断向量表的计算机中, 中断向量地址是 ()

- A. 子程序入口地址 B. 中断服务程序入口地址
C. 中断服务程序入口地址的地址 D. 中断服务断点

62. 在配有通道的计算机系统, 用户程序需要输入/输出时, 引起中断的是 ()

- A. 访管中断 B. I/O 中断 C. 程序性中断 D. 外中断

63. 在中断响应周期中, CPU 主要完成的工作是 ()

- A. 关中断, 保护断点, 发中断响应信号并形成向量地址
B. 开中断, 保护断点, 发中断响应信号并形成向量地址
C. 关中断, 执行中断服务程序
D. 开中断, 执行中断服务程序

64. 设置中断屏蔽标致可以改变 ()

- A. 多个中断源的中断请求优先级 B. CPU 对多个中断请求响应的优先次序
C. 多个中断服务程序开始执行的顺序 D. 多个中断服务程序执行完的次序

65. 下列叙述中, () 是正确的

- A. 程序中断方式和 DMA 方式中实现数据传送都需要中断请求
B. 程序中断方式中有中断请求, DMA 方式中没有中断请求
C. 程序中断方式和 DMA 方式都有中断请求, 但目的不同
D. DMA 要等指令周期结束时才可以进行周期窃取

66. 以下关于 DMA 方式进行 I/O 的描述中, 正确的是 ()
- A. 一个完整的 DMA 过程, 不仅有 DMA 控制器控制, 部分有 CPU 控制
 - B. 一个完整的 DMA 过程, 完全有 CPU 控制
 - C. 一个完整的 DMA 过程, 完全由 DMA 控制器控制,CPU 不介入任何控制
 - D. 一个完整的 DMA 过程, 完全由 CPU 采用周期挪用控制
67. 以下有关 DMA 方式的叙述中, 错误的是 ()
- A. 在 DMA 方式下,DMA 控制器向 CPU 请求的是总线使用权
 - B. DMA 方式可用键盘和鼠标的数据输入
 - C. 在数据传输阶段, 不需要 CPU 介入, 完全由 DMA 控制器控制
 - D. DMA 方式要用中断处理
68. ◆ 某计算机有五级中断 $L_4 \sim L_0$, 中断屏蔽字为 $M_4M_3M_2M_1M_0$, $M_i = 1 (0 \leq i \leq 4)$ 表示队 L_i 级中断进行屏蔽, 若中断响应优先级从高到低的顺序是 L_4, L_0, L_2, L_1, L_3 则 L_1 的中断处理程序中设置的中断屏蔽字是 _____
69. ◆ 下列关于中断 I/O 方式和 DMA 方式比较的叙述中, 错误的是 ()
- A. 中断 I/O 方式请求的 CPU 控制时间,DMA 方式请求的总线控制权
 - B. 中断响应发生在一条指令执行结束后,DMA 响应发生在一条总线事务后
 - C. 中断 I/O 方式下数据传输通过软件完成,DMA 方式下的数据有硬件完成
 - D. 中断 I/O 方式适用于所有外部设备,DMA 方式适用于快速外部设备
70. ◆ 若某设备中断请求的响应和处理时间为 $100ms$, 每 $400ns$ 发出一次中断请求, 中断响应所允许的最长延迟的时间 $50ns$, 则在该设备持续工作过程中,CPU 用于该设备的 I/O 时间占 CPU 时间的百分比至少是 ()
- A. 12.5% B. 25% C. 27.5% D. 50%
71. ◆ 若某设备以中断方式与 CPU 进行数据交换,CPU 主频为 $1GHz$, 设备接口中的数据缓冲寄存器为 32 位, 设备的数据传输率为 $50kb/s$. 若每次中断开销 (包含中断响应与中断处理) 为 1000 个时钟周期, 则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比至多是 ()

- A. 1.25% B. 2.5% C. 5% D. 12.5%

72. ◆ 若设备采用周期挪用 DMA 方式进行输入和输出, 每次 DMA 传送的数据块大小为 512 字节, 响应的 I/O 接口中有一个 32 位数据缓冲寄存器. 对于数据输入过程, 下列叙述中, 错误的是 ()

- A. 每准备好 32 位数据,DMA 控制器就发出一次总线请求
- B. 相对于 CPU,DMA 控制器的总线使用权的优先级更高
- C. 在整个数据块的传送过程中,CPU 不可以访问主存储器
- D. 数据块传送结束后, 会产生"DMA 传送结束" 中断请求

73. ◆ 下列关于中断 I/O 方式的叙述中, 不正确的是 ()

- A. 适用于键盘, 针式打印机等字符型设备
- B. 外设和主机之间的数据传送通过软件完成
- C. 外设准备数据的时间应小于中断处理时间
- D. 外设为某进程准备数据时 CPU 可运行其他进程

1.1.2 强化 1 000 题

1. 下面各选项不属于指令集架构 ISA 描述的内容是 ()
 - A. 指令的寻址方式
 - B. 指令的操作码的个数
 - C. 乘法器的设计方式
 - D. 通用寄存器组的编号
2. 加法器实现采用并行进位方式还是串行进位方式属于计算机体系结构中的 () 层
3. 下列说法正确的是 ()
 - A. 在冯若依曼计算器中, 指令流是由数据流驱动的
 - B. 执行指令时, 指令在主存中的地址存放在指令寄存器中
 - C. 指令周期是指 CPU 从主存中读出一条指令的时间
 - D. 在单周期的五级流水处理器中, 取指周期的操作与指令的操作码无关
4. $[x]_{\text{补}} = X_0, .X_1X_2 \dots X_n$ 它的模是 ()
5. 数值数据和逻辑数据在形式上没有区别, 计算机区分数值数据和逻辑数据的主要方法是 ()
6. 一个 8 位二进制整数由 2 个 0 和 6 个 1 组成, 采用补码或者移码表示, 则下列说法正确的是 ()
 - A. 若采用移码表示, 偏置值为 127, 则此整数的最小为 -64
 - B. 若采用移码表示, 偏置值为 128, 则此整数的最大为 123
 - C. 若采用补码表示, 则此整数的最小为 -96
 - D. 若采用补码表示, 则此整数的最大为 252
7. 用 12 位补码规格化表示定点小数的时候, 所能表示的正数范围是 ()
8. 在补码的除法运算中, 若采用不恢复余数法, 当余数为负的时候, 下一步操作为 ()
9. 下列关于运算电路正确的是 ()
 - A. 乘法运算电路只能通过加法器和移位器来实现
 - B. 减法运算电路与加法运算电路的硬件结构完全相同

- C. 实现除法运算的电路比乘法电路复杂
- D. 基本运算部件中的全加器不能进行减法运算
10. 下列关于 Booth 补码一位乘法算法的描述中, 错误的是 ()
- A. 符号位与数值位同时进行运算, 无须专门的符号生成部件
- B. 通过循环执行”加/减”和”移位”得到乘积
- C. 有乘数的最低两位决定对部分积和被乘数进行何种运算
- D. 移位时, 将进位位, 部分积和乘积部分一起进行算法右移
11. 对于两个 n 为无符号整数的除法运算, 以下关于不恢复余数算法要点的描述中, 错误的是 ()
- A. 起始时被除数的高位拓展 n 位 0, 以将其拓展为 $2n$ 位无符号整数
- B. 位判断中间余数的正负, 需要在余数寄存器的最高位前添加一位符号位
- C. 至少需要 $n+1$ 次循环执行”加/减”和移位操作才能得到位商
- D. 运算结果一定不会发生溢出, 故无需通过最高位的位商来判断是否溢出
12. 已知无符号数 $X = 10101010B$, $Y = 01010101B$, 若进行 $X - Y$ 则结果为 ()
13. 若浮点数阶码用 4 位移码表示, 尾数用 8 位补码表示 (含符号位), 规格化的正的尾数的范围是 ()
14. 设机器字长为 16 位, 表示浮点数的时候, 阶符占 1 位, 阶码数值占 5 位, 数符占 1 位, 浮点数的阶码和数值部分都用补码表示, 则可以表示的最大值为 ()
15. 设浮点数阶码的基数为 8, 尾数用补码表示, 则下列浮点数尾数中的规格化数是 ()
16. IEEE754 标准提供四种舍入模式, 其中 () 模式平均误差最小
17. 对于 IEEE754 单精度浮点数的对阶过程, 需要计算两个阶码 E_x, E_y 之差的补码 $[\Delta E]_{\text{补}}$, 若 $\Delta \geq 128$ 或者 $\Delta \leq -129$, 则其发生溢出, 假定 $[E_x]_{\text{移}}, [-E_y]_{\text{移}}]_{\text{补}}, [\Delta E]_{\text{补}}$ 的最高有效位分别记作 E_{xs}, E_{ys}, E_{bs} 则相应的溢出判断方程是 ()
18. 下列关于浮点数加减运算中说法正确的是 () (多选)

- A. 当浮点数执行舍入操作时, 会引起阶码下溢
- B. 当浮点数左规引起阶码下溢, 则按照机器零处理
- C. 浮点数执行对阶操作, 不会引起阶码溢出
- D. 单精度浮点数能表示的最大规格化负数为 -2^{-126}
19. 对于 IEEE754 单精度浮点数的对阶过程, 只要对阶时候两个阶码之差的绝对值大于等于 () 就无需后续处理, 直接取阶码大的即可
20. 对于 IEEE754 单精度浮点数 a, b , 假设 $a = 00840000, b = 00800000H$, 则同为 float 浮点数 $c = a - b$ 的机器数是 (), 若 $float\ d = c + b$, 则 $d == a$ 返回 ()
21. 在计算机内部, 浮点数往往采用 IEEE754 格式进行存储, 那么在某计算机中, 浮点数 x 的机器数为 $43322000H$, 浮点数 y 的机器数为 $C14C000H$, 则 $x - y$ 的机器数是 ()
22. 若两个 float 类型的浮点数 x, y , x 的机器数为 $50280001H$, y 的机器数是 $44000000H$, 计算 $z = x + y$ 运算时保留两个附加位采用就近舍入, 则下列说法正确的是 ()(多选)
- A. y 要向 x 对阶
- B. 舍入过程中无进位
- C. 运算无溢出
- D. $z - x == y$ 为真
23. 执行下列 C 语言程序后 i 的值是 ()

```
char c = -1;
unsigned int u = c;
float f = u;
double i = f;
```

24. 假定编译器规定 int 型和 short 型长度分别为 32 位何 16 位, 执行下列 C 语言语句, 得到 y 的机器数是 ()

```
unsigned short x = 65530;
int y = x;
```

25. 判断正误

- A. 模 4 补码与模 2 补码不同, 它更容易检查乘除运算中的溢出问题
 - B. 在小数除法中, 为避免溢出, 要求被除数的绝对值小于除数的绝对值
 - C. 可以通过直接访问标志寄存器, 并修改它的值
 - D. 快速阵列乘法器中的基本部件包括移位器
 - E. 不恢复余数的除法运算不存在恢复余数的操作
 - F. 将补码的符号位改用多位来表示, 就变成了变形补码, 一个用双符号位表示的变形补码 01.1010 是正数
 - G. 所有进位计数制, 其整数部分最低位位权都是 1
 - H. 某 R 进位计数制, 其右边 1 为的权是其相邻右边 1 位权的 R 倍
 - I. 从 int 转换为 float, 数值可能溢出
 - J. 从 int 转换为 double, 数据不会溢出
 - K. 从 double 转换为 float, 数据可能溢出也能舍入
 - L. 从 double 转换为 int, 数据可能舍入
26. Flash 存储器的特点不包括 ()
- A. 非易失性, 断电后数据不丢失
 - B. 可点擦除与编程
 - C. 读操作速度解决 SRAM
 - D. 写比读操作更快
27. 容量 1Mx16 位的 DRAM 存储芯片, 如果采用二维地址结构, 且行地址和列地址的位数相同, 行译码器输出的行选择线有 (), 该芯片的刷新地址计数器是 () 位
28. 有一个 16Kx16 的存储器, 有 4kx4 的 DRAM 芯片 (内部存储阵列为 64x64) 构成, 采用集中刷新, 刷新间隔为 2ms, 存储器的读写周期为 0.5us, 死时间率约为 ()
29. 某机器的主存储器为 32MB, 由若干片 16KB(内部采用 128x128 存储阵列) 的 DRAM 芯片字和位同时扩展构成。若采用集中式刷新方式, 且刷新周期为 2ms, 那么所有存储单元刷新一遍需要 () 个存储周期。
30. 对于某存储芯片, 假定动态刷新间隔为 2ms, 读写周期和刷新周期均为 0.2us, 该芯片中包含 128 行, 每个刷新周期可以完成 1 行存储单元的刷新, 如果该芯片采用异步刷新方式工作, 那么其读写周期和刷新周期可以安排为 ()

- A. 3999 次读写周期后, 安排一次刷新操作
 - B. 2000 次读写周期后, 安排一次刷新操作
 - C. 128 次读写周期后, 安排一次刷新操作
 - D. 64 次读写周期后, 安排一次刷新操作
31. 某容量为 256MB 的存储器由若干 64Kx8 位的 DRAM 芯片构成, 按异步刷新方案, 2ms 内将全部单元刷新一遍。则芯片刷新信号周期时间为 ()
32. 某存储器按字节编址, 地址 0000 ~ FFFFH 为 RAM 区, 若采用 16Kx2 的 RAM 芯片进行设计, 则在字方向和位方向上分别拓展了 () 和 () 倍呢?
33. 假定主存地址空间大小为 1024MB, 按字节编址, 每次读/写操作最多可以一次存取 32 位。不考虑其他因素, 则存储器地址寄存器 MAR 和存储器数据寄存器 MDR 的位数至少应该分别为 () 和 ()
34. 假定 DDR3 SDRAM 芯片内部核心频率为 133.25MHz, 与之相连的存储器总线每次传输 8B, 则下面有关叙述错误的是 ()
- A. 芯片内部 I/O 缓冲采用 8 位预取技术
 - B. 存储器总线每秒传 1066M 次数据
 - C. 存储器总线的时钟频率为 1066MHz
 - D. 存储器总线的带宽大约为 8.5GB/s
35. 某计算机使用 4 体低位交叉编址存储器, 存取周期 $T=80\text{ns}$, 总线启动访问间隔 $\Delta t=20\text{ns}$ 。在存储器总线上出现的主存地址(十进制)序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则总存取时间是 ()。(到最后一次存取的存取周期结束为止)
36. 设存储器容量为 512K 字, 字长 32 位, 模块数 $=8$, 用交叉方式进行组织, 采用突发传送, 一次突发传送 8 个字。存储周期 $T=200\text{ns}$, 数据总线宽度为 32 位, 总线传送周期 $T=50\text{ns}$, 则交叉存储器带宽是 () b/s.
37. 下列关于固态硬盘(SSD)的说法中, 错误的是 ()。(多选)
- A. 固态硬盘不受震动和物理冲击的影响, 更适合移动设备使用.
 - B. 固态硬盘的磨损均衡技术中, 动态磨损均衡比静态磨损均衡技术更先进、表现更优秀.

- C. 固态硬盘的数据存储于 Flash 芯片之中.
- D. 机械硬盘使用的硬盘调度算法不一定适用于固态硬盘.
38. 下列关于固态硬盘 SSD 的说法中, 正确的有 () (多选)
- A. 固态硬盘是基于闪存技术的存储技术
- B. 固态硬盘在写入前必须进行擦除
- C. 固态硬盘的读写性能、使用寿命均优于机械硬盘
- D. 固态硬盘写入时, 总是要选择擦写次数少的存储块
39. 下列关于 cache 的描述中, 正确的是 ()
- A. cache 行越大越好, 这样可以提高 cache 命中率
- B. 直接映射方式无需考虑替换方式
- C. cache 可以看作内存的扩充
- D. 在多级 cache 系统中, 主存侧的 cache 通常将指令和数据分开, 用两个 cache 存储
40. 已知 cache-主存系统效率为 85%, 平均访问时间为 60ns, cache 比主存快 4 倍, 先访问 cache, 未命中再访问主存, 则 cache 命中率是 ().
41. 已知 cache 命中率 $H=0.98$, 主存周期是 cache 的 4 倍, 主存取取周期为 200ns, 先访问 cache, 未命中再访问主存, 则 cache-主存的效率为 ().
42. 有如下 c 语言段, 数组 a 中都是 int 型数据, 数组长度为 72, 每个 int 型数据占 4B, 假定数组 a 在主存中是从 00000000H 开始存储, 其中数据 Cache 采用 4 路组相联, 数据区大小为 256B, cache 行 (主存块) 大小为 16B, 采用 LRU 替换算法该程序段执行前 Cache 为空, 则该程序执行过程中访问数组 a 的 cache 命中率是多少?()
- ```
for(int i = 0; i < 10; ++i)
 for(int j = 0; j < 72; ++j)
 a[j] = a[j] + c;
```
43. 某 32 位计算机的 cache 容量为 16KB, cache 行的大小为 16B, 若主存与 cache 地址映射采用直接映射方式, 则主存地址为 0x1234E8F8 的单元装入 cache 的地址是 ( ).
44. 关于 Cache 的全写法 (写直达法) 和写回法这两种写策略, 以下说法正确的是 ( ).

- A. 采用写回法时, 只有在第一次写入 Cache 时需要写入主存
  - B. 采用全写法时, 写命中时则同时写 Cache 和辅存
  - C. 采用写回法时, 每块 Cache 都需要多加一位辅助位
45. 假定页表有一个控制位 C, 用来表示对应页面是否可在 Cache 缓存.  $C=1$  表示可在 Cache 缓存,  $C=0$  表示不可在 Cache 缓存. 以下关于虚实地址转换时对 C 进行相关处理的描述, 其中错误的是 ( ).
- A. 若装入位为 0, 则无需考虑 C 的取值如何
  - B. 若修改位为 1, 则不管 C 原来的值如何都将其清 0
  - C. 若  $C=0$ , 则根据转换后的地址直接访问主存而不访问 Cache
  - D. 若  $C=1$ , 则根据转换后的地址先到 Cache 中进行访问
46. 假定编译器将赋值语句 " $x=x+3$ ;" 转换为指令 "add xaddt, 3", 其中 xaddt 是 x 对应的存储单元地址, 若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的 TLB, 且 Cache 使用直写方式, 完成该指令的功能, 需要访问主存的次数最少是 ( ) 次.
47. 下列关于 cache 缺失和 TLB 缺失的说法, 错误的是 ( ).
- A. cache 缺失无需进行进程切换
  - B. cache 缺失处理由硬件实现
  - C. TLB 缺失, 需要执行 TLB 缺失异常处理
  - D. TLB 缺失, cache 不一定缺失
48. 以下是有关段式存储管理的叙述, 其中错误的是 ( ).
- A. 段是逻辑结构上相对独立的程序块, 因此段是可变长的
  - B. 按程序中实际的段来分配主存, 所以分配后的存储块是可变长的
  - C. 每个段表项必须记录对应段在主存的起始位置和段的长度
  - D. 分段方式对低级语言程序员和编译器来说是透明的
49. 指令系统的兼容性是指 ( )

- A. 不同计算机的指令系统完全一样
  - B. 同一计算机的指令系统在不同操作系统下都能运行
  - C. 一种计算机的目标程序可以不加修改地在另一种计算机上运行
  - D. 指令系统能同时支持多种高级语言
50. 在指令格式中采用扩展操作码的设计方案是为 ( )
- A. 减少指令字长度
  - B. 增加指令字长度
  - C. 保持指令字长度不变
  - D. 保持指令字长度不变, 而增加寻址空间
51. 零地址的运算类指令在指令格式中不给出操作数地址, 参加的两个操作数来自 ( )
- A. 累加器和寄存器
  - B. 累加器和暂存器
  - C. 堆栈的栈顶和次栈顶单元
  - D. 暂存器和堆栈的栈顶单元
52. 偏移量存储在寄存器中的寻址方式为 ( )
- A. 变址寻址
  - B. 基址寻址
  - C. 相对寻址
  - D. 间接寻址
53. 假设地址为 1200H 的内存单元中的内容为 120CH, 地址为 120CH 的内存单元的内容为 38B8H, 而 38B8H 单元的内容为 88F9H, 下列说法正确的 ( ) (多选)
- A. 操作数采用变址寻址, 变址寄存器中存放内容的值是 12, 指令中的形式地址为 1200H, 那么有效地址为 1212H
  - B. 操作数采用一次间接寻址, 指令中给出的地址码为 120CH, 那么操作数为 38B8H
  - C. 操作数采用寄存器间接寻址, 指令中给出的寄存器编号为 8, 8 号寄存器的内容为 1200H, 有效地址为 120CH

54. 以下关于 CISC 和 RISC 的说法, 正确的是 ( )
- A. CISC 更适合用于对性能要求高的实时系统
  - B. RISC 的硬件实现复杂度比 CISC 高
  - C. CISC 的编程灵活性比 RISC 好
  - D. RISC 的指令系统指令数目比 CISC 多
55. 当高级语言中的函数调用转换为机器级代码时, 以下操作顺序正确的是 ( )
- A. 保存现场 → 传递参数 → 执行函数体 → 恢复现场 → 返回
  - B. 传递参数 → 保存现场 → 执行函数体 → 恢复现场 → 返回
  - C. 传递参数 → 执行函数体 → 保存现场 → 恢复现场 → 返回
  - D. 保存现场 → 执行函数体 → 传递参数 → 恢复现场 → 返回
56. 总线中, 有些信息是单向传输的, 有些信息是双向传输的, 下列说法中, 正确的是 ( )
- A. 数据信息是单向传输的, 由内存或者外设传送至 CPU
  - B. 地址信息是单向传输的, 由 CPU 发送至内存或者外设
  - C. 控制信息是单向传输的, 由 CPU 发送至内存或者外设
  - D. 状态信息是双向传输的, 由 CPU 发送至内存或者外设, 也可反向
57. 下列属于 I/O 接口中寄存器的有 ( )
- I. 指令寄存器   II. 控制寄存器   III. 状态寄存器   IV. 地址寄存器   V. 数据缓冲寄存器
- A. I、II、III、V
  - B. II、III、IV
  - C. II、III、V
  - D. II、III、IV、V
58. 独立编址方式下, 可以实现从 I/O 端口到 CPU 寄存器的数据传输的指令是 ( )
- A. OUT 指令
  - B. WRITE 指令
  - C. READ 指令
  - D. IN 指令
59. 下列关于程序查询方式的叙述, 正确的是 ( )

- A. CPU 在与硬盘交换信息时, 一般采用程序查询方式
  - B. 按启动查询方式的不同, 可分为软件查询方式和硬件查询方式
  - C. 适用于鼠标、针式打印机等字符类设备
  - D. CPU 需要一直查询外设的状态, 直到设备准备就绪时才可以进行数据传输
60. 下列关于程序查询方式工作过程的叙述, 正确的是 ( )
- A. 当 CPU 查询到外设状态没有准备就绪时, 会重启外设
  - B. CPU 主要负责启动外设和查询其状态, 不参与数据传送
  - C. 当数据没有传送完时,CPU 必须重启外设, 继续进行下一轮传送
  - D. 每完成一次数据传送后, 会修改主存地址和计数值
61. 在某台计算机中, 处理器的主频为 100 MHz, 处理器与硬盘之间通过程序中断的方式传输数据, 每次最多传送 4 字节数据, 传输速率为 100 KB/s, 每次传输需要 100 个 CPU 时钟周期。那么 CPU 处理硬盘 I/O 的时间占整个 CPU 时间的百分比是 ( )
- A. 0.5%                      B. 2.5%                      C. 4%                      D. 5%
62. 下列关于中断向量的说法, 错误的是 ( )
- A. 中断向量指的是标识中断类型的编号
  - B. 中断向量地址在中断响应阶段由硬件产生
  - C. 中断向量表记录了中断号和中断向量地址的对应关系
  - D. 中断向量表记录了各中断的优先级
63. 关于 DMA 控制器的说法, 错误的是 ( )
- A. 字计数器的作用是记录数据块的长度, 每传送 1 个字 (节), 计数减 1, 到 0 时 DMA 控制器发出 DMA 中断
  - B. DMA 控制器是通过执行 DMA 中断服务程序来完成数据传输的
  - C. 一般要用到两个地址寄存器设置源/目设备地址
  - D. 传输的方向跟控制寄存器有关

64. 以下是有关对 DMA 方式的叙述, 其中正确的有 ( ) 个

I.DMA 方式下, 在主存和外设之间有一条物理通路直接相连

II.DMA 方式一般不用于键盘和鼠标器的数据输入

III. 在进行数据传送之前, 通过硬件完成对 DMA 控制器中各参数寄存器的初始值的设定

IV. 发生缺页中断时, 若在缺页处理程序中将缺页调入内存采用 DMA 方式, 则需要把磁盘物理地址写入 DMA 控制器中的设备地址寄存器 DAR, 把页表基地址写入其主存地址寄存器 AR

V. 在 DMA 的后处理中, 如果还要继续传送, 则不需要再对 DMA 接口进行初始化

VI. 采用周期挪用时, 发生访存冲突时,CPU 在访存事务结束后挪用一個主存存取周期给 DMA

A. 2

B. 3

C. 4

D. 5

65. 中断方式和 DMA 方式是两种典型的 I/O 控制方式。下列关于中断方式与 DMA 方式的说法错误的是 ( )

A. 从本质上讲, 中断方式以软件方式传输数据,DMA 方式以硬件方式传输数据

B. 当 CPU 运行中断处理程序时, 若外设发出 DMA 请求信号, 则 CPU 中断当前中断处理程序的运行, 处理 DMA 请求, 处理完毕后, 继续运行原中断处理程序

C. 对中断请求的响应只能发生在每个指令周期结束时, 对 DMA 请求的响应可以发生在每个总线事务结束后

D. 中断方式传输数据时需要保护原程序的现场,DMA 方式传输数据时无须保护现场

66. DMA 传送过程分为预处理、数据传输和后处理 3 个阶段, 下列操作在数据传输阶段进行的是 ( )

I. 主存地址寄存器的自增和字计数器的自减

II. 确定数据传输方向

III. 校验数据正确性

IV. 设备选择

V.DMA 控制器申请总线控制权

A. I、V

B. I、II、IV

C. I、III、IV

D. II、IV、V

67. DMA 的传送方式可分为停止 CPU 访存、周期挪用、DMA 与 CPU 交替访存 3 种方式。

下列说法错误的是 ( )

- A. 停止 CPU 访存方式适用于高速 I/O 设备进行 DMA 传输
- B. 周期挪用方式适用于 I/O 设备的读写周期大于存取周期的情况
- C. DMA 与 CPU 交替访存适用于总线周期大于存取周期的情况
- D. 周期挪用方法可以兼顾 I/O 传送的及时性和 CPU 访问内存的效率



## 1.2 选择题答案

1. 答案: A; 冯诺依曼体系结构的基本工作方式: 控制流驱动方式; 基本特点: 按地址访问并顺序执行 (存储程序).

2. 答案: C;

| 程序编译过程 | 具体作用                                                        |
|--------|-------------------------------------------------------------|
| 预处理程序  | 展开程序中的宏定义和头文件                                               |
| 编译程序   | 将高级语言转换为编译语言文件 (.s) 或者直接转换为 (.o) 文件                         |
| 汇编程序   | 将汇编语言程序转换为机器语言目标文件 (.o)                                     |
| 链接程序   | 将多个 (.o) 文件链接形成二进制可执行文件                                     |
| 解释程序   | 它一边读取源代码 (或字节码等中间表示一边立即将其翻译成机器能直接执行的指令序列并立即执行, 而不生成单独的可执行文件 |

3. 答案: A

这道题有种高中的时候计算式和决定式的味道了.CPI(每条指令的平均时钟周期数) 只与指令集、系统结构、计算机组织等“每拍做什么”有关; 时钟频率决定“每秒多少拍”. 并不改变一条指令需要多少拍, 因此与 CPI 无关.

4. 答案: A

5. 答案: D

6. 答案: A,  $N$  位二进制小数可以表示的个数为  $1 + 2^0 + 2^1 + \dots + 2^{N-1} = 2^N$ , 十进制小时能表示的个数为  $10^N$ , 二者比值为  $(0.2)^N$ , 这表明**仅有  $(0.2)^N$  的概率一个十进制数可以由二进制数精确表示**

7. 答案: D, 当  $x$  为 0 或者负数的时候成立

8. 答案: B, ALU 是无时钟无寄存器的纯逻辑原件的组合电路

9. 答案: C, 串行进位 (行波进位) 加法器里, 高位的和必须等低位的进位到来才能形成, 因此整个运算时间取决于进位信号从最低位传到最高位所需的时间

10. 答案: B, 进位信号为  $X_i Y_i$ , 向高位输出的信号  $C_{i+1} = X_i Y_i + (X_i + Y_i) C_i$  或者  $C_{i+1} = X_i Y_i \oplus (X_i + Y_i) C_i$  二者等价

11. 答案: C, 注意题干**循环**左移

12. 答案: C, 注意算术右移要填充符号位, 逻辑右移不需要
13. 答案: B, 由于任意一个正确模 4 补码双符号为必然一致, 故存储数值的时候需要 1 位. 但送入 ALU 的时候需要将符号位拓展为双符号位进行计算, 输出结果若正常则存储否则发生溢出进行溢出处理而非被存储.
14. 答案: B, 原码乘法中, 符号位率先计算  $P_n = X_n \oplus Y_n$  (符号位做异或操作)
15. 答案: B, 注意加法器的电路, 运行减法的是否  $sub = 1$ , 并且  $sub$  会与所有  $Y_i$  做异或操作后才进入输入端, 并且不要忘记  $sub$  是需要作为  $C_0$  参与计算, 这一步是为了实现按位取反 +1.
16. 答案: A
17. 答案: D
18. 答案: 32769, 注意到  $2^{15} = 32768$  故  $-32767 = 8001H$ , 转换为无符号数即  $2^{15} + 1 = 32769$
19. 答案: A, 小端法: 低地址存地位; 大端法: 低地址存高位 (和日常书写一致)
20. 答案: C, 补码浮点数的规格化尾数类型为 **1.0xxxx**, 此时只需左移 1 位即可
21. 答案: B, 题目没说按照 IEEE754 的标准, 考虑最简单尾数规格化需要保证第一有效位为 1, 即尾数部分对于整数 0.1xxx, 对于负数 1.1xxxx
22. 答案: C, 浮点数对阶只会使的阶码小的往阶码大的靠齐, 不存在将大阶码降为小阶码的可能性.
23. 答案: (a) 最小规格化负数为 ( $s=1, E=2046$ , 尾数全 1:  $(-1.1111 \dots 1111) \times 2^{2046-1023} = -(2 - 2^{-52}) \times 2^{1023}$ )
- (b) 最大规格化负数为 ( $s=1, E=1$ , 尾数全 0:  $(-1.00000 \dots 000) \times 2^{1-1023} = -2^{-1022}$ )
- (c) 最大规格化正数为 ( $s=0, E=2046$ , 尾数全 1)
- (d) 最小规格化正数为 ( $s=0, E=1$ , 尾数全 0)
24. 答案:  $2^7 - 1$
25. 答案: D, 补码规格化尾数类型为 **1.0xxxx**
26. 答案: C, 基为 4 表明尾数的值要满足  $|M| \in [1/4, 1)$ , 原码表示下只需要保证小数点后两位不全为 0 即可
27. 答案: (5), 浮点数仅在对阶和右规的时候可能发生舍入. 舍入通过设置附件位能保证一定的精度, 并不一定总会丢失精度

28. 答案: 1,3, 想太多并没考虑最简单的思路,int->float 必然会丢失小数,float->double 不会发生精度丢失即可. 此为注意浮点数计算需要对阶,double+float 很可能会吸收掉小数.
29. 答案: C104000H, 需要数量掌握 IEEE754 的转换方法
30. 答案: 1,2,3,4, 浮点数仅当阶码溢出的时候才会发生溢出
31. 答案: A, 首先需要将这个数转换为 IEEE754 的规格化类型  $-1.75 \times 2^{-2}$

## 1.3 综合题答案