

# Informe de Laboratorio 1. Comparación de Tecnología CMOS y TTL

Juan Pablo López Bolívar, Laura Valentina López Vergara, Daniel Castillo Silva

Universidad Nacional de Colombia

Sede Bogotá

julopezbo@unal.edu.co, laulopez@unal.edu.co, dcastillosi@unal.edu.co

## I. RESUMEN:

Durante el desarrollo del presente, se caracterizaron dispositivos lógicos de tecnologías TTL y CMOS con el objetivo de identificar sus principales diferencias. Las mediciones incluyeron parámetros como las tensiones de operación, los tiempos de transición y de retardo, así como las capacidades de fan-in y fan-out. Además, se diseñaron circuitos específicos para cada tecnología, adaptados a sus características de funcionamiento.

Adicionalmente, se implementaron osciladores en anillo basados en compuertas NOT CMOS y TTL, lo que permitió analizar la forma de onda y la frecuencia de oscilación. Los resultados obtenidos demostraron diferencias claras en el desempeño de las tecnologías estudiadas, proporcionando información útil para determinar su aplicación en circuitos digitales.

**Palabras claves:** Circuitos Lógicos, Negador CMOS, Negador TTL, Fan-in, Fan-out, Osciladores de anillo, Tensión, Onda, Osciloscopio, Tiempo.

## II. INTRODUCCIÓN:

La electrónica digital procesa señales discretas a través de circuitos diseñados con tecnologías de fabricación que influyen en sus propiedades operativas. Dos de las tecnologías más empleadas, TTL (Transistor-Transistor Logic) y CMOS (Complementary Metal-Oxide-Semiconductor), poseen diferencias significativas en su diseño, tiempos de respuesta y niveles de tensión, características que determinan su comportamiento y aplicaciones prácticas.

Este laboratorio aborda el análisis comparativo de ambas tecnologías mediante el uso de dispositivos

como el negador TTL 74LS04 y el negador CMOS CD4069. A través de simulaciones y mediciones experimentales, se estudian sus funciones de transferencia, parámetros de operación como las tensiones de entrada y salida características (VIH, VIL, VOH, VOL), y métricas de rendimiento como tiempos de transición y de retardo. Además, se analizan osciladores en anillo implementados con compuertas NOT CMOS y TTL para comprender su comportamiento dinámico y frecuencia de oscilación.

## III. MARCO TEÓRICO:

La electrónica digital se basa en el procesamiento de señales discretas a través de circuitos lógicos implementados mediante tecnologías como CMOS (Complementary Metal-Oxide-Semiconductor) y TTL (Transistor-Transistor Logic) [4]. Ambas tecnologías presentan diferencias clave en términos de niveles lógicos, disipación de potencia, capacidad de carga y parámetros de desempeño como el producto velocidad-potencia (SPP).

Por otro lado, los niveles lógicos son fundamentales para garantizar la operación correcta de los circuitos digitales. En las entradas, VIL es la tensión máxima aceptada como nivel BAJO, y VIH es la tensión mínima para un nivel ALTO. Para dispositivos CMOS operando a 5 V, VIL tiene un máximo de **1,5 V**, mientras que VIH tiene un mínimo de **3,5 V**. Por otro lado, en los dispositivos TTL, VIL alcanza un máximo de **0,8 V** y VIH un mínimo de **2 V**. En las salidas, VOL representa el nivel de tensión BAJO y VOH el nivel ALTO. En

CMOS de 5 V, VOL es de un máximo de **0,33 V**, mientras que VOH tiene un mínimo de **4,4 V**. En TTL, VOL es de hasta **0,4 V** y VOH un mínimo de **2,4 V** [5].

La disipación de potencia (PD) de una puerta lógica incluye componentes estáticas y dinámicas [3] [5]. La potencia estática es predominante en estado de reposo, mientras que la potencia dinámica depende de la frecuencia de conmutación. Para calcular la potencia promedio se utiliza la fórmula:

$$PD = VCC \cdot \frac{ICCH + ICCL}{2}$$

En los dispositivos TTL, la disipación de potencia es prácticamente constante, mientras que en CMOS aumenta con la frecuencia debido a las capacitancias internas.

El fan-out indica el número máximo de entradas que una salida puede excitar sin degradar los niveles lógicos. En TTL, el fan-out está limitado por la corriente que puede suministrar la salida en los estados BAJO (IOL) y ALTO (IOH) en comparación con las corrientes requeridas por las entradas (IIL) y IIH. En CMOS, el fan-out es mucho mayor debido a las altas impedancias de entrada, pero puede depender de la frecuencia debido a los efectos capacitivos [3] [5]. La fórmula general para el cálculo del fan-out en términos de corriente es:

$$Fan - out = \frac{I_{salida}}{I_{entrada}}$$

El fan-out también puede expresarse en términos de **cargas unidad**, donde una carga unidad equivale a la corriente requerida por una entrada estándar dentro de la misma familia de dispositivos. La fórmula es:

$$Cargas\ unidad = \frac{IOL}{IIL}$$

Esto permite calcular el número máximo de compuertas que una salida puede excitar sin comprometer su desempeño.

La función de transferencia de un circuito lógico describe la relación entre los niveles de entrada y salida, permitiendo determinar parámetros clave como VIH, VIL, VOH y VOL. Este análisis es esencial para evaluar si los valores medidos experimentalmente coinciden con los especificados en las hojas de datos.

El producto velocidad-potencia (SPP) es una métrica que combina el tiempo de propagación (tp) y la disipación de potencia (PD), y se utiliza para evaluar el rendimiento de una puerta lógica en términos de velocidad y eficiencia energética [5]. La fórmula utilizada es:

$$SPP = tp \cdot PD \cdot SPP$$

#### IV. RECURSOS REQUERIDOS

- Negador TTL 74LS04
- Negador CMOS CD4069
- Simulador
- Modelos spice
- Datasheets

#### V. PROCEDIMIENTO

##### Parte 1

##### 1. Comparar las especificaciones técnicas de cada uno de los dispositivos mencionados.

A continuación, se presenta una comparación técnica de las especificaciones clave entre el negador TTL 74LS04 y el negador CMOS CD4069, con respecto a la información contenida en las hojas de datos:

Parámetro	SN74LS04 (TTL)	CD4069(CMOS)
Tecnología de fabricación	Transistor-Transistor Logic (TTL)	Complementary Metal-Oxide-Semiconductor (CMOS)

<b>Voltaje de alimentación (Vcc)</b>	4.75 a 5.25 V	3 V a 15 V
<b>Voltaje de entrada alto (VIH)</b>	$\geq 2.0 \text{ V}$	$\geq 0.7 * VDD$ (ej. 3.5 V para VDD = 5 V)
<b>Voltaje de entrada bajo (VIL)</b>	$\leq 0.8 \text{ V}$	$\leq 0.3 * VDD$ (ej. 1.5 V para VDD = 5 V)
<b>Voltaje de salida alto (VOH)</b>	$\geq 2.7 \text{ V}$	$\approx VDD$ (4.95 V para VDD = 5 V)
<b>Voltaje de salida bajo (VOL)</b>	$\leq 0.5 \text{ V}$	$\leq 0.05 \text{ V}$ (para VDD de 5 V)
<b>Corriente de entrada alta (IIH)</b>	20 $\mu\text{A}$	$\leq \pm 0.3 \mu\text{A}$ (típ. 0 $\mu\text{A}$ )
<b>Corriente de entrada baja (IIL)</b>	-0.36 mA	$\leq \pm 0.3 \mu\text{A}$ (típ. 0 $\mu\text{A}$ )
<b>Corriente de salida alta (IOH)</b>	-0.4 mA	$\leq -0.52 \text{ mA}$ (VDD = 5 V)
<b>Corriente de salida baja (IOL)</b>	8 mA	$\leq 0.52 \text{ mA}$ (VDD = 5 V)
<b>Consumo en reposo (ICC)</b>	1.2-6.6 mA (según estado de salida)	1-30 $\mu\text{A}$ (según VDD)
<b>Tiempos de propagación (tPLH, tPHL)</b>	3-15 ns	25-90 ns (dependiendo de VDD)
<b>Fan-out</b>	Hasta 10 cargas TTL estándar	2 cargas L-TTL o 1 carga LS-TTL
<b>Rango de temperatura de operación</b>	0 °C a 70 °C	-40 °C a 85 °C

**Tabla 1.** Comparación de las especificaciones técnicas del CMOS y TTL.

De la información analizada se puede concluir que el CD4069, al ser de tecnología CMOS, admite un

rango de voltaje de alimentación más amplio que el 74LS04 de tecnología TTL, lo que lo hace más versátil para una variedad de diseños.

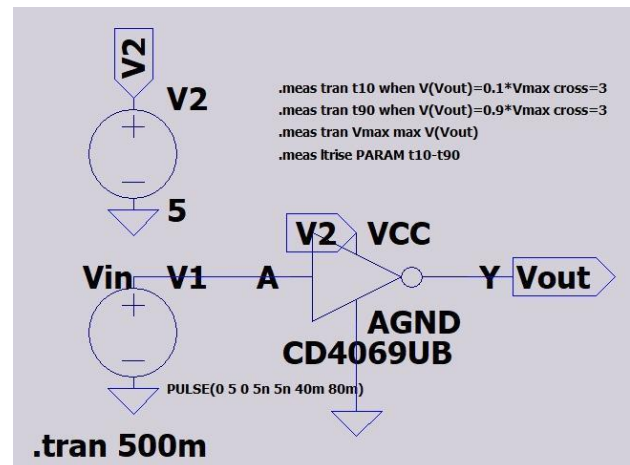
En cuanto a los tiempos de propagación, el TTL es considerablemente más rápido, siendo ideal para aplicaciones que requieren alta velocidad. Sin embargo, el TTL también maneja corrientes de entrada y salida más altas, lo cual es beneficioso en sistemas con mayores requisitos de carga, aunque esto se traduce en un mayor consumo energético.

Por otro lado, el CMOS destaca por su bajo consumo en reposo, lo que lo convierte en una opción más eficiente energéticamente en estados de baja actividad.

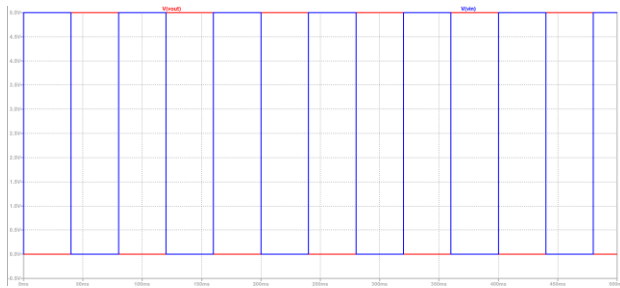
## 2. Determinar el circuito equivalente para cada uno de los dispositivos.

Para determinar el circuito equivalente de cada uno de los dispositivos negadores, se realizó una simulación en LTSpice, para observar el comportamiento de la onda de entrada y salida.

- CD4069UB

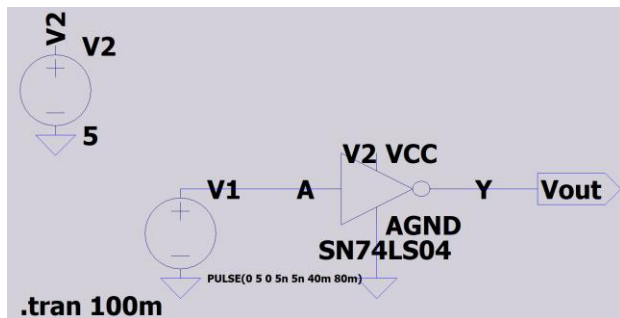


**Figura 1.** Circuito equivalente CD4069UB en LTSPICE.



**Figura 2.** Forma de Onda: Entrada y Salida CD4069UB en LTSPICE.

- SN74LS04



**Figura 3.** Circuito equivalente SN74LS04 en LTSPICE.



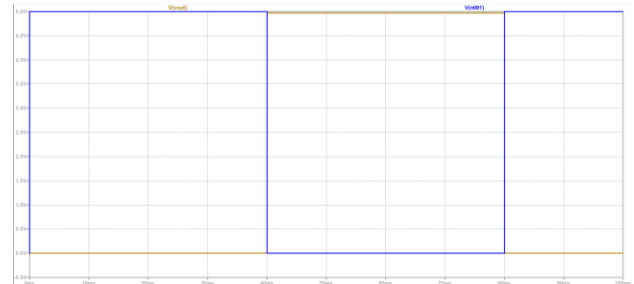
**Figura 4.** Forma de Onda: Entrada y Salida SN74LS04 en LTSPICE.

Con respecto a lo anterior, se puede observar como la señal de entrada de 5V es invertida a la salida con la misma magnitud (5V), lo que confirma el estado inversor de ambos dispositivos.

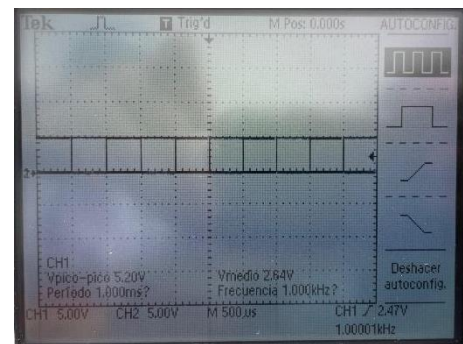
3. Aplicar una señal cuadrada de 1 KHz de tensión adecuada para medir:  $V_{out}$  vs  $V_{in}$  y a partir de la función de transferencia determinar  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$ ,  $V_{OL}$ .

Al aplicar una señal cuadrada de 1KHz, se obtiene que la señal de entrada y salida de los dispositivos TTL y CMOS es respectivamente:

- En el TTL:

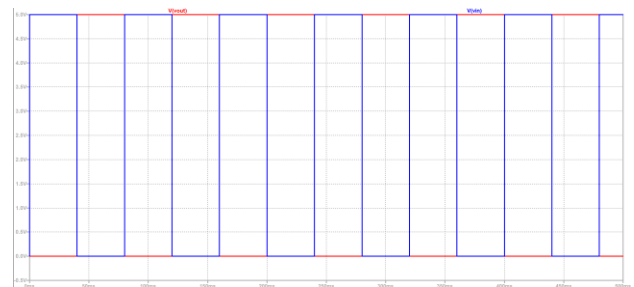


**Figura 5.** Señal de entrada y salida SN74LS04 en LTSPICE.

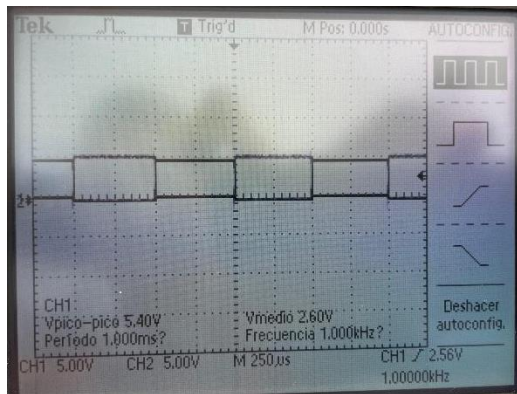


**Figura 6.** Señal de entrada y salida SN74LS04 en el osciloscopio.

- Para el CMOS:



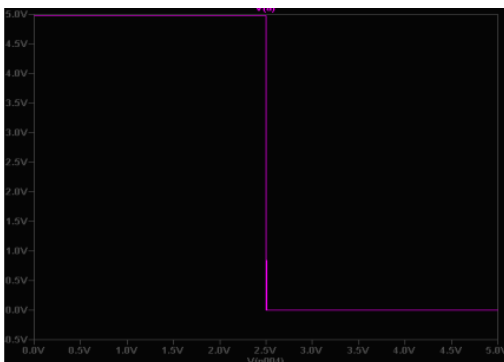
**Figura 7.** Forma de Onda: Entrada y Salida CD4069UB en LTSPICE.



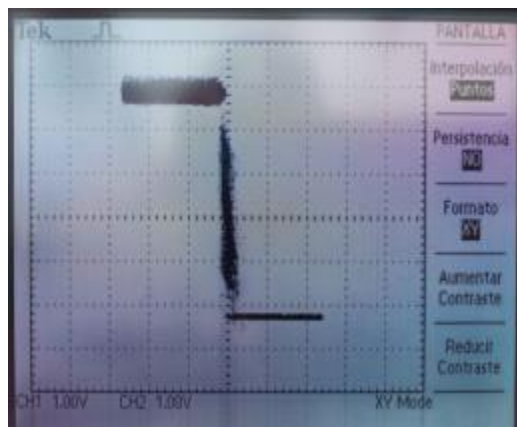
**Figura 8.** Señal de entrada y salida CD4069UB en el osciloscopio.

Posteriormente, a partir de las señales de entrada y salida, se determinó la función de transferencia de cada uno de los dispositivos negadores (TTL y CMOS), lo que permitió identificar los niveles altos y bajos de los voltajes de entrada y salida característicos de cada tecnología.

En el TTL se obtiene la siguiente función de transferencia:

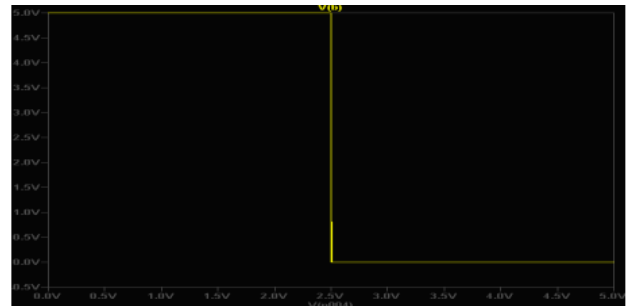


**Figura 9.** Función de transferencia SN74LS04 en LTSPICE.

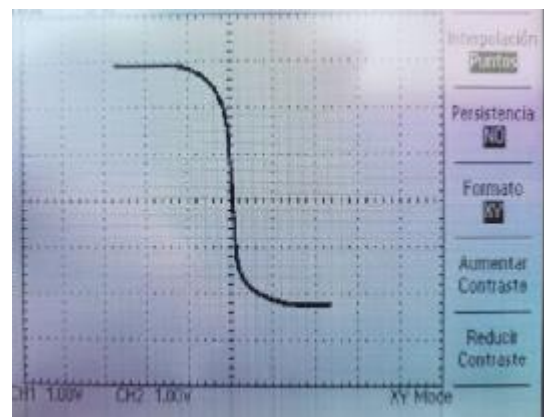


**Figura 10.** Función de transferencia SN74LS04 en el osciloscopio.

De igual manera, para el CMOS la función de transferencia está dada por la siguiente gráfica:



**Figura 11.** Función de transferencia CD4069UB en LTSPICE.



**Figura 12.** Función de transferencia CD4069UB en el osciloscopio.

Es importante destacar que, inicialmente, la función de transferencia presentaba una forma circular, lo cual difería significativamente de los resultados obtenidos en la simulación. Tras analizar la situación, se determinó que este comportamiento se debía a una frecuencia de señal demasiado alta, lo que excedía la capacidad de medición del osciloscopio utilizado. En lugar de una línea recta, la función de transferencia tendía a una transición menos pronunciada entre los niveles lógicos, lo que indicaba que el circuito no está operando en su punto de funcionamiento ideal.

Dado que no fue posible ajustar la configuración del equipo para corregir este problema, fue necesario reemplazar el osciloscopio por uno con un rango de frecuencia adecuado para la medición.



**Figura 13.** Función de transferencia CMOS con una frecuencia alta.

Para determinar los valores de  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$ , y  $V_{OL}$  en el osciloscopio, se realizó un conteo de divisiones verticales en la pantalla, donde cada división correspondía a 1 V. Posteriormente, los valores obtenidos se compararon con las especificaciones proporcionadas en la hoja de datos de cada dispositivo para verificar su correspondencia.

- TTL Osciloscopio:

$V_{IH}$ : 2.258

$V_{IL}$ : 0

$V_{OH}$ : 3.195

$V_{OL}$ : 0.265

- TTL con la hoja de datos:

$V_{IH}$ : 2

$V_{IL}$ : 0

$V_{OH}$ : 3

$V_{OL}$ : 0

- CMOS Osciloscopio:

$V_{IH}$ : 2.356

$V_{IL}$ : 0

$V_{OH}$ : 4.998

$V_{OL}$ : 0

- CMOS con la hoja de datos:

$V_{IH}$ : 2

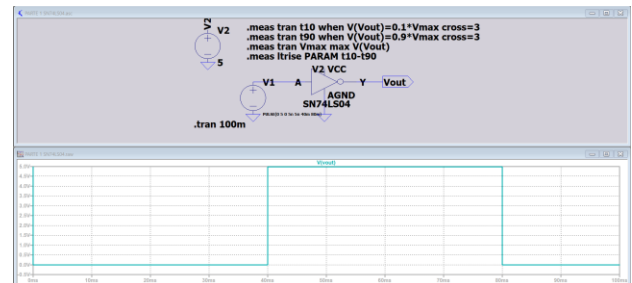
$V_{IL}$ : 0

$V_{OH}$ : 5

$V_{OL}$ : 0

4. Medir el tiempo de subida ( $t_r$ ), tiempo de bajada ( $t_f$ ), tiempo de retardo ( $t_{phl}$  y  $t_{plh}$ ) para cada dispositivo.

Para medir el tiempo de subida y bajada en LTspice, se utilizó el comando *.Meas* para calcular los valores en el 10% y 90% de la señal. Posteriormente, se restaron estos valores para obtener el tiempo de subida y bajada.



**Figura 14.** Simulación del circuito TTL para determinar tiempo de subida y bajada.

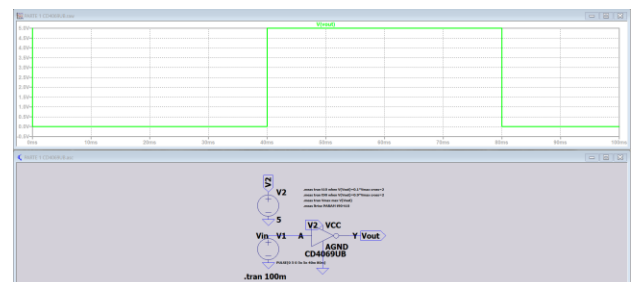
- Tiempo de subida en TTL:

```
t10: v(vout)=0.1*vmax AT 0.08
t90: v(vout)=0.9*vmax AT 0.08
vmax: MAX(v(vout))=4.97543 FROM 0 TO 0.1
ltrise: t90-t10=-5.66191e-009
```

- Tiempo de bajada en TTL:

```
t10: v(vout)=0.1*vmax AT 0.08
t90: v(vout)=0.9*vmax AT 0.08
vmax: MAX(v(vout))=4.97543 FROM 0 TO 0.1
ltrise: t10-t90=5.66191e-009
```

Por su parte, la simulación del CMOS está dada por el siguiente circuito:





**Figura 15.** Simulación del circuito CMOS para determinar tiempo de subida y bajada.

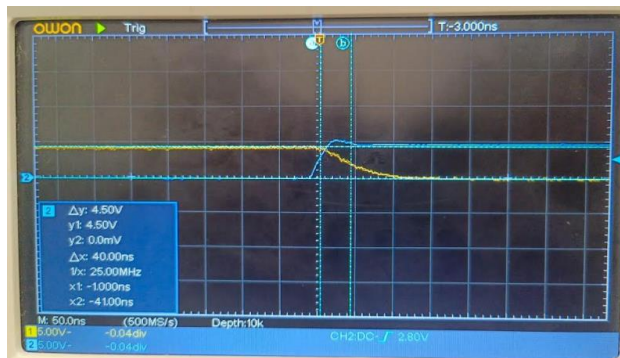
- Tiempo de subida en el CMOS:

```
t10: v(vout)=0.1*vmax AT 0.0400001
t90: v(vout)=0.9*vmax AT 0.0400002
vmax: MAX(v(vout))=5 FROM 0 TO 0.1
ltrise: t90-t10=1.43985e-007
```

- Tiempo de bajada en el CMOS:

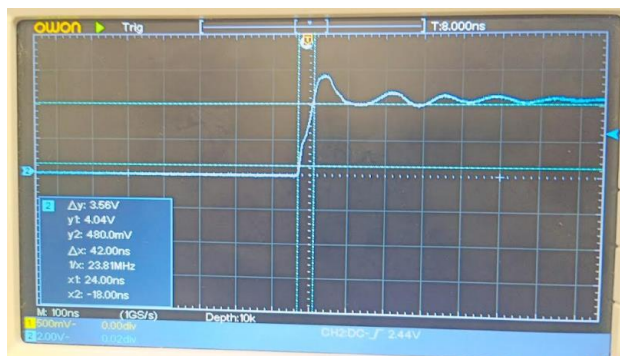
```
t10: v(vout)=0.1*vmax AT 0.0800002
t90: v(vout)=0.9*vmax AT 0.0800001
vmax: MAX(v(vout))=5 FROM 0 TO 0.1
ltrise: t10-t90=1.49625e-007
```

Por su parte, en el osciloscopio, las señales de entrada y salida se superpusieron, y luego se ajustó el tiempo de visualización para observar con mayor precisión los puntos correspondientes al 10% y 90% de la señal, permitiendo así medir los tiempos de subida y bajada de manera visual.



**Figura 16.** Desfase de la señal de entrada y salida en el osciloscopio es de 40 ns.

- Tiempo de subida en el TTL:



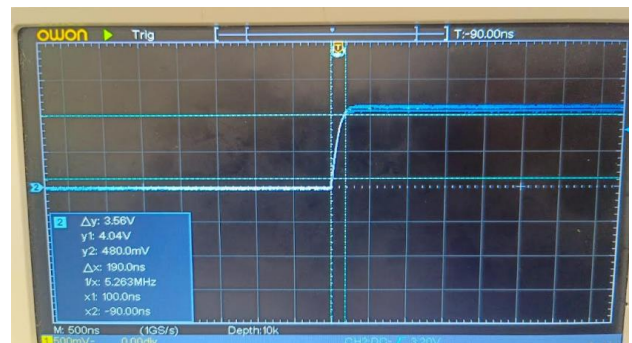
**Figura 17.** Tiempo de subida en el osciloscopio es de 42 ns.

- Tiempo de bajada en el TTL:



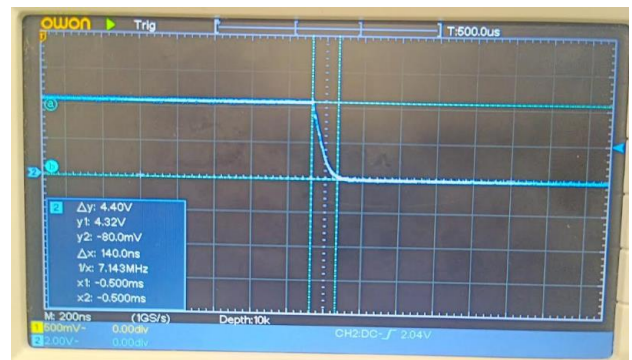
**Figura 18.** Tiempo de bajada en el osciloscopio es de 19 ns.

- Tiempo de subida en el CMOS:



**Figura 19.** Tiempo de subida en el osciloscopio es de 190 ns.

- Tiempo de bajada en el CMOS:



**Figura 20.** Tiempo de bajada en el osciloscopio es de 140 ns

## Parte 2

1. Determinar el fan-in y fan-out de cada uno de los dispositivos.

Inicialmente, el cálculo del **fan-out** se realizó a partir del voltaje, con el objetivo de determinar el número máximo de compuertas que un sistema podía manejar antes de que la señal se degradara, es decir, antes de que alcanzara valores cercanos a 0.

Para ello, se midió la diferencia de voltaje a través de cada una de las seis compuertas del CMOS, observando que, después de cierto número de etapas, el valor de la señal se mantenía constante en 0.7 V. Esto indicó que por cada integrado la señal se degradaba en 0.7 V. Extrapolando esta medida, se llegó a la conclusión de que se necesitaban **7** integrados, es decir 42 compuertas, para que la señal alcanzara 0 V.

$$V_{final} = V_{inicial} - n \times \Delta V$$

$$0 = 5 - n \times 0.7$$

$$n = 7.14 \approx 7$$

Sin embargo, en el caso del TTL, no fue posible realizar este procedimiento debido a la inestabilidad de la señal. Por lo tanto, se optó por utilizar los valores máximos y mínimos de corriente (IOH, IIH, IOL, IIL) proporcionados en el datasheet para calcular el fan-out de manera más precisa.



**Figura 21.** Diferencia de voltaje entre las compuertas del integrado CMOS.

Es por ello que, para el análisis del fan-out, se aplicó una fórmula que relaciona la corriente máxima que una compuerta puede suministrar sin distorsionar su salida con la corriente que requiere una unidad de carga.

#### • **Fan-out en TTL:**

Para este análisis, se utilizó un inversor 74LS04 de tecnología TTL. Los cálculos teóricos se realizaron con los datos proporcionados en el datasheet del fabricante:

- **Estado lógico alto:** La corriente máxima de salida (IOH) es de 0.4 mA, mientras que la corriente requerida por una carga en entrada (IIH) es de 20  $\mu$ A. Usando la fórmula:

$$FanOutAlto = \frac{IOH}{IIH} = \frac{0.4mA}{20 \mu A} = 20$$

Por lo tanto, el fan-out en estado lógico alto es **20**.

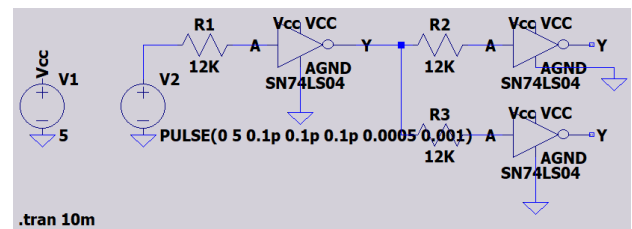
- **Estado lógico bajo:** En este caso, se consideran las corrientes IOL y IIL, con valores de 8 mA y 0.4 mA respectivamente:

$$FanOutbajo = \frac{IOH}{IIL} = \frac{8 mA}{0.4 mA} = 20$$

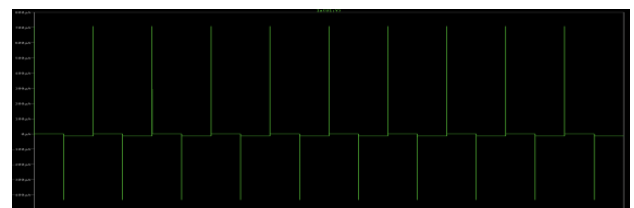
El fan-out en estado lógico bajo también es **20**.

Por ende, el inversor 74LS04 tiene un fan-out teórico de **20** en ambos estados lógicos.

A su vez, se implementó un circuito de entrada y salida que permitan evidenciar su comportamiento.



**Figura 22.** Simulación compuerta TTL con dos unidades de carga.





**Figura 23.** Simulación salida de corriente par compuerta TTL con dos unidades de carga

De igual manera, se realizó una simulación para verificar este valor, conectando diferentes números de unidades de carga a la salida del inversor y midiendo la corriente requerida en cada configuración. A continuación, se resumen los resultados:

Unidades de carga	Corriente medida (A)
1	0.000386909
2	0.000453422
5	0.000678182
12	0.000828296
20	0.000881166
25	0.0009011

Cuadro I

RESULTADOS DE LA SIMULACIÓN DEL FAN-OUT EN TECNOLOGÍA TTL.

Para la compuerta CMOS CD4069UB, se realizaron cálculos similares:

- **Estado lógico alto:** Con  $IOH=0.8\text{ mA}$  e  $IIH=1\text{ }\mu\text{A}$ , el fan-out se calcula de la siguiente manera:

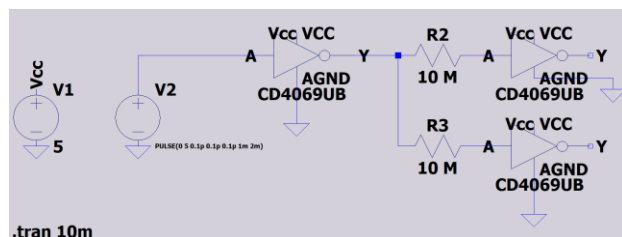
$$FanOutAlto = \frac{IOH}{IIH} = \frac{0.8\text{ mA}}{1\text{ }\mu\text{A}} = 800$$

- **Estado lógico bajo:** Utilizando  $IOL=6.8\text{ mA}$  e  $IIL=1\text{ }\mu\text{A}$ , su cálculo es:

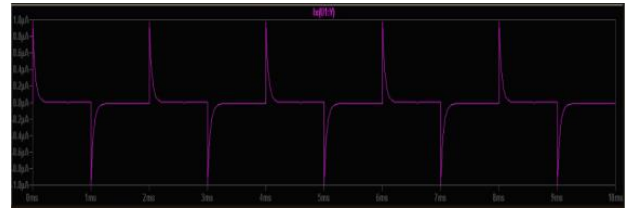
$$FanOutBajo = \frac{IOL}{IIL} = \frac{6.8\text{ mA}}{1\text{ }\mu\text{A}} = 6800$$

El **fan-out general** está limitado por el estado lógico alto, lo que da como resultado un máximo de **800 unidades de carga**.

De igual manera, en la simulación realizada en Spice se obtuvo lo siguiente:



**Figura 24.** Simulación compuerta CMOS con dos unidades de carga.



**Figura 25.** Simulación salida de corriente par compuerta CMOS con dos unidades de carga.

En la simulación, se conectaron resistencias de  $10\text{ M}\Omega$  para modelar las entradas de carga. Los datos obtenidos muestran una tendencia que valida el fan-out calculado teóricamente:

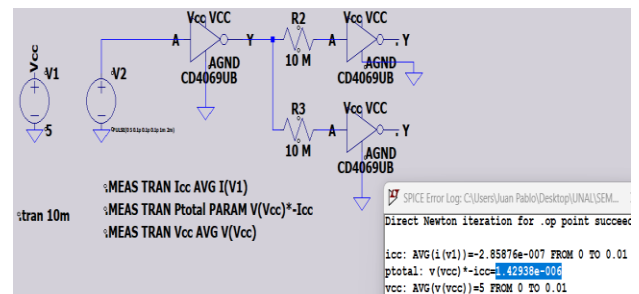
Unidades de carga	Corriente medida (A)
1	0.0000005
5	0.0000025
20	0.00001
50	0.000025

Cuadro II

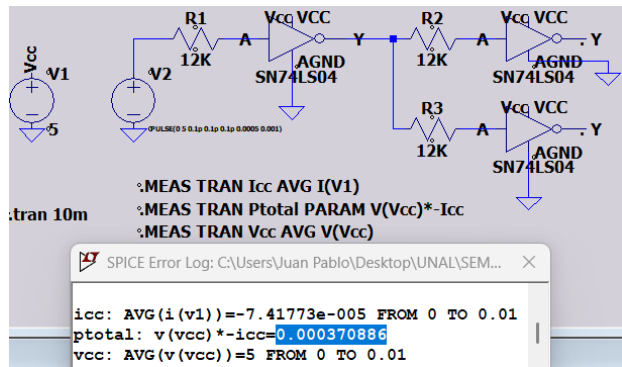
RESULTADOS DE LA SIMULACIÓN DEL FAN-OUT EN TECNOLOGÍA CMOS.

A través de una interpolación, se calcularon los valores correspondientes para FOA = 800 y AOB = 6800, confirmando el fan-out teorico en condiciones prácticas. Ambos dispositivos cumplen con los valores de fan-out esperados en sus respectivas tecnologías (TTL y CMOS). Las simulaciones confirmaron que las corrientes medidas coinciden con los valores teóricos en el rango permitido para garantizar un funcionamiento adecuado.

## 2. Determinar la disipación de potencia.



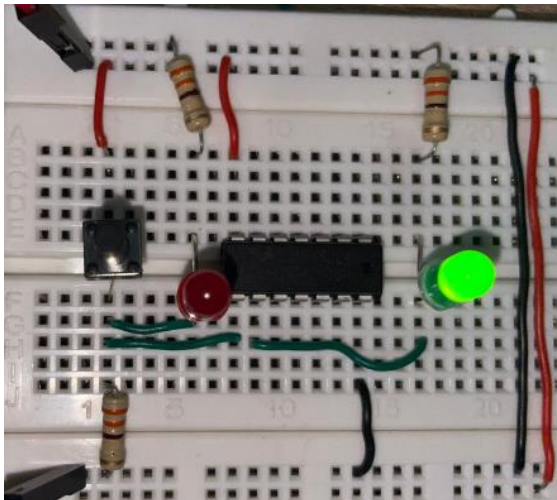
**Figura 26.** Potencia Disipada CD4069UB



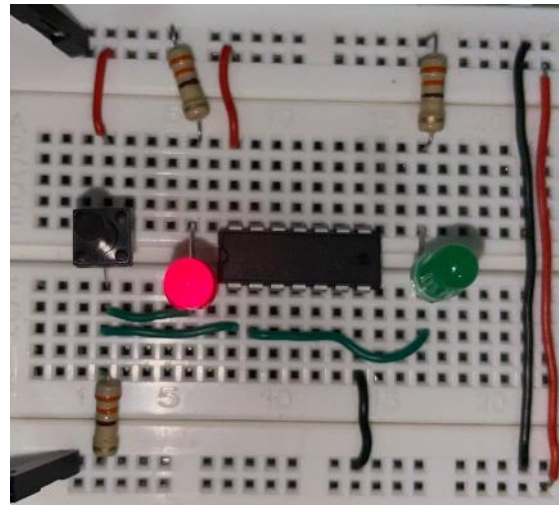
**Figura 27.** Potencia Disipada SN74LS04.

- 3. Proponer e implementar un circuito de entrada y de salida para cada uno de los dispositivos teniendo en cuenta los parámetros de cada tecnología para observar el comportamiento de este.**

Para implementar un circuito de entrada y salida, se utilizó un TTL SN74LS04 conectado a dos LEDs mediante tres resistencias iguales de  $1k\Omega$  y un interruptor en la entrada para alternar el valor lógico de la salida entre 0 y 1.



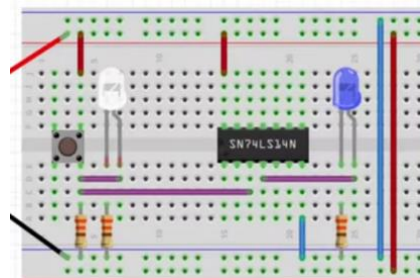
**Figura 28.** Montaje TTL SN74LS04 entrada 0 y salida 1.



**Figura 29.** Montaje TTL SN74LS04 entrada 1 y salida 0.

En el **estado bajo (0)**, cuando el interruptor está abierto, el LED rojo permanece apagado mientras que el LED verde se enciende, indicando que no hay flujo de corriente hacia el LED rojo. Por otro lado, al **cerrar el interruptor** (estado alto, 1), el LED verde se apaga inmediatamente y el LED rojo se enciende, verificando el comportamiento lógico de los inversores. Este diseño demuestra la tabla de verdad de los inversores, ya que, gracias a los LEDs, es posible observar que cuando el estado lógico en la salida es 1 (LED rojo encendido), el estado lógico en la entrada es 0 (LED verde encendido), y viceversa.

Además, el sistema fue simulado en **Tinkercad** para validar la lógica de los inversores. Dado que el SN74LS04 no estaba disponible en la plataforma, se utilizó el inversor SN74LS14N como sustituto, ya que cumple la misma función lógica. Esto permitió confirmar el principio de operación del circuito, garantizando la coherencia de los resultados tanto en la práctica como en la simulación.

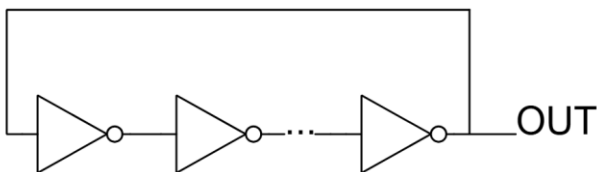


**Figura 30.** Simulación TTL SN74LS14N en Thinkercard.

### Parte 3

#### 1. Estudie el oscilador en anillo basado en la compuerta NOT.

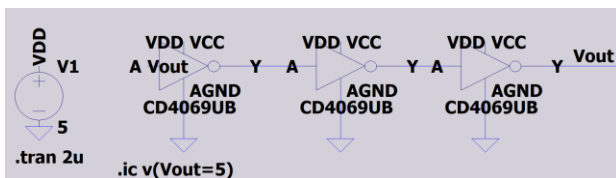
El oscilador en anillo funciona mediante la retroalimentación entre las compuertas lógicas, y la entrada de una compuerta es efectivamente la salida de la anterior, lo que genera una señal oscilante. Solo es necesario un suministro de voltaje para alimentar el circuito, sin necesidad de una señal de entrada adicional. El comportamiento observado en el osciloscopio será una **onda con tendencia a una forma cuadrada** cuya frecuencia está determinada por el número de compuertas en el anillo y sus tiempos de propagación.



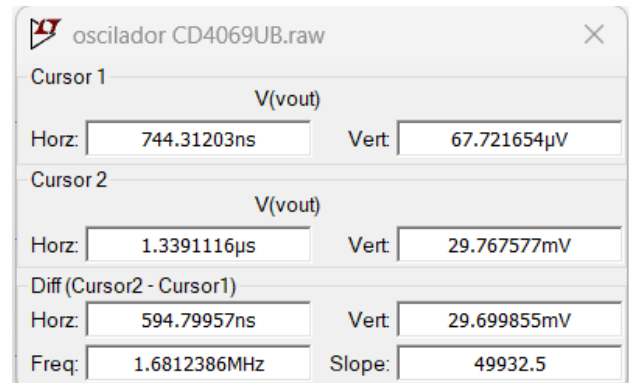
**Figura 31.** Diagrama Anillo oscilador

#### 2. Monte dos osciladores diferentes en anillo con el negador CMOS.

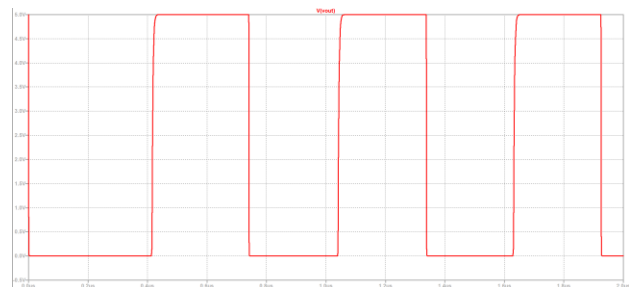
- Oscilador CD4069UB (sin resistencia)



**Figura 32.** Diagrama Anillo oscilador en LTSPICE.

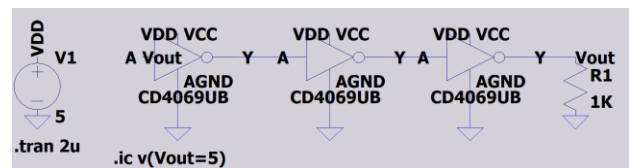


**Figura 33.** Frecuencia Anillo oscilador.

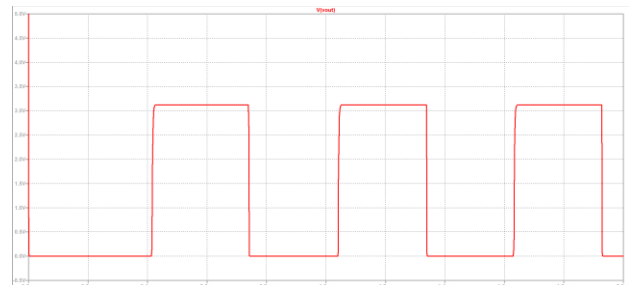


**Figura 34.** Forma de onda de la salida en Anillo oscilador.

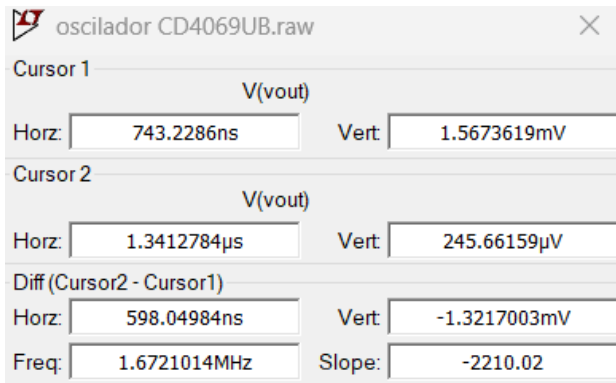
- Oscilador CD4069UB con resistencia



**Figura 35.** Diagrama Anillo Oscilador con resistencia en LTSPICE.

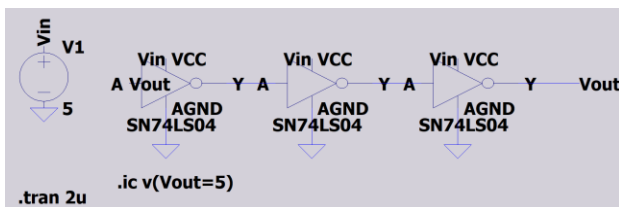


**Figura 36.** Forma de onda de la salida en Anillo oscilador con resistencia.

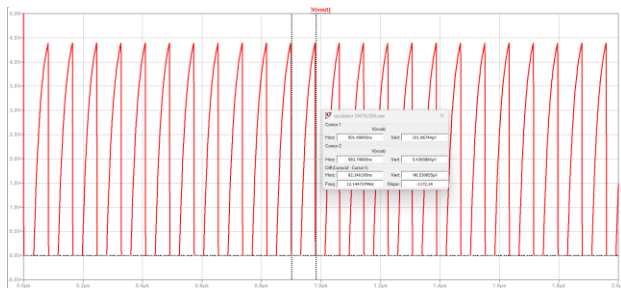


**Figura 37.** Frecuencia del Anillo oscilador con resistencia.

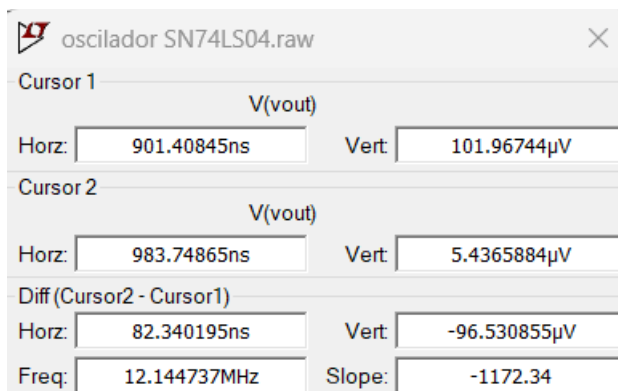
- Oscilador SN74LS04



**Figura 38.** Diagrama Anillo oscilador en LTSPICE.

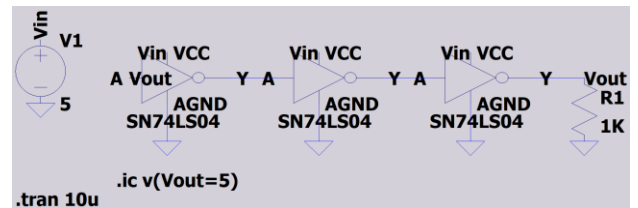


**Figura 39.** Forma de onda en Anillo oscilador con TTL.

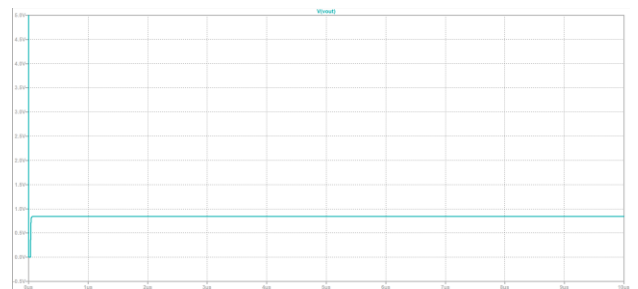


**Figura 40.** Frecuencia Anillo oscilador.

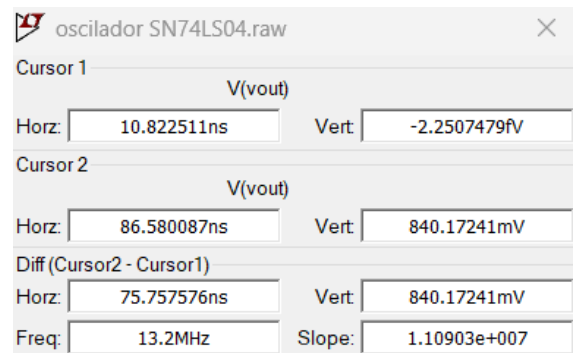
- Oscilador SN74LS04 con resistencia



**Figura 41.** Diagrama Anillo Oscilador con resistencia en LTSPICE.



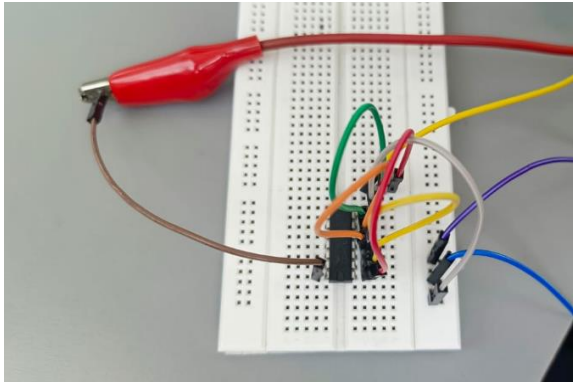
**Figura 42.** Forma de onda de la salida en Anillo oscilador con resistencia.



**Figura 43.** Frecuencia del Anillo oscilador con resistencia.

3. Observe de cada uno de ellos tanto la forma de onda como su frecuencia de oscilación.

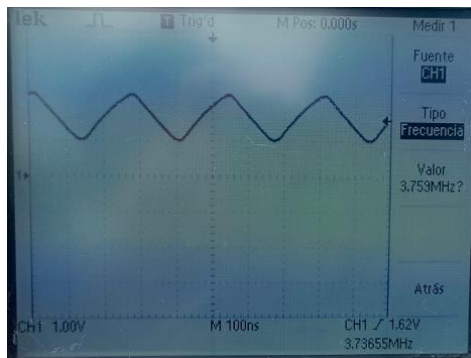




**Figura 44.** Montaje físico de un TTL y CMOS en configuración de anillo oscilador.

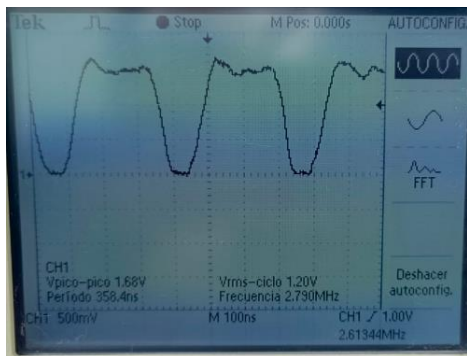
Una vez realizado el montaje físico de los osciladores CMOS y TTL, respectivamente, se obtuvieron las siguientes frecuencias y formas de ondas:

- CMOS:



**Figura 45.** CMOS frecuencia de 3.736 MHz.

- TTL:



**Figura 46.** TTL frecuencia de 2.613 MHz.

#### 4. Realice una comparación entre ambos osciladores según lo observado.

La diferencia de frecuencia observada en la simulación del CMOS CD4069 sin y con una resistencia de (1K) es consistente con el comportamiento esperado de este tipo de circuitos. Sin la resistencia, la frecuencia es de 1,68 MHz, mientras que con ella es de 1,67 MHz, mostrando una variación mínima de 0,01 MHz. Esto se debe a que, sin la resistencia, el circuito opera sin una carga adicional, permitiendo tiempos de carga y descarga de las capacitancias internas más rápidos, lo que incrementa ligeramente la frecuencia. Al agregar la resistencia, esta introduce una carga que ralentiza la carga y descarga de las capacitancias, aumentando el tiempo de propagación ( $t_p$ ) y reduciendo la frecuencia. La diferencia es pequeña porque (1K) no representa una carga significativa para el circuito. Estos resultados son consistentes con las características dinámicas del CD4069.

Las diferencias observadas en la frecuencia y la forma de onda entre los osciladores en anillo con tecnologías CMOS y TTL son consistentes con sus características intrínsecas. La frecuencia más alta del CMOS (3.763 MHz) en comparación con la del TTL (2.613 MHz) puede deberse a factores como una menor capacitancia de carga o diferencias en las condiciones del circuito, como el voltaje de alimentación.

Además, la forma de onda más sinusoidal en el CMOS se explica por sus transiciones más suaves ( $t_r$ ,  $t_f$ ) y menores corrientes de conducción, mientras que el TTL, con tiempos de propagación más rápidos y transiciones abruptas, genera una forma de onda más cuadrada. Estas diferencias reflejan el comportamiento esperado de cada tecnología en función de su diseño y capacidades de conducción.

## VI. ANÁLISIS DE RESULTADOS

A lo largo de esta práctica, se analizaron y compararon las tecnologías CMOS y TTL utilizando los dispositivos **CD4069** y **74LS04**, evaluando aspectos como fan-out, disipación de potencia, función de transferencia, tiempos de subida y bajada, y osciladores en anillo. Los resultados obtenidos permiten una comprensión detallada de las diferencias clave en el comportamiento y desempeño de ambas tecnologías.



En el análisis del fan-out, se encontró que el **TTL** presenta un fan-out esperado de 10, mientras que el **CMOS estándar** tiene un fan-out teórico de 50. Al realizar la medición basada en el voltaje en el CMOS, se obtuvo un fan-out de **48**, lo cual concuerda estrechamente con el valor esperado. Sin embargo, al calcular el fan-out en función de la corriente, el resultado aumentó considerablemente debido a la baja corriente de entrada del CMOS (IIHIIH e IILIL), lo que permite manejar un mayor número de cargas. Este comportamiento resalta la ventaja del CMOS en términos de capacidad de carga, aunque el cálculo basado en voltaje refleja de manera más práctica su desempeño en circuitos reales.

La función de transferencia permitió validar los valores de VIH, VIL, IIH e IIL obtenidos en el datasheet, ya que los valores experimentales mostraron una gran concordancia. Sin embargo, al comparar las tensiones máximas de salida, se observó que el **TTL** alcanzó un valor de **4.98 V**, mientras que el **CMOS** presentó un valor de **3.15 V**. Esta diferencia se debe a la naturaleza de las tecnologías: en CMOS, los transistores MOSFET presentan una mayor resistencia interna cuando están conduciendo, lo que provoca una caída de voltaje más significativa en la salida. En contraste, el TTL, al tener transistores bipolares con menor resistencia de saturación, mantiene un voltaje de salida más cercano al suministro.

Los tiempos de transición de las señales también presentaron diferencias notables entre ambas tecnologías. Para el TTL, el tiempo de subida fue de **42 ns** y el de bajada de **19 ns**, reflejando sus rápidas transiciones debido a la mayor velocidad de los transistores bipolares. En cambio, en el CMOS, los tiempos de subida y bajada fueron de **190 ns** y **40 ns**, respectivamente, debido a las características inherentes de los transistores MOSFET, que tienden a tener tiempos de carga y descarga más lentos debido a las capacitancias asociadas a sus puertas. Estas diferencias confirman la superioridad del TTL en aplicaciones que requieren alta velocidad, mientras que el CMOS destaca en eficiencia energética.

En el análisis de los osciladores en anillo, la frecuencia del CMOS fue de **3.763 MHz**, mientras que la del TTL fue de **2.613 MHz**, una diferencia atribuible a las condiciones específicas del circuito, como la capacitancia de carga y el diseño. Además,

la forma de onda del CMOS fue más sinusoidal debido a sus transiciones más suaves, mientras que el TTL presentó una forma más cuadrada, característica de sus rápidas conmutaciones.

## VII. CONCLUSIONES

El **fan-out** es un parámetro crucial en el diseño de sistemas digitales, ya que determina el número máximo de compuertas que una salida puede manejar sin degradar significativamente la señal. El fan-out juega un papel crítico en el diseño de sistemas digitales. Una mayor capacidad de fan-out, como la que ofrece el CMOS, permite conectar más compuertas a una salida sin requerir etapas intermedias de amplificación, lo que simplifica el diseño y reduce costos. En contraste, el TTL, con su menor fan-out, puede enfrentar limitaciones en sistemas de mayor complejidad, donde exceder este límite puede provocar distorsión en las señales o mal funcionamiento. Por lo tanto, comprender y respetar las capacidades de fan-out de cada tecnología es esencial para garantizar la estabilidad y funcionalidad del sistema.

Los valores obtenidos para VIH, VIL, IIH e IIL coincidieron con los especificados en los datasheets, validando la precisión del análisis experimental. No obstante, al comparar los voltajes de salida máximos, se observó que el TTL alcanzó **4.98 V**, mientras que el CMOS presentó **3.45 V**. Esta discrepancia se debe a la mayor resistencia interna de los transistores MOSFET en CMOS, lo que genera una caída de voltaje más pronunciada.

Los tiempos de subida y bajada mostraron diferencias significativas entre ambas tecnologías. El TTL presentó tiempos más rápidos, con **42 ns** para la subida y **19 ns** para la bajada, gracias a la alta velocidad de los transistores bipolares. En contraste, el CMOS presentó tiempos de **190 ns** y **40 ns**, respectivamente, debido a las capacitancias inherentes a sus transistores. Estas diferencias destacan al TTL como ideal para aplicaciones que requieren alta velocidad, mientras que el CMOS resulta más eficiente en términos de consumo energético.

En los osciladores en anillo, el CMOS operó a una frecuencia más alta (**3.763 MHz**) en comparación con el TTL (**2.613 MHz**), posiblemente debido a diferencias en las condiciones de carga y diseño del circuito. Además, la forma de onda del CMOS fue

más sinusoidal, producto de sus transiciones más suaves, mientras que el TTL presentó una forma más cuadrada, característica de sus rápidas conmutaciones.

Algunas diferencias entre los valores experimentales y los especificados en los datasheets podrían atribuirse a factores como las **impedancias internas de los dispositivos**, variaciones en las condiciones de prueba (como la carga conectada, tensiones de alimentación, y temperatura), o incluso errores de medición. Estas discrepancias subrayan la importancia de considerar las limitaciones prácticas de los equipos y las condiciones del entorno al interpretar los resultados.

El informe permitió identificar las diferencias clave entre las tecnologías CMOS y TTL, destacando sus fortalezas y limitaciones. El CMOS sobresale en eficiencia energética, alta capacidad de carga y escalabilidad, mientras que el TTL se distingue por su rapidez y estabilidad en los voltajes de salida. Sin embargo, factores como las impedancias internas, las condiciones de operación y las limitaciones de medición deben considerarse al interpretar los resultados. Este laboratorio reafirma la importancia de seleccionar la tecnología adecuada según los requisitos específicos del diseño, optimizando el desempeño del sistema en función de las necesidades de velocidad, eficiencia energética o capacidad de carga.

## VIII. BIBLIOGRAFÍA.

1. Fairchild Semiconductor. (1999). *CD4069UBC: CMOS Hex Inverter*. Datasheet. Recuperado de: <https://www.alldatasheet.com>
2. Fairchild Semiconductor. (2000). *DM74LS04: Hex Inverting Gates*. Datasheet. Recuperado de: <https://www.alldatasheet.com>
3. Malvino, A. P., & Bates, D. J. (2014). *Principios de Electrónica* (7ª ed.). McGraw-Hill.
4. Sedra, A. S., & Smith, K. C. (2020). *Microelectronic Circuits* (8th ed.). Oxford University Press.

5. Floyd, T. L. (2014). *Fundamentos de Sistemas Digitales* (9ª ed.). Pearson Educación.