

# Proyecto de Arquitectura de Computadoras: Etapa 1

---

**Materia:** Arquitectura de Computadoras

**Etapas del Proyecto:** Etapa 1

**Fecha:** 22/04/2025

**Comisión:** Número 7

**Integrante 1:** Bassi, Juan Sebastián - 133646

**Integrante 2:** Cristobo, Juan Manuel - 137390

**Integrante 3:** Mosqueira, Juan Segundo - 131415

**Integrante 4:** Vilas, Santiago - 135163

**Logisim-Evolution:** v3.9.0

## ÍNDICE

<b>Introducción.....</b>	<b>2</b>
<b>Etapas 1.....</b>	<b>2</b>
Descripción:.....	2
<b>Circuito Main.....</b>	<b>3</b>
<b>Circuito del Bloque B.....</b>	<b>3</b>
Valores de Entrada y Salida del Bloque B.....	4
Tabla de Verdad del Bloque B.....	4
Mapas de Karnaugh del Bloque B para cada Salida.....	5
<b>Sumador Full Adder “FAGP” .....</b>	<b>6</b>
Valores de Entrada y Salida del Sumador FAGP	
Tabla de Verdad del Sumador FAGP.....	6
Mapas de Karnaugh de las salidas del Sumador FAGP.....	7
<b>Circuito Sumador Lookahead Tree Adder “SUMLAT” .....</b>	<b>8</b>
Niveles del circuito.....	8
Nivel 1.....	8
Nivel 2.....	10
Nivel 3.....	11
<b>Imágenes del circuito entero sumador “SUMLAT” .....</b>	<b>12</b>
Aclaraciones.....	13

## **Introducción**

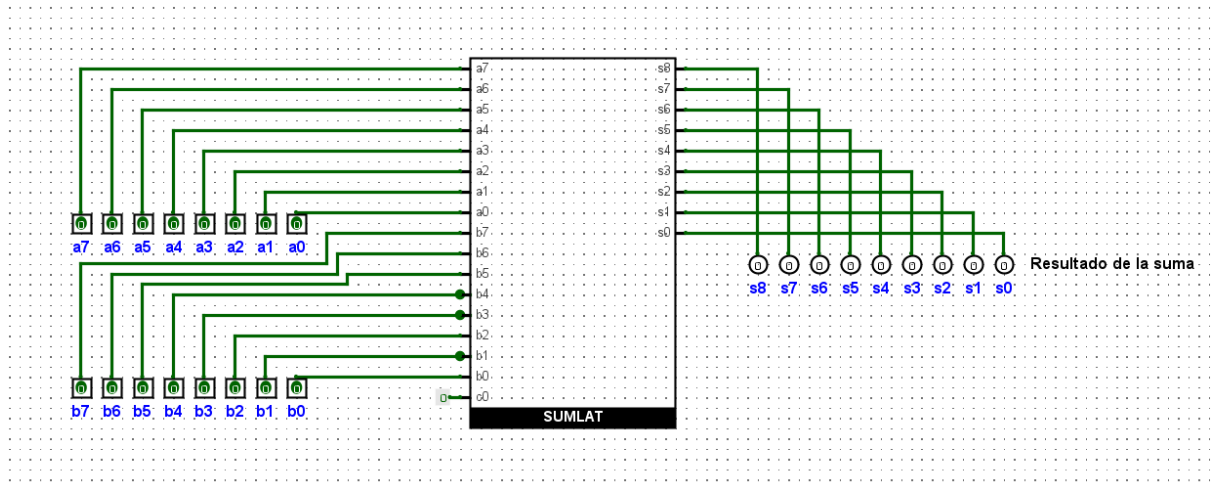
En este informe realizado a partir de la etapa uno del proyecto práctico de la materia "Arquitectura de Computadoras" se detallará el funcionamiento del sumador Lookahead Tree Adder

## **Etapa 1**

### **Descripción:**

En principio usamos un circuito denominado "FAGP" que implementa un sumador Full Adder, el cual realiza la suma de 2 bits y calcula los valores de propagación y generación para los bits de entrada al circuito. Por otro lado, implementamos un circuito "Bloque B" que permite calcular los valores PHL, GHL, CH y CL a partir de los valores de entrada: PH, GH, PL, GL y del carry in del bloque. Para esto, utilizamos compuertas del tipo AND, OR y NOT. Finalmente combinamos "FAGP" y "Bloque B" para implementar un circuito que permite sumar números de 8 bits basándonos en el diseño presentado por la cátedra del Look Ahead Tree Adder.

## Circuito Main

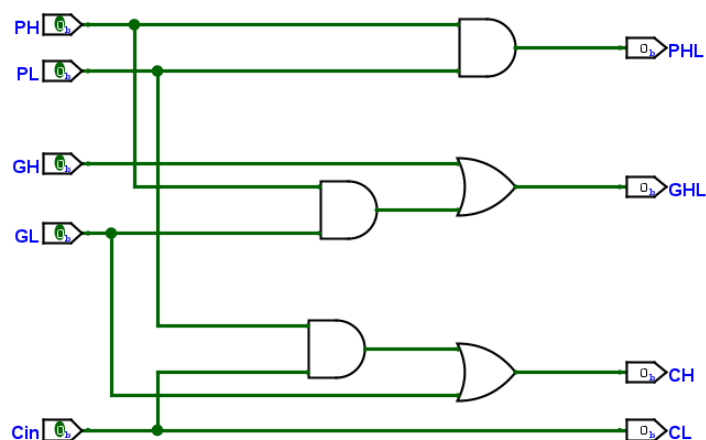


Funcionamiento del circuito Main:

El circuito main utiliza al circuito sumador "SUMLAT" como se pide en el enunciado con bits de entrada a7,a6,a5,a4,a3,a2,a1 y a0 correspondientes al número "a" (a7 dígito más significativo y a0 dígito menos significativo) y b7,b6,b5,b4,b3,b2,b1 y b0 los cuales pertenecen al número "b" (b7 dígito más significativo y b0 dígito menos significativo).

Las salidas s8 a s0 son los bits del resultado de la suma, s8 es el noveno bit (dígito más significativo) en caso de que haya overflow, s7 es el bit del dígito más significativo de la suma en caso de que no haya overflow y s0 el bit del dígito menos significativo.

## Circuito del Bloque B



## Valores de Entrada y Salida del Bloque B

Variables de entrada	Variables de salida
PH	PHL
PL	GHL
GH	CH
GL	CL
Cin	<i>Haga clic para añadir una nueva variable</i>
<i>Haga clic para añadir una nueva variable</i>	

## Tabla de Verdad del Bloque B

-

1

0

Ocultar líneas duplicadas

Mostrar todas las líneas

32 de 32 filas mostradas

PH	PL	GH	GL	Cin	PHL	GHL	CH	CL
0	0	1	0	0	0	1	0	0
0	0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1	0
0	0	1	1	1	0	1	1	1
0	1	0	0	0	0	0	0	0
0	1	0	0	1	0	0	1	1
0	1	0	1	0	0	0	1	0
0	1	0	1	1	0	0	1	1
0	1	1	0	0	0	1	0	0
0	1	1	0	1	0	1	1	1
0	1	1	1	0	0	1	1	0
0	1	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
1	0	0	1	0	0	1	1	0
1	0	0	1	1	0	1	1	1
1	0	1	0	0	0	1	0	0
1	0	1	0	1	0	1	0	1
1	0	1	1	0	0	1	1	0
1	0	1	1	1	0	1	1	1
1	1	0	0	0	1	0	0	0
1	1	0	0	1	1	0	1	1
1	1	0	1	0	1	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	1	1	0	0
1	1	1	0	1	1	1	1	1
1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1

## Mapas de Karnaugh del Bloque B para cada Salida

Salida:

Formato:

Estilo:

Notación:

		GH, GL, Cin							
		000	001	011	010	110	111	101	100
PH, PL	00	0	0	0	0	0	0	0	0
	01	0	0	0	0	0	0	0	0
	11	1	1	1	1	1	1	1	1
	10	0	0	0	0	0	0	0	0

Ningún grupo seleccionado.

PH·PL

Salida:

Formato:

Estilo:

Notación:

		GH, GL, Cin							
		000	001	011	010	110	111	101	100
PH, PL	00	0	0	0	0	1	1	1	1
	01	0	0	0	0	1	1	1	1
	11	0	0	1	1	1	1	1	1
	10	0	0	1	1	1	1	1	1

Ningún grupo seleccionado.

GH+PH·GL

Salida:

Formato:

Estilo:

Notación:

		GH, GL, Cin							
		000	001	011	010	110	111	101	100
PH, PL	00	0	0	1	1	1	1	0	0
	01	0	1	1	1	1	1	1	0
	11	0	1	1	1	1	1	1	0
	10	0	0	1	1	1	1	0	0

Ningún grupo seleccionado.

GL+PL·Cin

Salida:

Formato:

Estilo:

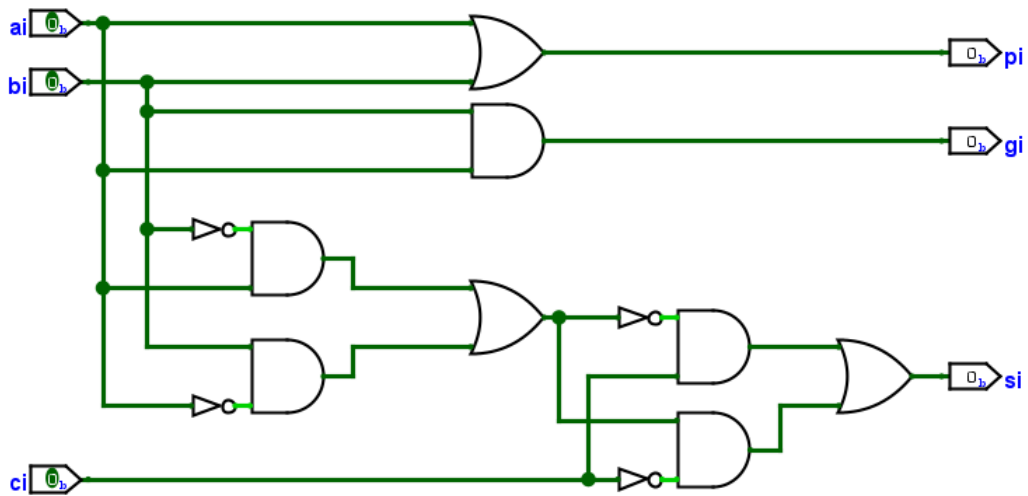
Notación:

		GH, GL, Cin							
		000	001	011	010	110	111	101	100
PH, PL	00	0	1	1	0	0	1	1	0
	01	0	1	1	0	0	1	1	0
	11	0	1	1	0	0	1	1	0
	10	0	1	1	0	0	1	1	0

Ningún grupo seleccionado.

Cin

## Sumador Full Adder "FAGP"



## Valores de Entrada y Salida del Sumador FAGP

Variables de entrada	Variables de salida
$a_i$ $b_i$ $c_i$ <i>Haga clic para añadir una nueva variable</i>	$p_i$ $g_i$ $s_i$ <i>Haga clic para añadir una nueva variable</i>

## Tabla de Verdad del Sumador FAGP

- 1 0 Ocultar líneas duplicadas Mostrar todas las líneas

8 de 8 filas mostradas

$a_i$	$b_i$	$c_i$	$p_i$	$g_i$	$s_i$
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	1	0	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

## Mapas de Karnaugh de las salidas del Sumador FAGP

Salida:

Formato:

Estilo:

Notación:

	bi, ci			
	00	01	11	10
ai	0	0	0	0
1	0	0	1	1

Ningún grupo seleccionado.

$a_i \cdot b_i$

Salida:

Formato:

Estilo:

Notación:

	bi, ci			
	00	01	11	10
ai	0	0	1	1
1	1	1	1	1

Ningún grupo seleccionado.

$b_i + a_i$

Salida:

Formato:

Estilo:

Notación:

	bi, ci			
	00	01	11	10
ai	0	1	0	1
1	1	0	1	0

Ningún grupo seleccionado.

$a_i \cdot b_i \cdot c_i + a_i \cdot b_i \cdot \bar{c}_i + a_i \cdot \bar{b}_i \cdot c_i + a_i \cdot \bar{b}_i \cdot \bar{c}_i$



# Circuito Sumador Lookahead Tree Adder "SUMLAT"

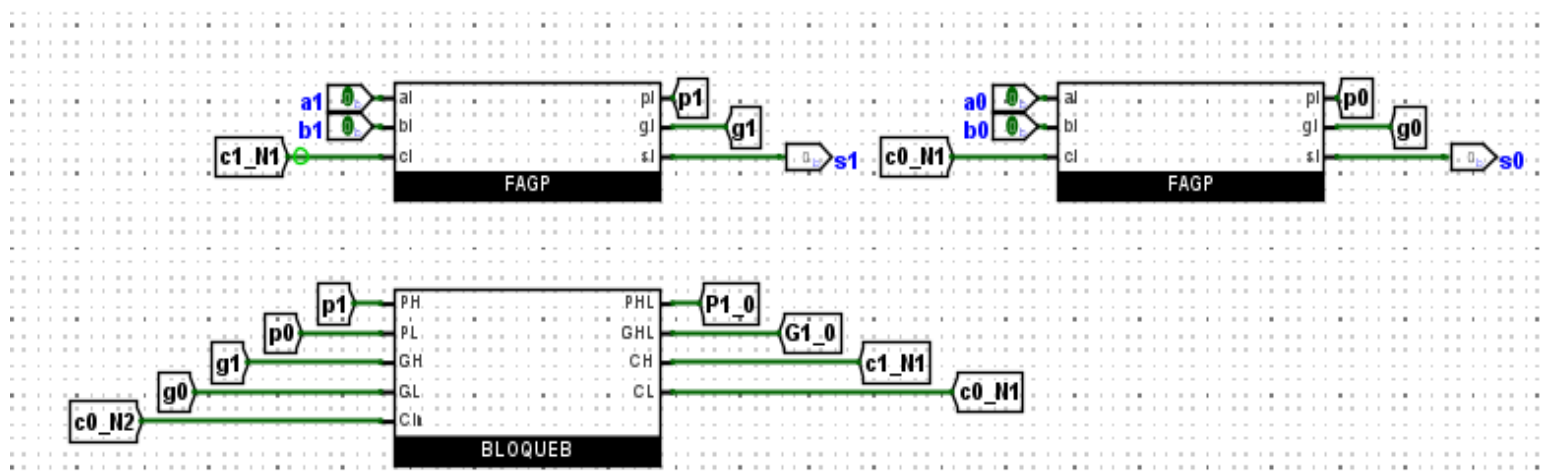
Introducción al circuito:

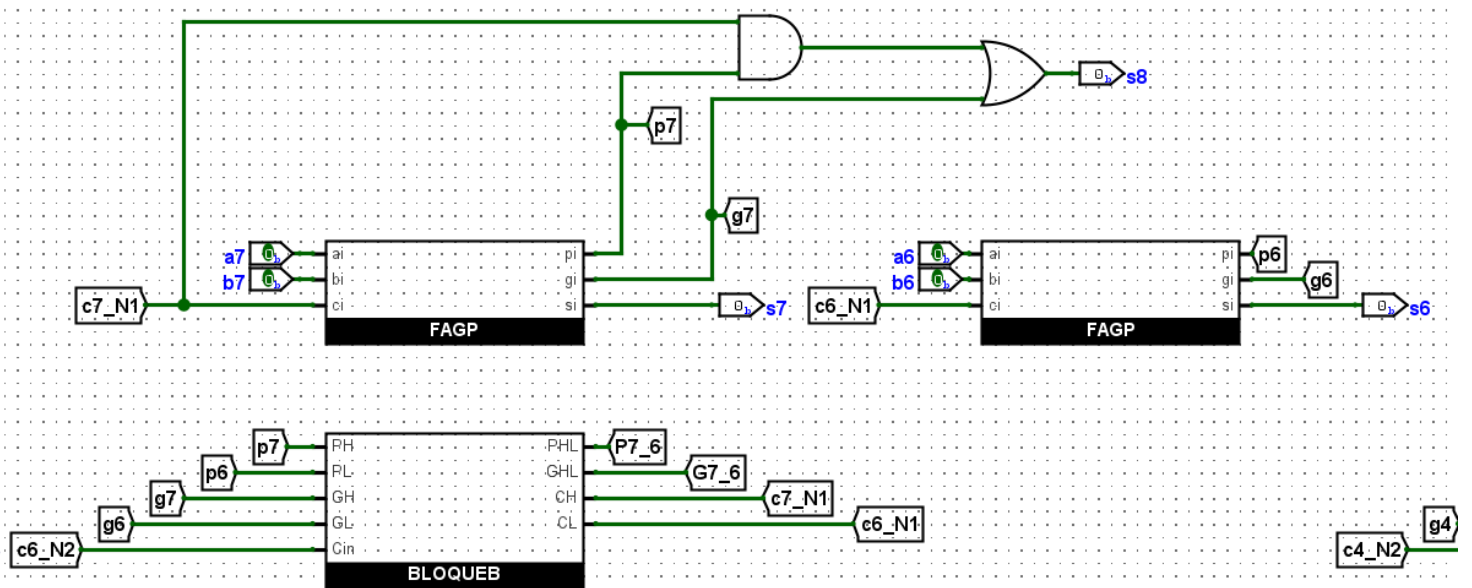
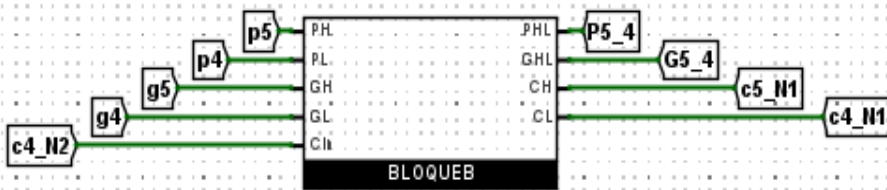
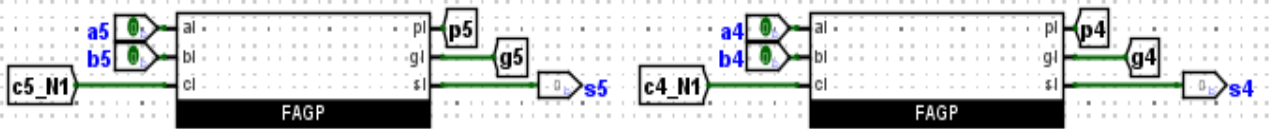
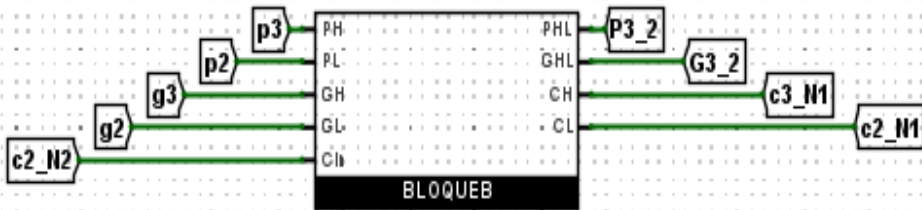
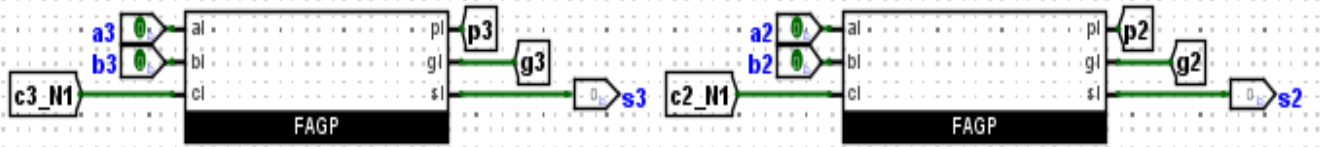
- Cada pin nombre  $a_i$  siendo  $i \geq 0$  e  $i \leq 7$ , en donde 0 representa al dígito menos significativo del número "a" y 7 corresponde al dígito más significativo del número "a". Lo mismo ocurre con el número "b".
- $c_i$  es el carry de entrada del sumador correspondiente al dígito  $i$ .
- $p_i$  es el bit que propaga el sumador FAGP y  $g_i$  es el bit que genera el mismo sumador.
- El Bloque B se encarga de recibir el valor propagado alto ( $P_H$  ó  $P_{HIGH}$ ), valor propagado bajo ( $P_L$  ó  $P_{LOW}$ ), valor generado alto ( $G_H$  ó  $G_{HIGH}$ ), valor generado bajo ( $G_L$  ó  $G_{LOW}$ ) y el carry de entrada ( $C_{in}$ ).

## Niveles del circuito

### Nivel 1

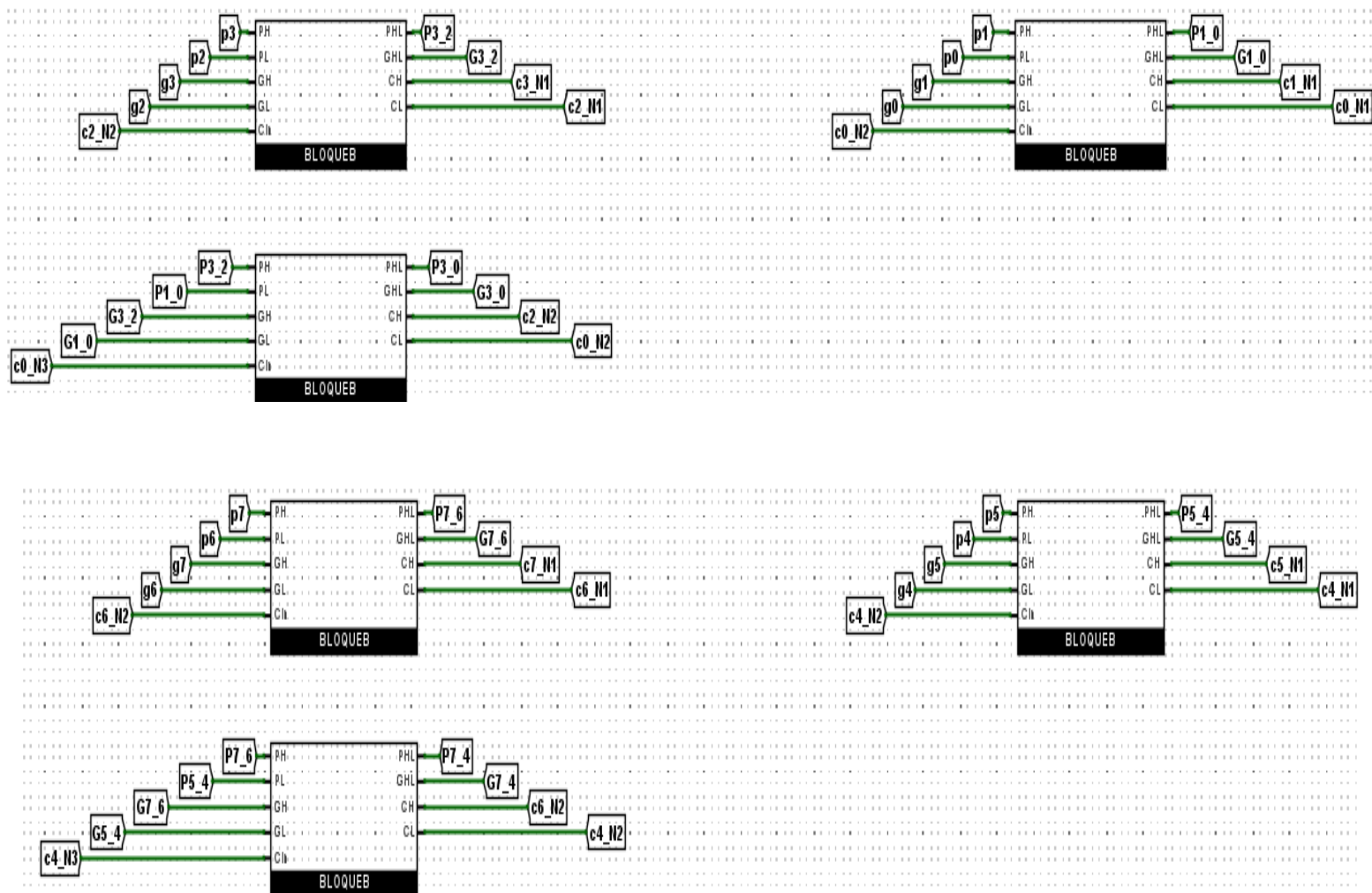
En la primera imagen vemos la suma entre los bits  $a_0$  y  $b_0$  en el sumador FAGP de la derecha y la suma entre los bits  $a_1$  y  $b_1$  en el sumador FAGP de la izquierda. En las siguientes imágenes correspondientes al nivel 1 podemos observar que preservan el mismo comportamiento menos en la última del mismo nivel en donde podemos notar que en el sumador de los bits más significativos ( $a_7$  y  $b_7$ ) hay un pin de salida "s8" el cual recibirá un valor en caso de que haya overflow y esa suma genere un nuevo número de 9 bits, por ejemplo: 1111 1111 (8bits) + 1111 1111 (8bits) = 1 1111 1110 (9 bits).





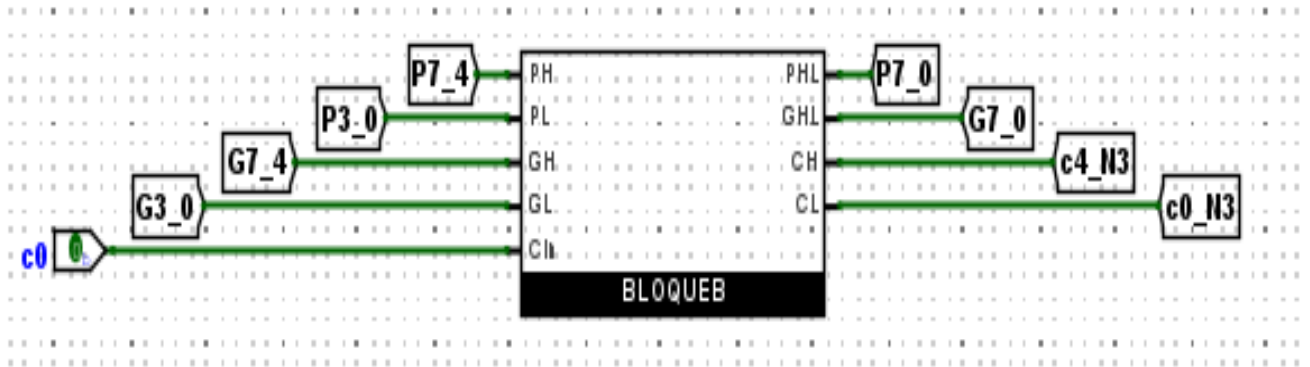
## Nivel 2

En los Bloques B del nivel 2, las entradas ya no van a ser las salidas de los circuitos FAGP, si no que serán de los Bloques B inmediatos previos. Por ejemplo; en el lado derecho de SUMLAT las entradas de propagación y generación menos significativas de este nivel ahora provienen del PHL y GHL generados por el Bloque B que trabaja con los dos bits menos significativos, es decir, el PL nuevo será "P1\_0" pues de las dos propagaciones recibidas, "P1\_0" es menos significativa que "P2\_3", que será la ingresada como PH. Lo mismo ocurrirá con la selección de entradas para las variables de generación.



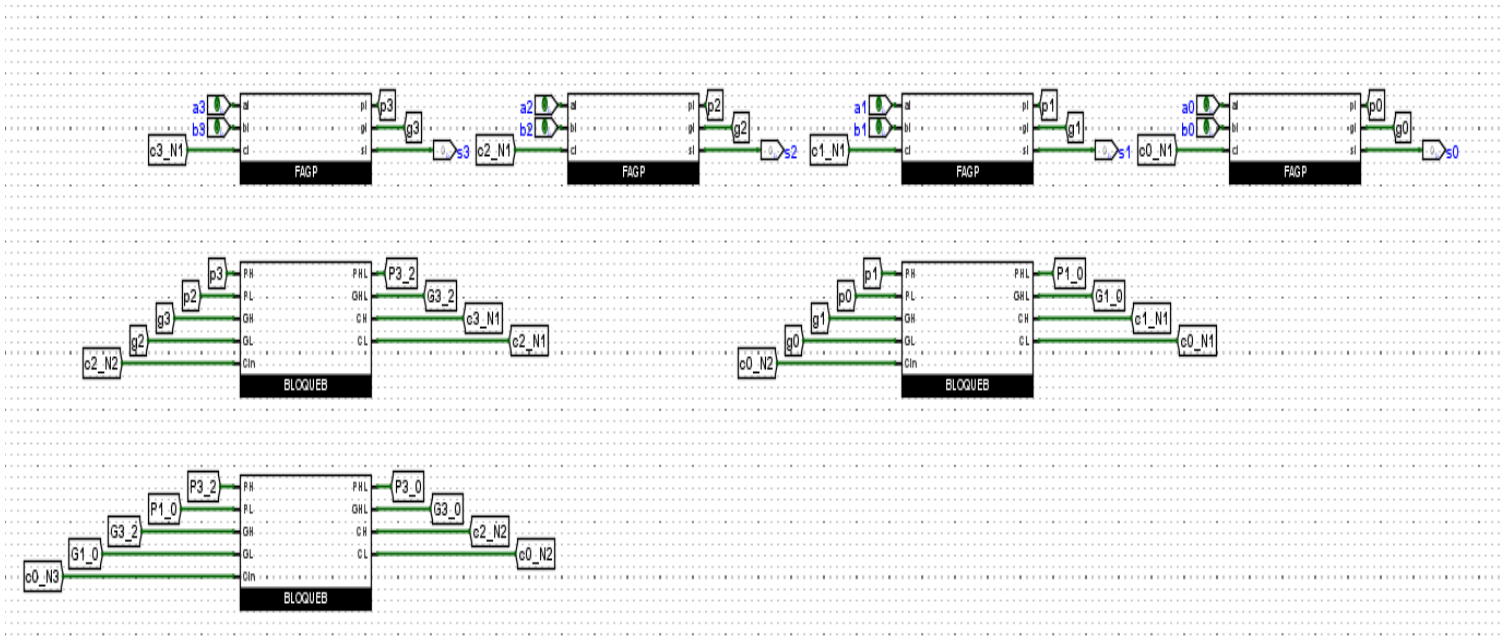
### Nivel 3

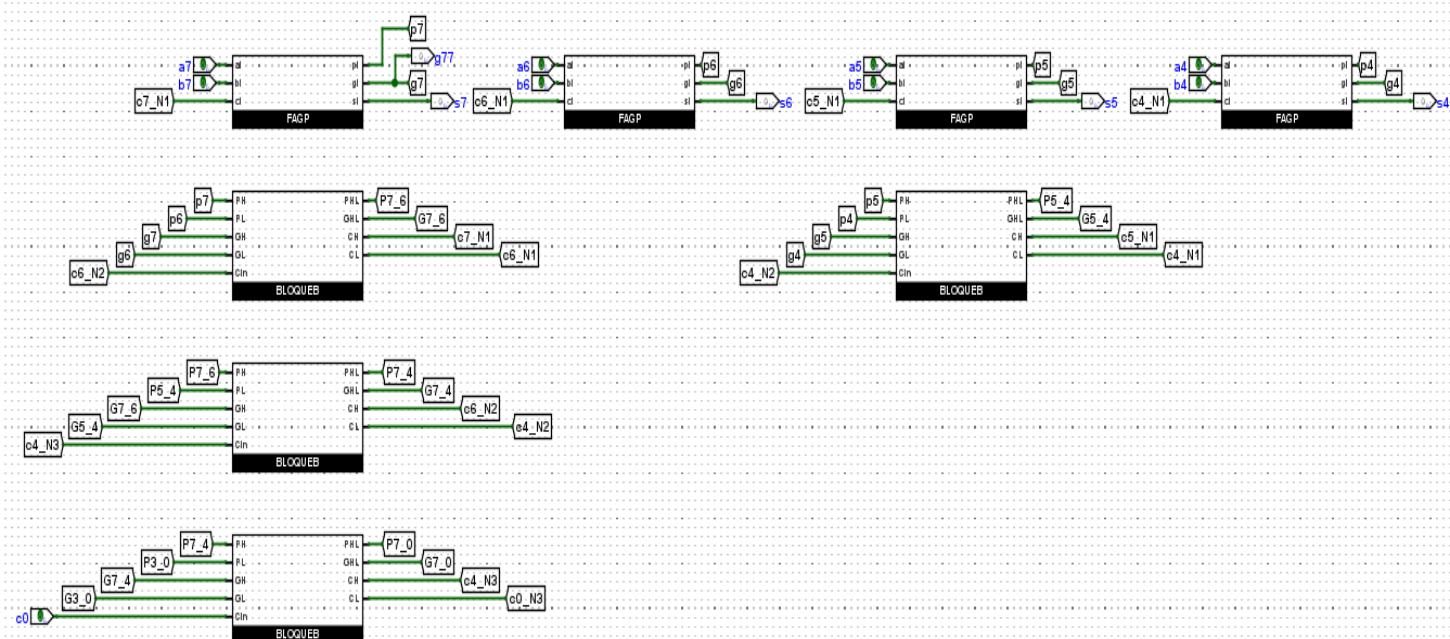
Similar al nivel dos, las entradas de propagaciones y generaciones menos significativas van a corresponder a las salidas del Bloque B que trabaja las generaciones y propagaciones menos significativas, y análogamente ocurre para las más significativas.



### Imágenes del circuito entero sumador "SUMLAT"

La primera imagen corresponde a la primera mitad del lado derecho del circuito, y la segunda imagen a la mitad del lado izquierdo.

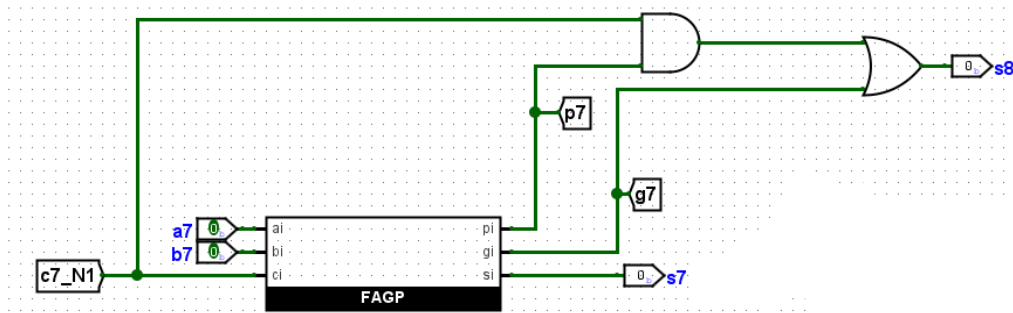




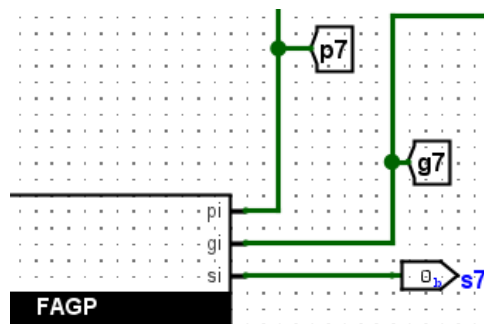
## Aclaraciones

- $c_i-N_j$  es el túnel correspondiente a cada sumador, en donde  $c_i$  representa al carry de entrada y la  $i$  al igual que en  $a_i$  y  $b_i$  el orden ya mencionado del dígito en el que se encuentra y  $N_j$  corresponde al nivel, siendo  $j \geq 1$  y  $j \leq 3$ , debido a que son 3 niveles para poder llegar al valor de  $c0$  que se encuentra en el último bloque. Por ejemplo,  $c7-N1$  va a corresponder al dígito más significativo del nivel 1.

- En el último full adder FAGP del circuito "SUMLAT" la salida s8 que corresponde al noveno bit (carry out) en caso de que haya overflow, recibirá la siguiente fórmula  $C_{out} = (c7\_N1 * p7) + g7$



- Los valores de propagación "p7" y valor de generación "g7" no se utilizan y podrían no ir en el circuito implementado, pero sin embargo adoptamos la decisión de dejarlos en caso de que se agreguen más bits para sumar y se necesiten más sumadores.



- Como decisión de diseño hemos utilizado como valor de entrada "c0" a la constante 0 ya que asumimos de que la suma siempre la comenzamos sin ningún carry de entrada en el menos significativo.

