

Arquitectura de Computadoras

Departamento de Ciencias e Ingeniería de la Computación

Proyecto

Año 2025

Enunciado

El proyecto tiene como objetivo implementar el diagrama lógico de detalle de un circuito controlador de estados. El circuito debe ser desarrollado empleando la herramienta Logisim-Evolution, deberá contar con las entradas y salidas necesarias para su correcto funcionamiento, y ser capaz de responder de acuerdo a las especificaciones indicadas en este enunciado.

Se deberá presentar un informe del diseño, que incluya el diagrama del circuito y una descripción de su funcionamiento.

El informe deberá ser entregado en formato electrónico en la fecha de entrega establecida.

Cronograma de entregas:

- Fecha límite de entrega para la etapa 1: 22/04
- Fecha límite de entrega para la etapa 2: 20/05
- Fecha límite para la reentrega del proyecto completo: 17/06

Etapla 1: Sumador

Diseñar en la herramienta Logisim Evolution un circuito sumador Look Ahead Tree Adder utilizando compuertas AND, OR, NOT. El nombre del sumador será **SUMLAT**.

Crear un proyecto usando la herramienta Logisim Evolution, en el cual se deberán implementar los circuitos que componen el sumador.

Circuitos a implementar

Implementar un circuito denominado **FAGP** que implemente un sumador Full Adder, el cual además de realizar la suma de 1 bit debe calcular los valores de propagación y generación para los bits de entrada al circuito.

Implementar un circuito **Bloque B** que permita calcular los valores PHL, GHL, CH y CL a partir de los valores de entrada: PH, GH, PL, GL y del carry in del bloque.

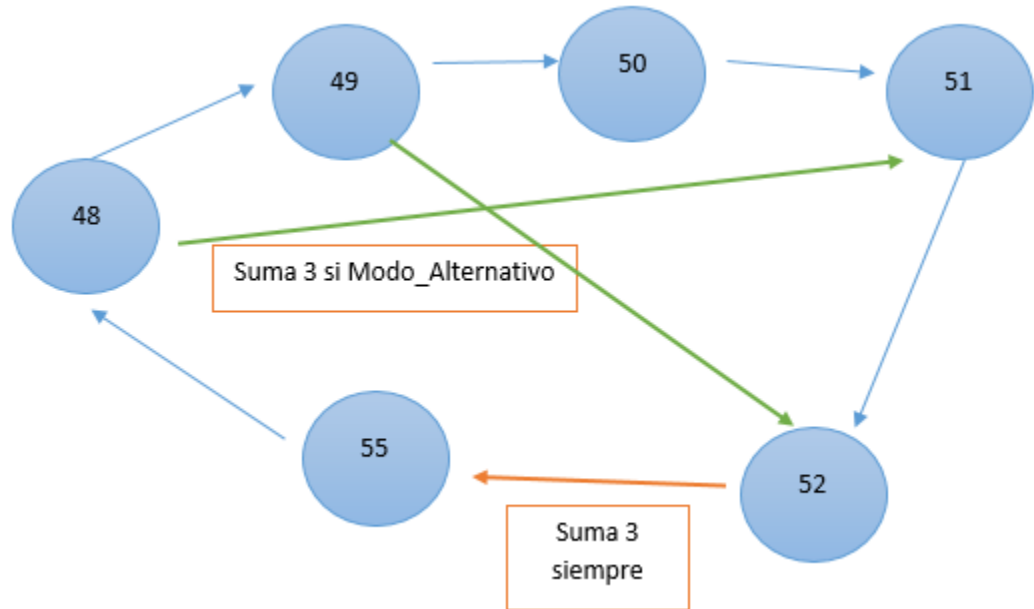
Utilizando los bloques FAGP y B diseñar un circuito que permita sumar números de 8 bits respetando el diseño presentado de Lookahead tree adder.

Etapa 2

Se requiere diseñar un circuito controlador de estados utilizando la herramienta **Logisim-Evolution**. El circuito debe gestionar **seis estados distintos** codificados en 8 bits, usando un **contador** y el **sumador SUMLAT** (desarrollado en la etapa 1) para la transición entre algunos de los estados. Además, se deberá implementar una función externa que permita modificar el estado sin utilizar el sumador.

Descripción:

1. **Estados del sistema:** El circuito debe tener **seis estados** representados con los siguientes valores de 8 bits en binario:
 - **Estado 48:** 0011 0000
 - **Estado 49:** 0011 0001
 - **Estado 50:** 0011 0010
 - **Estado 51:** 0011 0011
 - **Estado 52:** 0011 0100
 - **Estado 55:** 0011 0111



2. Componentes principales:

- Un **contador de 8 bits** disponible en Logisim-Evolution que lleve el registro del estado actual (valores del 48 al 55 según se indica en el punto 1.)
- Un **sumador de 8 bits SUMLAT desarrollado en la etapa 1** que permita incrementar el estado en **3 unidades**, según el estado actual.
- Una **lógica de control** basada en compuertas lógicas (AND, OR, NOT) para determinar cómo se realizan las transiciones.
- Un circuito llamado **modoalterna** que implementa la lógica para determinar los saltos en el modo alternativo.

3. Condiciones de transición Modo Normal:

- **Estados de 48 a 52:** La transición se realiza mediante el contador, habilitando la opción para contar.
- **Salto del estado 52 a Estado 55:** Se debe sumar **3 siempre**.

- **Estado 55 a Estado 48:** La transición reinicia automáticamente el estado interno del contador. Cuando el contador llega al valor **55 (0011 0111)**, en el próximo ciclo de reloj debe volver al valor **48 (0011 0000)** seteando los bits de datos de entrada en ese valor y activando **load**.

4. Modo alternativo:

- El modo alternativo es un circuito que se compone de dos funciones F1 y F2. La salida del circuito es el resultado F1 AND F2.
- La función F1(Z1,Z2,Z3,Z4), siendo Z1 a Z4 señales externas debe implementarse mediante una ROM (puede utilizarse la ROM de logisim). Definición de F1:

$$F1 = \overline{Z2} \cdot \overline{Z3} \cdot \overline{Z4} + \overline{Z1} \cdot \overline{Z2} \cdot \overline{Z3} \cdot Z4 + \overline{Z1} \cdot \overline{Z2} \cdot Z4 + \overline{Z1} \cdot Z2 \cdot \overline{Z4} + \overline{Z1} \cdot Z3 \cdot Z4$$

- La definición de la función F2(A,B,C,D,E) se encuentra dada por la tabla de verdad indicada en el archivo **f2.txt** que acompaña este enunciado. Se debe implementar en logisim evolution utilizando compuertas. Las entradas de F2 son señales externas denominadas: A,B,C,D,E.

Objetivo:

Implementar el circuito en **Logisim Evolution**, asegurando que las transiciones de estado funcionen correctamente y que el **modo alternativo** permita realizar los cambios de estado empleando el sumador y el estado actual. Se debe utilizar un contador de 8 bits, el número de estado interno del contador debe corresponder con los estados del sistema: del 48 al 55.

Entrega

- Archivo de **Logisim Evolution** (.circ) con el diseño del circuito.
- Breve informe con la descripción del funcionamiento, tabla de estados y capturas de pantalla del circuito implementado cuyo nombre sea **informeGrupoX.pdf** donde X es el número de comisión, el cual contendrá una descripción de la implementación. El documento "Sobre el informe del proyecto.pdf" publicado en el aula virtual, ejemplifica

las secciones que se pueden incluir en el informe.

- Todos los archivos deben ser comprimidos en formato **zip** cuyo nombre debe ser **EtapayGrupoX.zip**, siendo **X** el **número de comisión asignada**, **Y** la **etapa que se está entregando**. Dicho archivo debe subirse al aula virtual de la cátedra en Moodle por cada alumno/a de la comisión.
- El proyecto será evaluado en 2 etapas. En la primer entrega se evaluará la primer etapa del proyecto. El archivo comprimido debe subirse a la plataforma MOODLE en la cual tendrán tiempo disponible hasta la fecha de entrega indicada en **Cronograma de entregas**. En la siguiente entrega, se evaluará la segunda etapa del proyecto y la corrección de los errores detectados en la primer entrega del mismo.
- En caso que las entregas anteriores no se hayan aprobado, se debe realizar una reentrega del proyecto en la fecha “reentrega del proyecto” con todas las correcciones necesarias.

El proyecto se considerará **APROBADO** si se aprueban las dos etapas.

Cualquier copia detectada de proyecto será razón suficiente para que TODAS las comisiones involucradas desapruében el proyecto.

Notas Importantes

- **Entradas/Salidas del circuito**: En los circuitos presentados tanto las entradas como las salidas deben agruparse e identificarse claramente. Por ejemplo, una opción sería ubicar todas entradas en la parte superior del circuito y las salidas en la parte inferior.
- **Identificar mediante labels** los resultados intermedios. Documentar en el informe todas las etiquetas utilizadas y los valores que calculan.
- Se permite el uso de pines de más de 1 bit.