

Platinencomputer - Architektur

Alexander Wersching und Simon Walter

2021

Inhaltsverzeichnis

1	Einführung	3
2	Grundlegende Design-Prinzipien	3
2.1	Laufzeitverzögerung	3
2.2	Synchrone Speicherung von Daten	3
3	Komponenten des Computers	3
3.0.1	Activation Module	3
4	Architektur des Computers	4

1 Einführung

2 Grundlegende Design-Prinzipien

2.1 Laufzeitverzögerung

2.2 Synchrone Speicherung von Daten

Im Computer finden sich jedoch nicht nur simple kombinatorische Logik-Schaltungen wie Addition oder XOR. Viel mehr speichert und verändert der Computer Daten. Jede (oder ein großer Teil) der Schaltungen lassen sich auf einen Aufbau wie ... zusammenfassen.

Die Frage ist nur noch wie das Beschreiben des Register funktioniert. Wir nutzen dafür ein Clock (einen periodisch wiederkehrenden Pulsschlag). Wobei wir das Beschreiben auf dieses Clock-Schlag abstimmen. Die einfachste Methode wäre es das Register zu beschreiben, wenn das Clock-Signal eine logische 1 darstellt. So ein Aufbau ist in ... gezeigt.

Das Problem mit ... ist leider nur das es zu einer Oszillation kommt. Die kombinatorische Schaltung, indem Fall ein bit-wise NOT, hat, wie alle kombinatorischen Schaltungen eine Laufzeitverzögerung. Das wenn sich, nach abgelaufener Laufzeitverzögerung, das Signal am Ausgang der kombinatorischen Schaltung ändert, wird diese Änderung direkt in das Register, geschrieben, bei welchem sicher der Ausgang verändert. Diese ändert wieder den Eingangswert der kombinatorischen Schaltung, welcher wieder nach abgelaufener Laufzeitverzögerung den Ausgang der kombinatorischen Schaltung ändert, usw.

Dabei ergibt sich für die Oszillation eine simple Regel. Nehmen wir an wir nutzen ein Signal wie in ... gezeigt. Sogilt für die Anzahl der Änderungen im Register

3 Komponenten des Computers

3.0.1 Activation Module

Das Activation Module (kurz AM) ist eine wichtige Komponente welche zur Steuerung der Datenfluss Richtung dient. Der schematische Aufbau ist in Abbildung 1 gezeigt. Das AM wird an der `ctrl_line` entweder in die Write- oder Read-Kontrolllinie eines Buses eingesteckt.

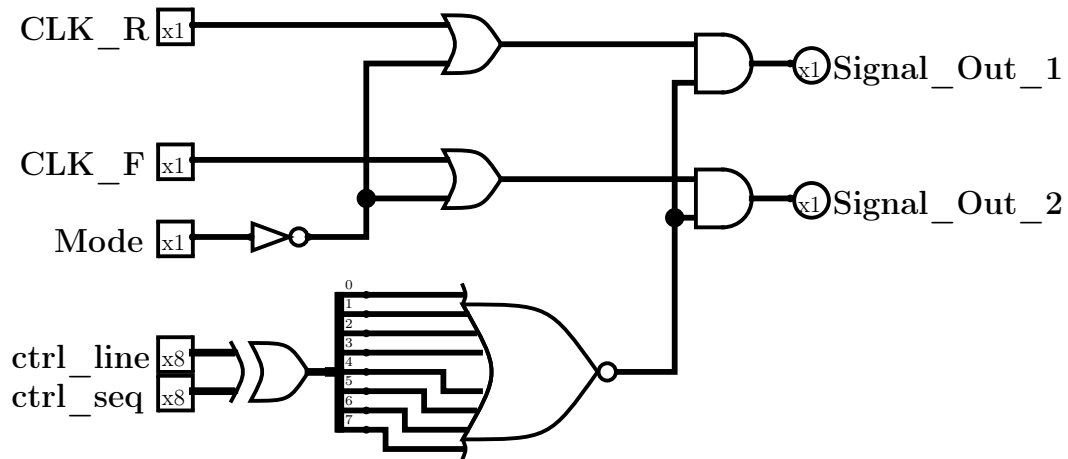


Abbildung 1: Schematik des Activation Module

Auf diesem Module sind Dip-Schalter befestigt, welche an den ctrl_seq Eingang angeschlossen sind, mit welchen sich einstellen lässt auf welches signal das AM hören soll. Wenn nun die Eingestellt Kontrollsequenz auf den Kontrolllinien anliegt, gibt das AM ein Signal an die Angeschlossene Komponente ab.

Zudem lässt sich über ein weiteren Dip-Schalter, welcher an Mode angeschlossen ist, einstellen ob das Module im Read oder Write Modus arbeiten soll. Im Read Modus gibt das Module auf seinem Signal_Pin_1 und Signal_Pin_2 solange eine Read Signal aus, bist die Sequenz nicht mehr auf dem Bus anliegt. Bei Write, wird ein Kurzer Puls auf Signal_Pin_1 abgegeben wenn das AM eine steigende Kannte des Clock Signals registiert und die richtige Kontrollesequenz auf dem Kontrolllinien anliegt. Auf Singal_Pin_2 wird eine kurzer Puls abgegeben wenn das AM eine Fallende Kannte registiert und die richtige Kontrollesequenz auf den Kontroll linien Anliegt.

Wichtig zu wissen ist, das das AM eine rein kobinatorsche Schaltung ist. Daher hat es auch eine feste t_{PD} . Dieser kann wie folgt rechnet werden: Wie in ... gezeigt, ist der Durschnittlich gemessen $t_{PD} = \text{some value}$. Wobei das gemessen maximum und minimum sind.

4 Architektur des Computers