

Magistrala



TEME

- ✓ Ciklus na magistrali
- ✓ Struktura magistrale
- ✓ Arbitracija
- ✓ Vrste magistrala

Uvod

Magistrala je uređena grupa linija koja povezuje osnovne komponente računara: procesor, memoriju i U/I uređaje.

Uloge magistrale

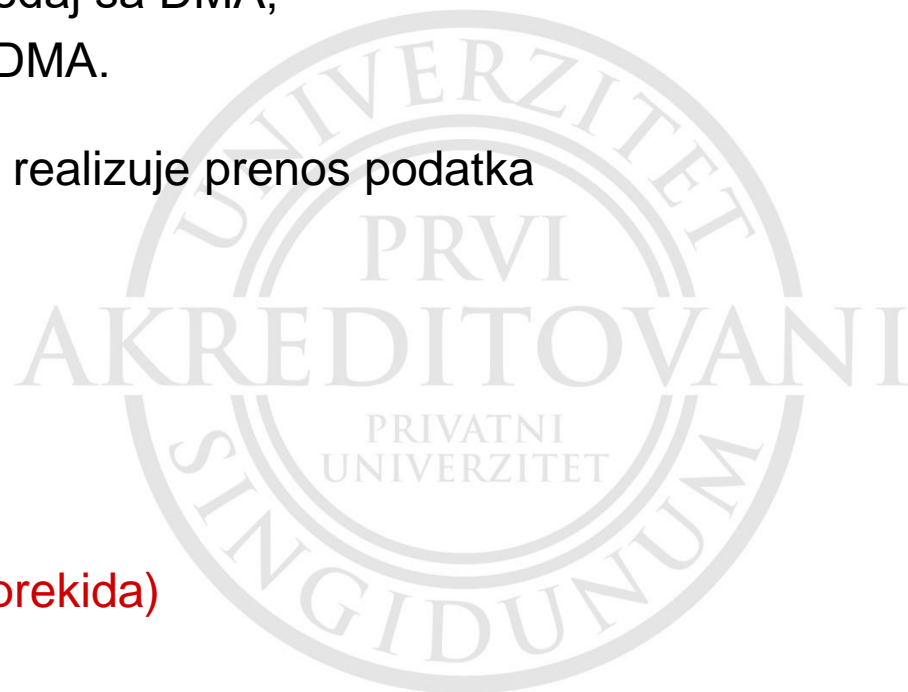
- ❑ omogućuje transfer sadržaja između komponenata računara
- ❑ obezbeđuje sistemski takt
- ❑ vrši arbitraciju pristupa raznih jedinica na magistralu

Ciklus na magistrali

- ❑ **Ciklus na magistrali** predstavlja ceo tok prenosa nekog sadržaja između procesorskih registara, memorijskih lokacija i registara U/I uređaja.
- ❑ Komponenta koja započinje ciklus na magistrali naziva se **gazda** (*master*), a komponenta sa kojom se ostvaruje ciklus naziva se **sluga** (*slave*).
- ❑ Gazda može da bude procesor ili U/I uređaj sa DMA, a sluga memorija i U/I uređaji sa ili bez DMA.
- ❑ Magistrala je zauzeta sve vreme dok se realizuje prenos podatka između gazde i sluge.

Moguća su tri ciklusa na magistrali:

- **ciklus čitanja**
- **ciklus upisa**
- **ciklus prihvatanja broja ulaza (koda prekida)**



Struktura magistrale

Magistralu čine tri grupe linija:

- ❑ **adresne linije – adresna magistrala (ABUS)**
 - gazda šalje adresu memorijske lokacije ili registra U/I uređaja

- ❑ **linije podataka – magistrala podataka (DBUS)**
 - gazda šalje sadržaj koji treba upisati u memorijsku lokaciju i registar U/I uređaja čija je adresa na ABUS
 - sluga šalje pročitani sadržaj iz memorijske lokacije ili registra U/I uređaja čija je adresa na ABUS

- ❑ **upravljačke linije – kontrolna magistrala (CBUS)**
 - gazda šalje signale za upis ili čitanje sadržaja

Princip rada

- ❑ Gazda šalje adresu memorijske lokacije ili registra U/I uređaja na ABUS.
- ❑ Sve sluge su povezane na ABUS i dobijaju poslatu adresu.
- ❑ Sve sluge proveravaju pomoću dekodera adresa da li je adresa njihova.
- ❑ Samo jedan sluga prepoznaje da se adresa odnosi na njega.
- ❑ Sa malim zakašnjenjem (dovoljnim da se završi provera adrese), gazda šalje signal upisa/čitanja preko CBUS svim slugama.
- ❑ Ako se radi upis, gazda šalje podatak za upis na DBUS svim slugama.
- ❑ Upis/čitanje izvršava samo sluga koji je adresiran poslatom adresom.

Arbitracija

Arbitracija je odlučivanje o tome ko u datom trenutku može da realizuje ciklus na magistrali.

- ❑ Mehanizam arbitracije je bitan kada u računarskom sistemu postoji više jedinica koje mogu da imaju ulogu gazde.
- ❑ U savremenim sistemima, obično postoji više procesora priključenih na magistralu, ili U/I uređaja sa DMA, pa je potrebno odrediti ko će realizovati ciklus na magistrali.

Signali

Arbitracijom upravlja **kontroler magistrale** (*bus controller*) ili **arbitrator**.

Pri arbitraciji se koriste sledeći signali:

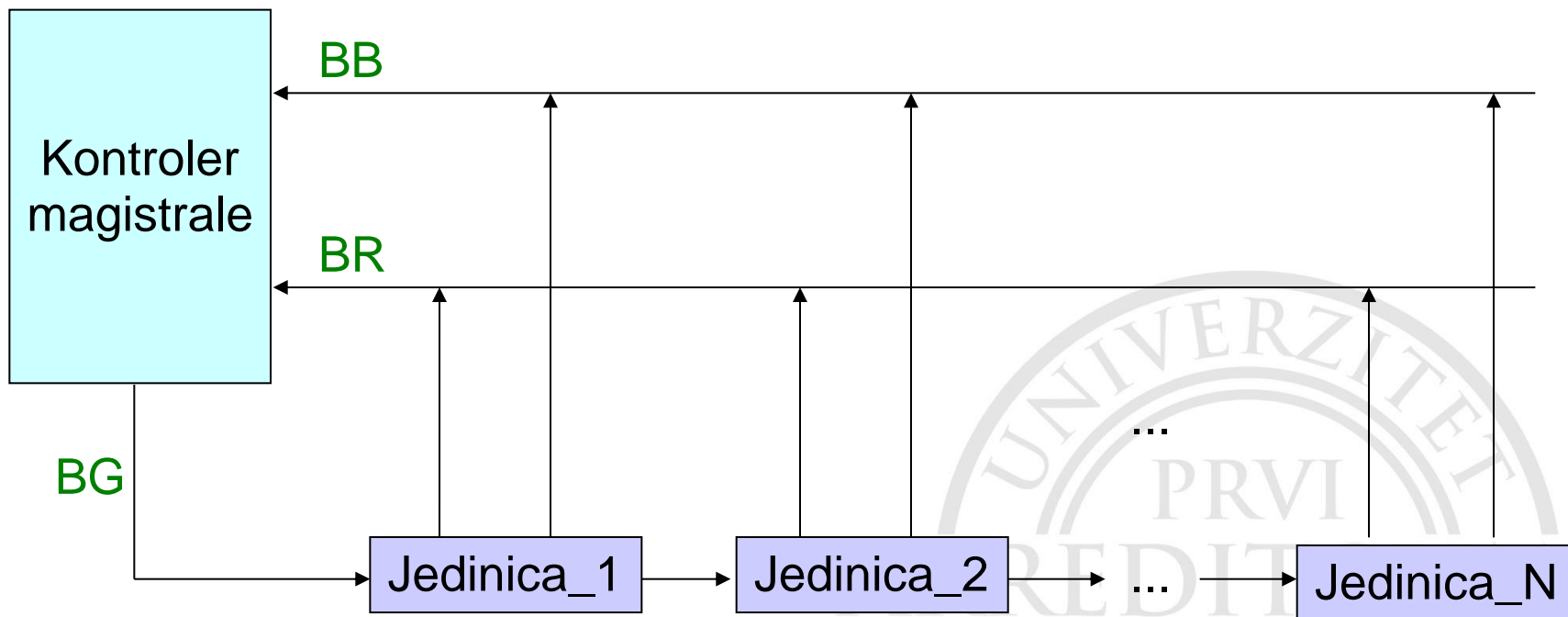
- ❑ **BB** (*Bus busy*) - kontrolni signal koji inducira zauzeće magistrale (ukoliko je njegova vrednost 1, to znači da je magistrala već dodeljena nekoj jedinici koja ima ulogu gazde)
- ❑ **BR** (*Bus request*) - kontrolni signal koji predstavlja zahtev za magistralom upućen kontroleru od strane neke jedinice
- ❑ **BG** (*Bus grant*) – signal dozvole za korišćenje magistrale poslat od strane kontrolera magistrale

Tehnike arbitracije

- ❑ Tehnika ulančavanja (*Daisy chain*)
- ❑ Tehnika prozivanja (*Polling*)
- ❑ Tehnika nezavisni zahtev/dozvola (*Independent request/grant*)



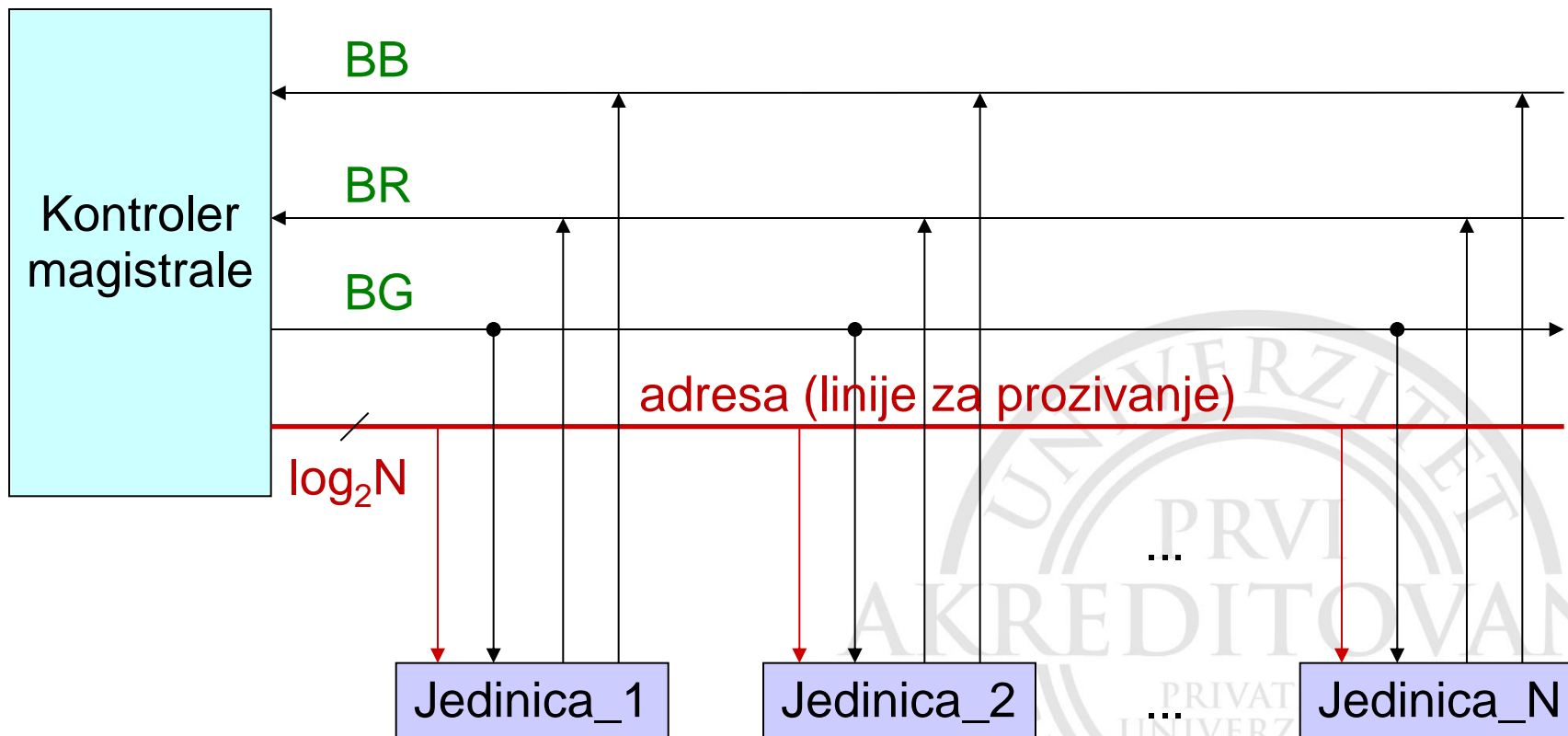
Tehnika ulančavanja



Tehnika ulančavanja

- ❑ Jedinice su ulančane po prioritetu (najviši prioritet ima Jedinica_1, a najniži Jedinica_N).
- ❑ Neke od jedinica šalju zahteve BR kontroleru magistrale.
- ❑ Ako magistrala nije zauzeta, kontroler šalje BG signal duž lanca.
- ❑ Jedinica koja ima najviši prioritet među jedinicama koje su uputile zahtev postavlja signal BB, stopira dalje prosleđivanje signala BG i postaje gazda na magistrali.

Tehnika prozivanja



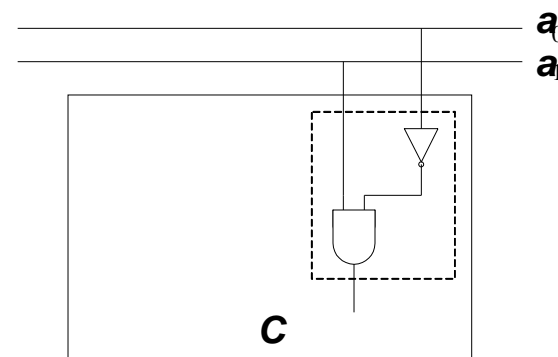
Tehnika prozivanja

- ❑ Neke od jedinica šalju zahteve BR kontroleru magistrale.
- ❑ Kontroler proziva jedinice prema unapred utvrđenom redosledu prioriteta slanjem njihovih adresa na linije za prozivanje.
- ❑ Jedinica sa najvišim prioritetom od onih koje su poslale BR signal prva prepoznaje svoju adresu i postaje selektovana.
- ❑ Kontroler šalje BG signal koga prihvata samo selektovana jedinica koja generiše BB signal i postaje gazda na magistrali.

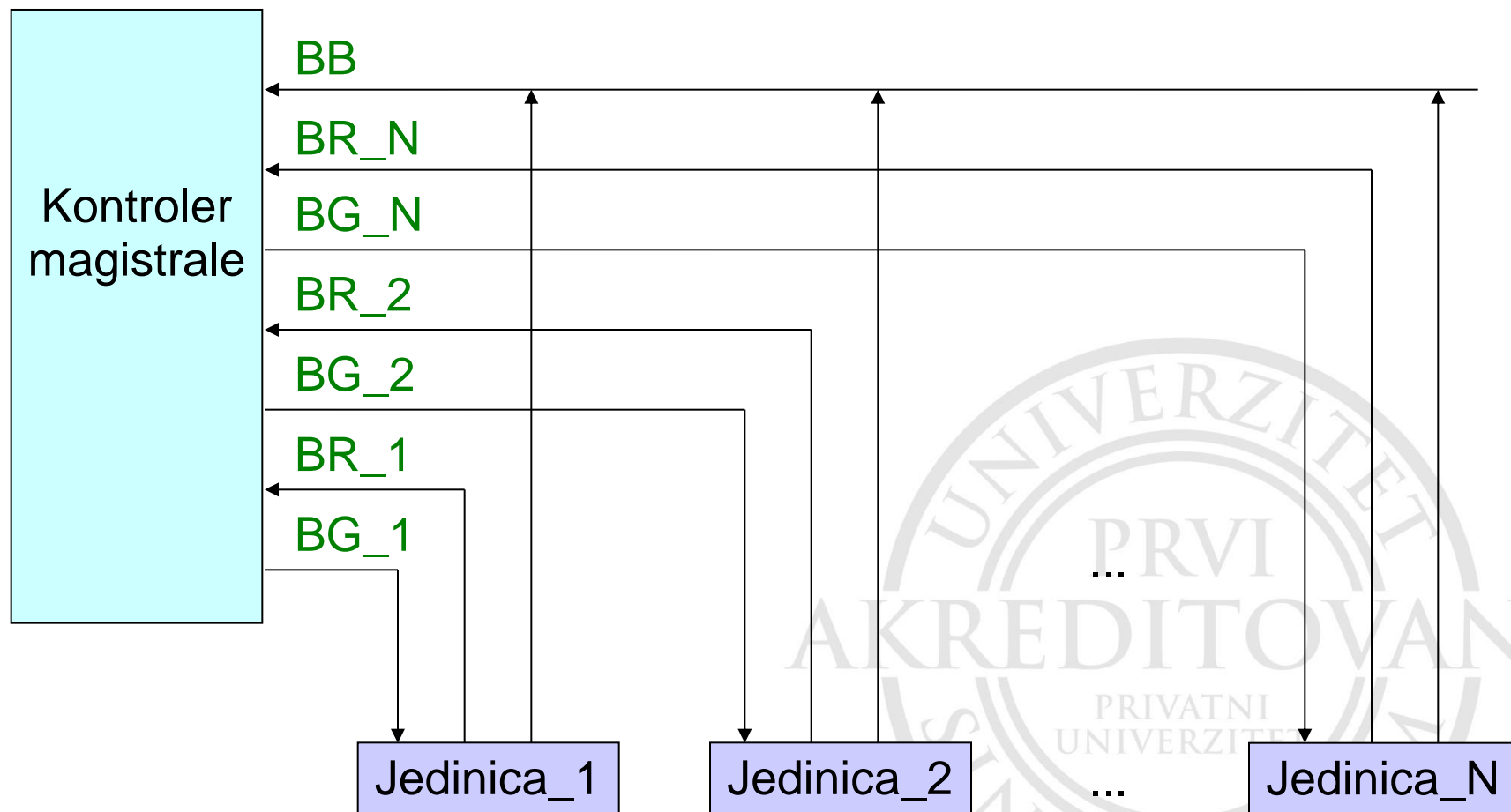
Primer 1

Jedinica C ima adresu $10_{(2)}$.

Kako izgleda logička mreža koji prepoznaje ovu adresu?

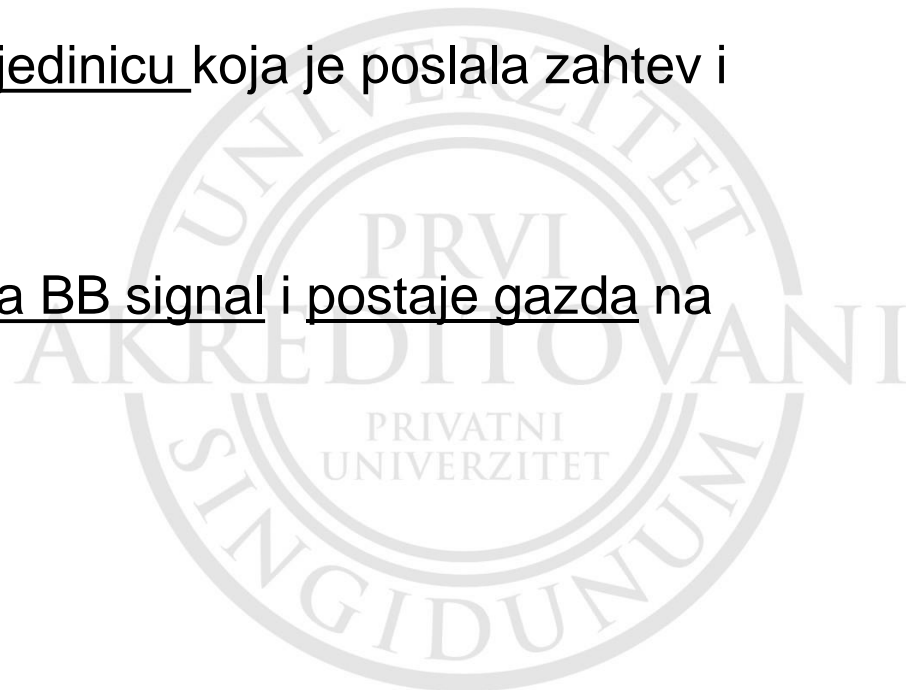


Tehnika nezavisni zahtev/dozvola



Tehnika nezavisni zahtev/dozvola

- ❑ Svaka jedinica ima nezavisnu BR i BG liniju.
- ❑ Neke od jedinica šalju zahteve BR kontroleru magistrale.
- ❑ Kontroler određuje najprioritetniju jedinicu koja je poslala zahtev i samo njoj šalje BG signal.
- ❑ Jedinica prima BG signal, postavlja BB signal i postaje gazda na magistrali.



Vrste magistrala

Asinhrona magistrala

- priključene jedinice rade svaka na svom signalu takta, pa se mogu povezivati razne jedinice
- koristi se *handshake* protokol za sinhronizaciju

Sinhrona magistrala

- priključene jedinice rade na istom (zajedničkom) signalu takta
- imaju fiksni protokol komunikacije relativno u odnosu na takt (na pr. posle 5 ciklusa takta očekuje se da podatak bude pročitao i raspoloživ na DBUS)
- protokol je unapred definisan i magistrala može biti vrlo brza
- nedostaci: svi moduli moraju da imaju isti takt, magistrala mora biti kratka da bi prenos bio u taktu

Asinhrona magistrala

Ciklus čitanja

- gazda šalje adresu na ABUS i signal RDBUS čime startuje čitanje u slugi
- po čitanju, sluga šalje podatak na DBUS i signal FCBUS da je podatak raspoloživ

Ciklus upisa

- gazda šalje adresu na ABUS, podatak na DBUS i signal WRBUS i startuje upis
- nakon upisa, sluga šalje gazdi signal FCBUS i signalizira da mu podatak i adresa više nisu potrebni

Ciklus prihvatanja koda prekida

- procesor šalje signal potvrde prekida i startuje čitanje registra *ER* U/I uređaja
- nakon čitanja, uređaj šalje pročitani sadržaj na DBUS i signal FCBUS da je podatak raspoloživ

Sinhrona magistrala

Ciklus čitanja

- gazda šalje adresu na ABUS i signal RDBUS čime zahteva čitanje u slugi
- pošto je vreme čitanja fiksno, posle datog vremena, gazda očekuje da je podatak na DBUS raspoloživ i upisuje ga u prihvatni registar, a adresu sa ABUS uklanja

Ciklus upisa

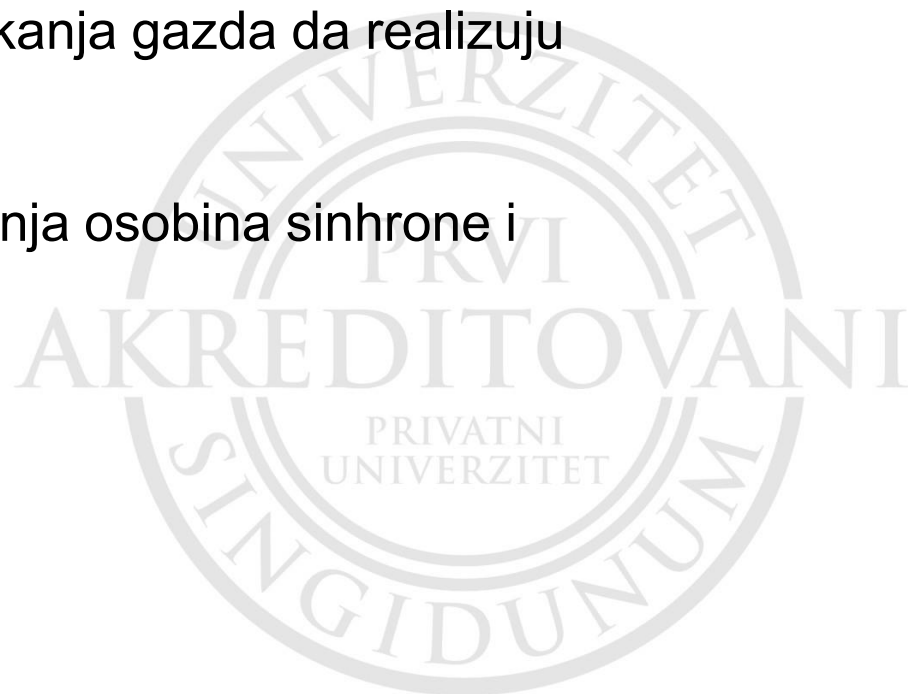
- gazda šalje adresu na ABUS, podatak na DBUS i signal WRBUS i zahteva upis
- pošto je vreme upisa fiksno, posle datog vremena, gazda očekuje da je podatak upisan i uklanja adresu sa ABUS i podatak sa DBUS

Ciklus prihvatanja koda prekida

- procesor šalje signal potvrde prekida i zahteva čitanje registra ER U/I uređaja
- pošto je vreme čitanja registra fiksno, posle datog vremena, gazda očekuje da je kod prekida na DBUS i upisuje ga u svoj prihvatni registar

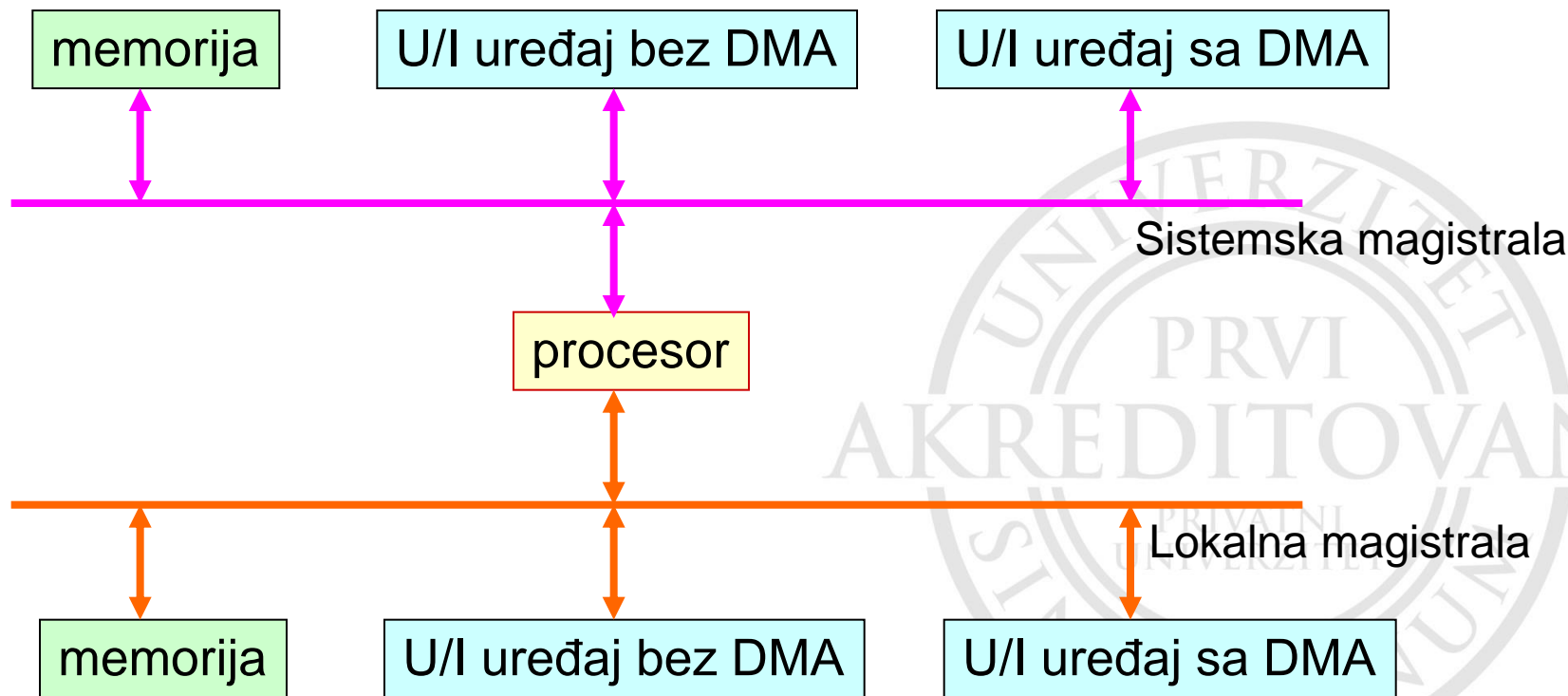
Sistemi sa više magistrala

- ❑ Sistemi se često projektuju da imaju više magistrala.
- ❑ Razlozi:
 - smanjenje vremena čekanja gazda da realizuju ciklus na magistrali
 - mogućnosti kombinovanja osobina sinhronne i asinhronne magistrale



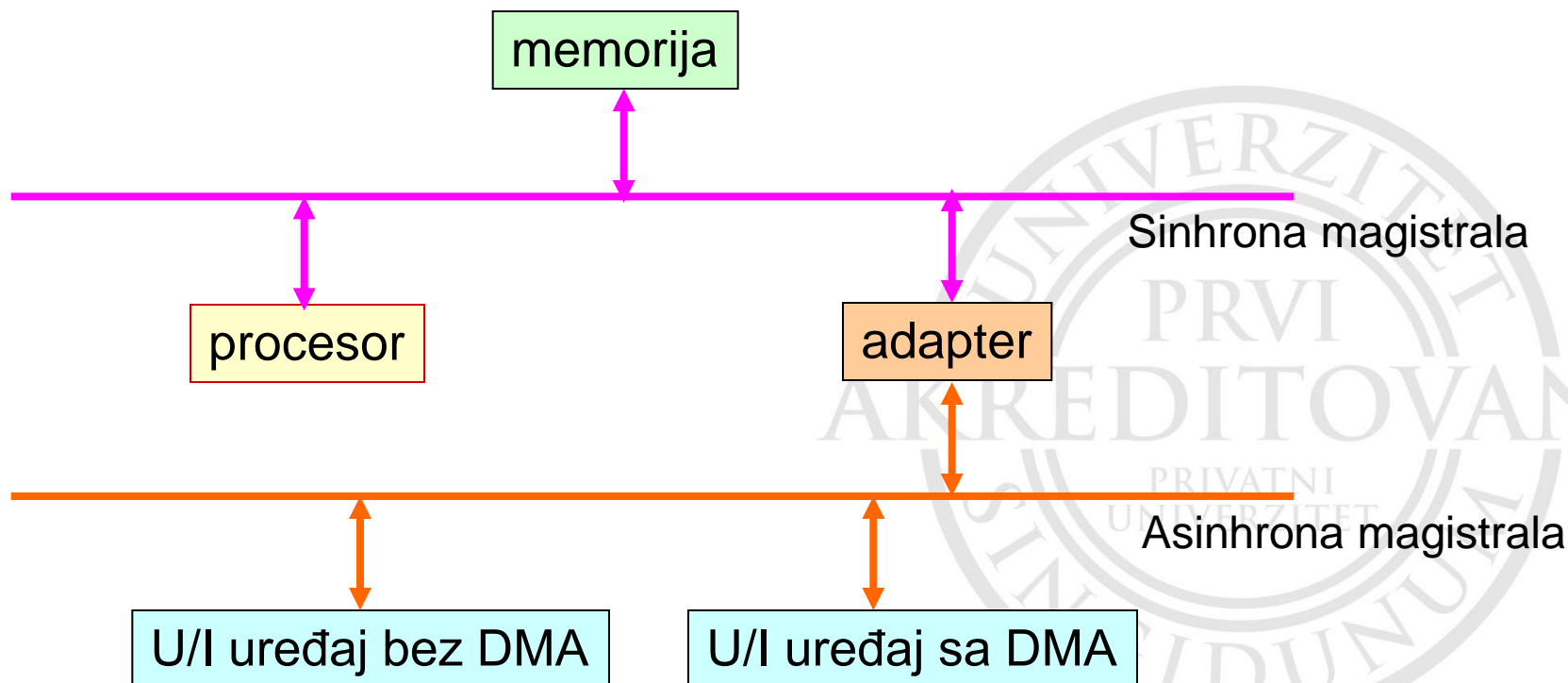
Sistemi sa više magistrala

- Adresni prostor korisnika je podeljen na dva dela (prema magistralama).
- Procesor na osnovu adrese utvrđuje na kojoj magistrali se izvršava ciklus.

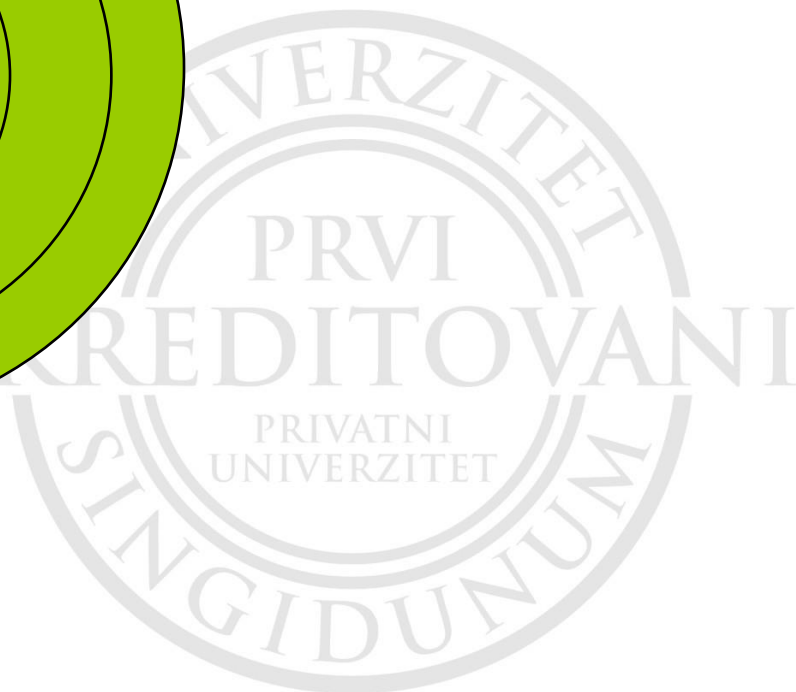


Kombinovanje magistrala

- Adresni prostor korisnika je podeljen na dva dela (prema magistralama).
- Procesor sve cikluse realizuje na sinhronoj magistrali, pri čemu na adrese U/I uređaja reaguje adapter koji realizuje cikluse na asinhronoj magistrali.



Šta smo naučili?



Pitanje za kraj



Šta se dešava u računaru?