Trabalho 6 – Projeto e Simulação de uma ULA em VHDL

Aluno(a): Júlia Yuri Garcia Baba Matrícula: 19/0057921 Turma C

1. Objetivos

O trabalho tem como objetivo sintetizar e simular uma ULA, da mesma forma utilizada no RISC-V, através da linguagem VHDL.

2. Documentação do código

• ula RV

Primeiramente, foi usada a interface deixada nas instruções do trabalho, assim, foram definidos os elementos a serem utilizados posteriormente.

Já para a arquitetura, de forma sucinta, foi feito um processo e dentro deste, foi feito um switch case, onde foram definidas as operações a serem feitas pela ULA.

É importante notar nesse etapa, a diferença entre as comparações com e sem sinal. Primeiro pelo fator aritmético, no qual se levarmos em conta o sinal teriamos, por exemplo, que -5 é maior que -6, por outro lado, com o sinal desconsiderado, teríamos o contrário. Já em representação de números de sinal, o que acontece é que quando usamos os números com sinal, eles serão comparados em formato de complemento de 2, e sem o sinal serão comparados em representação simples.

Testbench

Para o testbench, foram feitos os procedimentos padrões, ou seja, a definição do componentes, declaração dos sinais e instanciação da ULA.

Por fim, para os testes foi feito um processo de estímulo, dentro desse foram atribuídos valores para A e B (operandos de 32 bits), chamado o opcode, que indica a operação a ser realizada, em seguida, foi verificado o valor de Z (saída de 32 bits) ou de cond, sinal de que indica o resultado da comparação), atráves do comando *assert*.

Lembrando que, a saída correta de Z foi verificada comparando com o valor correto, que foi obtido por cálculos fora do programa, assim se o conjunto de intruções da operação estiver funcionando corretamente a resposta será a mesma, não acionando nenhum erro.

Na verificação das operações aritméticas foram incluídas testes com zero, negativo e positivo, é importante salientar que para os números negativos, durante a atribuição de valores, foi usado, por exemplo, x" FFFFFFC8" ao invés de 32x" FFC8", afim de preservar o sinal. Já para as demais, foram incluídas um teste para cada operação da ULA, como poderá ser visto a seguir na tela de simulação com as formas de onda dos sinais.

	0										10							
A[31:0]	6		ffff_ffc8		ffff_fff0	ffff_ffec	1220	1de9	1df2	1dda	19bc	e211	ffff_ffc9	15	ffff_ff92	ffff_e21a	3e	3
B[31:0]	5		ffff_ffd9		10	ffff_ffec	1ae8	2672	2624	2	3	2	ffff_ffd3	e21a	ffff_ff2d	15	3e	
cond																		
opcode[3:0]	0	<u>h</u>	lo .	<u> </u>	0	ļi.	2	3	4	5	6	7	8	9	a	b	c	d
Z[31:0]	b	1	ffff_ffa1 ffff_ffef		o		1220	3ffb	3bd6	7768	337	3884						
A[31:0]	6		ffff_ffc8		ffff_fff0	ffff_ffec	1220	1de9	1df2	1dda	L9bc	e211	ffff_ffc9	15	ffff_ff92	ffff_e21a	3e	3
B[31:0]	5		ffff_ffd9		10	ffff_ffec	1ae8	2672	2624	2	3	2	ffff_ffd3	e21a	ffff_ff2d	15	3e	
cond																		
opcode[3:0]	0	1	0	<u>t</u>	0	1	2	3	4	5	6	7	8	9	a	Þ	c	d
Z[31:0]	1		ffff_ffa1	ff_ffa1 ffff_ffef		p		3ffb	3bd6	7768	337	3884						

Fig1. Formas de onda dos sinais.