

## **Serial-To-Parallel / Parallel-To-Serial (1)**

Diseñar un conversor serial a paralelo y un conversor paralelo a serial de N bits, con N como parámetro del módulo. Este será utilizado como interfaz para el ecualizador.

El S2P al recibir una trama completa de N bits, debe generar un pulso de 1 ciclo como señal de ready.

El P2S al recibir un pulso de entrada, captura los N bits a la entrada y los extrae de forma serie hacia la salida.

Ambos módulos deben tener una entrada de enable y reset.

## **Esclavo SPI (2)**

Diseñar un esclavo SPI con entradas MISO, MOSI, SCLK y SS.

Existen varios IP cores disponibles en la web por si quieren tomarlo como referencia o utilizarlos. En opencores hay, por si alguno tiene cuenta registrada.

El dato se debe establecer en el flanco de bajada de SCLK y capturar en el de subida (CPHA=0, CPOL=0).

El esclavo SPI debe, al momento de ser seleccionado mediante SS, recibir la entrada serie MOSI y almacenarla mediante un registro de desplazamiento. La trama para utilizar queda pendiente de definir, propongo que 2 de ustedes investiguen y/o propongan alguna alternativa.

Por ejemplo

16 bits: 1 bit de R/W, 7 bits de dirección y 8 bits de datos.

El SPI recibe por MOSI los 16 bits, dependiendo del bit de R-W escribirá o leerá en/de la dirección seleccionada.

La trama de salida sale por MISO.

Hay varias alternativas, queda a libertad de ustedes, o consultamos con Ariel.

Los datos recibidos se deben guardar en registros, ejemplo: `addr_out`, `data_out`, `write_enable`, `data_in`

## **Emulador maestro SPI (1)**

Escribir un testbench para emular un maestro spi, con la generación de trama y envío-recepción de datos, que será utilizado para probar el esclavo SPI. No diseñar el maestro SPI en hardware.