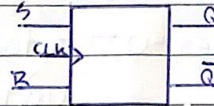


I. Sistemas Computacionais - Atividade 03: Latch SR

NOME: Julia Pravato

Nº USP: 14615054

DATA: 18/04/2023



→ Elementos de memória

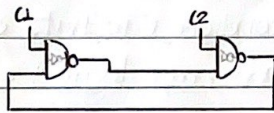
e_1	e_0	NAND
0	0	1
0	1	1
1	0	1
1	1	0

Tabela da verdade NAND

→ E_1 : elemento de controle [0: envia, 1: atua como

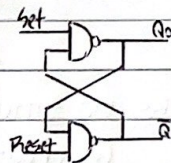
NOR]

atua como NOR.



$C_1 \rightarrow \text{Preset}$

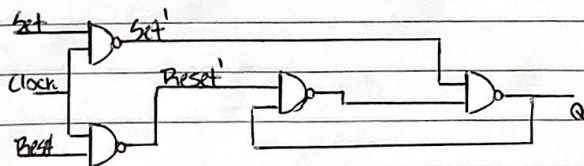
$C_2 \rightarrow \text{Set}$



Set	Preset	Q
0	0	* Inválido
0	1	Q=1
1	0	Q=0
1	1	Não muda

Saída Q realimenta o sistema, gravando o dado do estado anterior.

→ Set/Preset



0 clock → NO CHANGE

clk	S	R	S'	R'	Q
1	0	0	1	1	estado anterior
1	0	1	1	0	Q=0 reset
1	1	0	0	1	Q=1 set
1	1	1	0	0	Inválido

__/_/_/

S T Q Q S S D

→ Condição/Situação/Explicação

SET = RESET = 0 → Estado anterior: saída Q mantém no mesmo estado do clock passado

SET = 0; RESET = 1 → Resetar o latch: saída Q = 0, e a mantém nesse sem a ativação contínua do botão RESET

SET = 1; RESET = 0 → Setar o latch: saída Q = 1, e a mantém nesse sem a ativação contínua do botão SET.

SET = 1, RESET = 1 → SETAR e RESETAR simultaneamente o latch. Essa condição provoca $Q = \bar{Q} = 1$ e se as entradas também retornarem juntas ao nível lógico 0, o resultado da saída Q será imprevisível.

Dessa forma, essa condição é restrita e não deve ser utilizada, evitando erros lógicos e eletrônicos

↳ OBS: na simulação pelo Digital Logic Sim, quando essa condição (normalmente inválida) é forçada a acontecer, o simulador adota um SET para seguir com sua lógica

