

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 樊俊超**

**学 号： U201614702**

**班 级： CS607**

**指 导 教 师： 赵怡竹**

**计算机科学与技术学院**

**2018年 5月 22日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1“私有”的先行进位的四位二进制并行加法器

5、实验方案设计

1. **一位二进制半加器的设计方案**

半加器输入：被加数A，加数B

输出：本位S，进位C

功能实现：实现两个一位二进制数的相加和进位

表1-1一位二进制半加器真值表

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

由表可知，S和C表达式如下：

S=A⊕B C=AB

由表达式得到电路图，如图1-2

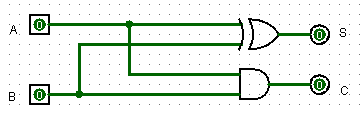


图1-2 一位二进制半加器

1. **一位二进制全加器的设计方案**

全加器输入：被加数A，加数B，低进位Co

输出：本位S，进位

功能实现：实现两个一位二进制数在有进位的情况下的加法和进位

表1-2 一位二进制全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** |  | **S** | **Co** |
| **0** | **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **1** | **0** |
| **0** | **1** | **0** | **1** | **0** |
| **0** | **1** | **1** | **0** | **1** |
| **1** | **0** | **0** | **1** | **0** |
| **1** | **0** | **1** | **0** | **1** |
| **1** | **1** | **0** | **0** | **1** |
| **1** | **1** | **1** | **1** | **1** |

由表可知，S和C表达式如下

S= A⊕B⊕

Co=AB+B+A

由表达式得到电路图，如图1-3

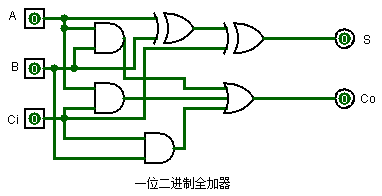


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器的设计方案**

输入：被加数，加数，低进位Co

输出：，

功能实现：用四个一位二进制全加器串联实现两个四位二进制数在有进位的情况下的相加和进位

真值表从略，得到表达式如下:

= ⊕⊕ = ⊕⊕

= ⊕⊕ = ⊕⊕

= ++ = ++

= ++ = ++

由表达式得到电路图，如图1-4

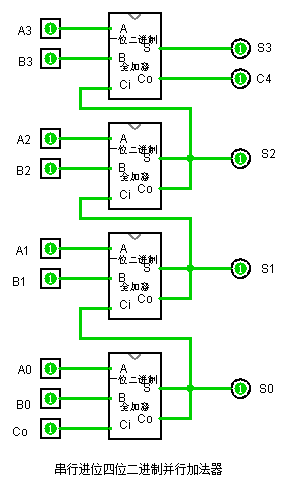


图1-4串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器的设计方案**

输入：被加数，加数，低进位Co

输出：，

定义：=⊕,=

真值表从略

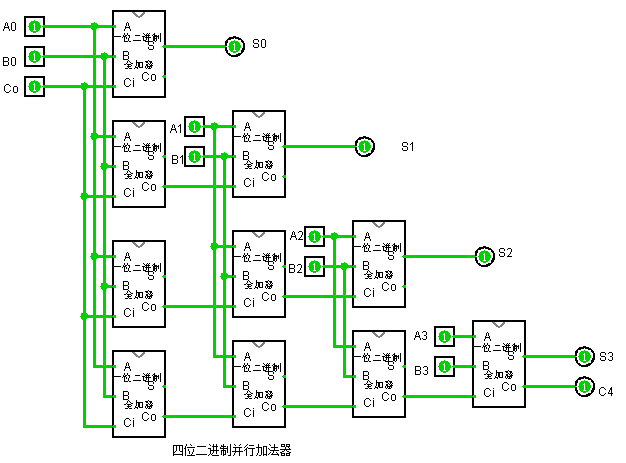
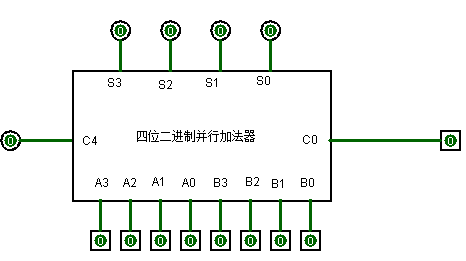


图1-5先行进位的四位二进制并行加法器

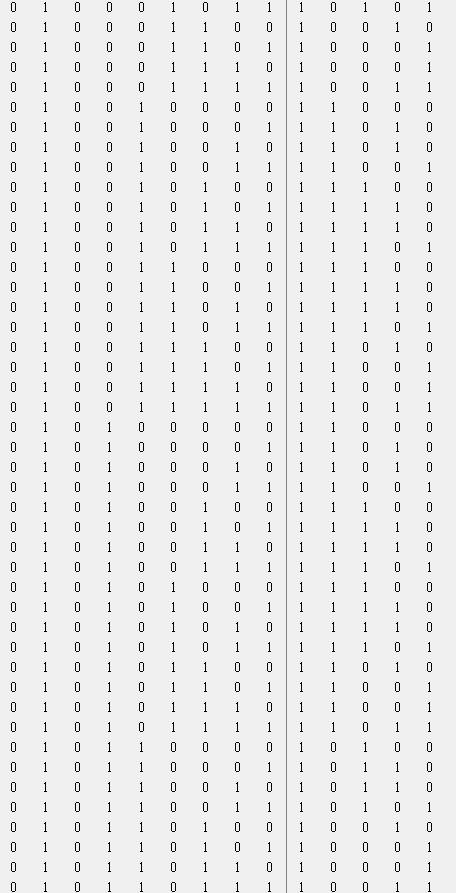
**（5）封装先行进位的四位二进制并行加法器电路**

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。



**部分验证结果如下：**

**Co A0 B0 A1 B1 A2 B2 A3 B3 S0 S1 S2 S3 C4**





**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**SD SC SB SA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“先行进位的四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一中已封装的“先行进位的四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

#### （1）设计一个四位二进制可逆计数器电路

四位二进制可逆计数器（D触发器）

输入：脉冲由输入时，计数器进行累加操作

由输入时，计数器进行累减操作

输出：由输出计数值（初始值为0000）

累加时（ = 1， = 0）每次加一，CLR = 高电平时，计数器进行清零操作

表2-1 四位二进制可逆计数器（累加）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 现态 |  |  |  |  | 次态 |
| 0000 | 0 | 0 | 0 | 1 | 0001 |
| 0001 | 0 | 0 | 1 | 0 | 0010 |
| 0010 | 0 | 0 | 1 | 1 | 0011 |
| 0011 | 0 | 1 | 0 | 0 | 0100 |
| 0100 | 0 | 1 | 0 | 1 | 0101 |
| 0101 | 0 | 1 | 1 | 0 | 0110 |
| 0110 | 0 | 1 | 1 | 1 | 0111 |
| 0111 | 1 | 0 | 0 | 0 | 1000 |
| 1000 | 1 | 0 | 0 | 1 | 1001 |
| 1001 | 1 | 0 | 1 | 0 | 1010 |
| 1010 | 1 | 0 | 1 | 1 | 1011 |
| 1011 | 1 | 1 | 0 | 0 | 1100 |
| 1100 | 1 | 1 | 0 | 1 | 1101 |
| 1101 | 1 | 1 | 1 | 0 | 1110 |
| 1110 | 1 | 1 | 1 | 1 | 1111 |
| 1111 | 0 | 0 | 0 | 0 | 0000 |

由真值表知：

=

=

=

=

累减时（= 0，= 1）每次减一，CLR为低电平

表2-2 四位二进制可逆计数器（累减）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 现态 |  |  |  |  | 次态 |
| 1111 | 1 | 1 | 1 | 0 | 1110 |
| 1110 | 1 | 1 | 0 | 1 | 1101 |
| 1101 | 1 | 1 | 0 | 0 | 1100 |
| 1100 | 1 | 0 | 1 | 1 | 1011 |
| 1011 | 1 | 0 | 1 | 0 | 1010 |
| 1010 | 1 | 0 | 0 | 1 | 1001 |
| 1001 | 1 | 0 | 0 | 0 | 1000 |
| 1000 | 0 | 1 | 1 | 1 | 0111 |
| 0111 | 0 | 1 | 1 | 0 | 0110 |
| 0110 | 0 | 1 | 0 | 1 | 0101 |
| 0101 | 0 | 1 | 0 | 0 | 0100 |
| 0100 | 0 | 0 | 1 | 1 | 0011 |
| 0011 | 0 | 0 | 1 | 0 | 0010 |
| 0010 | 0 | 0 | 0 | 1 | 0001 |
| 0001 | 0 | 0 | 0 | 0 | 0000 |
| 0000 | 1 | 1 | 1 | 1 | 1111 |

由真值表知：

=

=

=

=

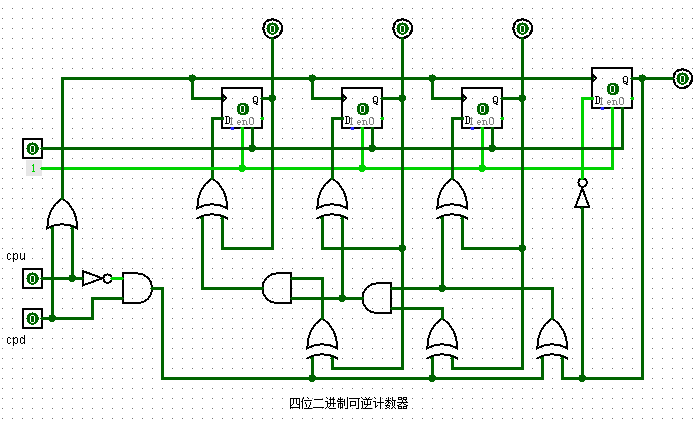


图2-3 一个四位二进制可逆计数器

#### （2）用实验一中已封装的“先行进位的四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路

输入：人数，进位Co=0

输出：十位，个位 做出真值表

表2-3 二进制转8421BCD码

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |
| 0000 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0001 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0010 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0011 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0100 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0101 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0110 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0111 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1000 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1001 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1010 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1011 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1100 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1101 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1110 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1111 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |

由真值表得到对应表达式：

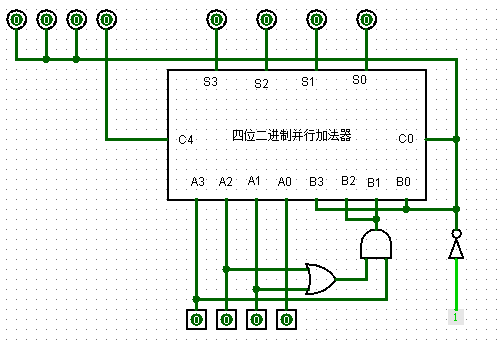


图2-4 一位16进制数转2位8421

#### （3）设计7段译码器，并采用“7段数码显示管”显示人数的电路

#### （A）设计一个7段译码器

输入： 输出：abcdefg

功能：将二进制表示的实验室人数用译码器求显示管输入。

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | a | b | c | d | e | f | g |
| 0000 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0001 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0010 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0011 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0100 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0101 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0110 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0111 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1000 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1001 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

由表得到表达式，如下

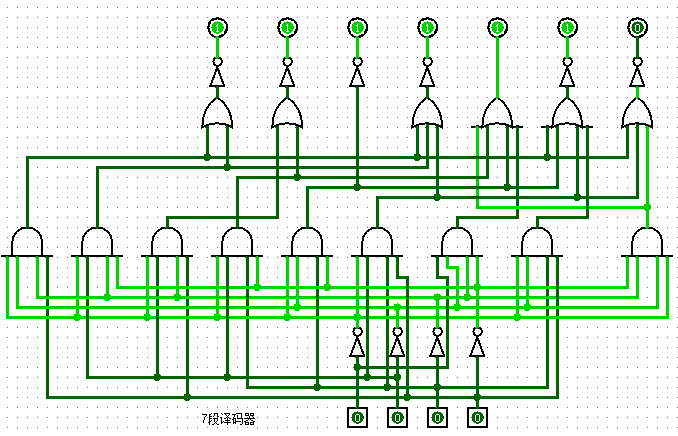


图2-5 7段译码器

#### （B）设计用“7段数码显示管”显示人数的逻辑电路

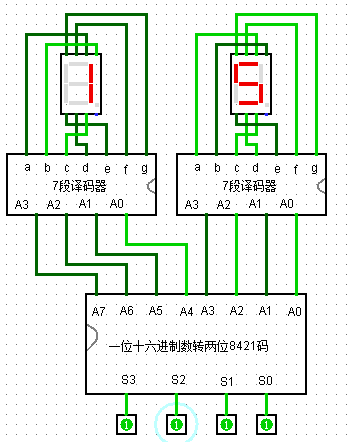


图2-6 用7段数码显示管显示实验室人数的电路

#### （4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路

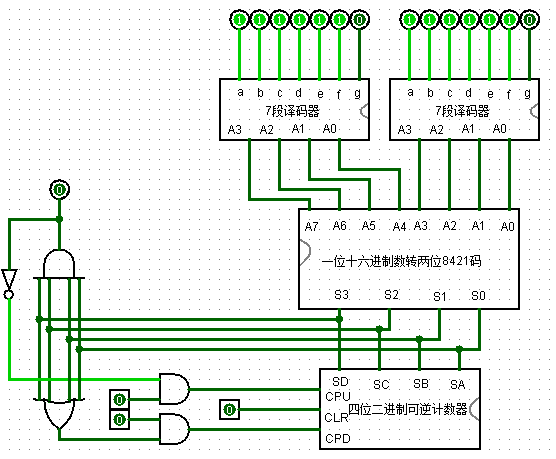


图2-7 报警电路

#### （5）设计小型实验室门禁系统电路

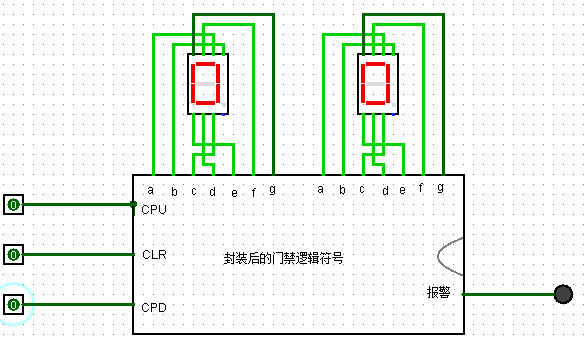


图2-8 门禁系统电路

6、实验结果记录

#### （1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路

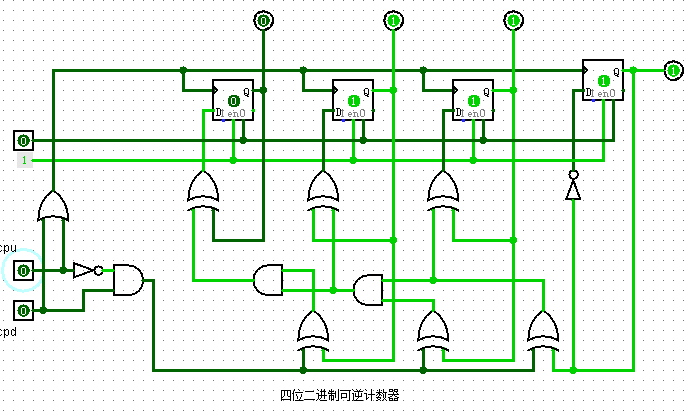


图2-9一个四位二进制可逆计数器

#### （2）给出采用实验1中已封装的“先行进位的四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路

输入 输出

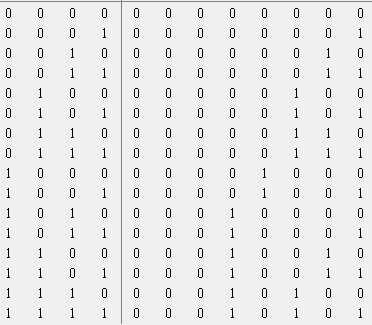


图2-10二进制数转换成8421BCD码的电路

#### （3）给出采用“7段数码显示管”显示人数的电路

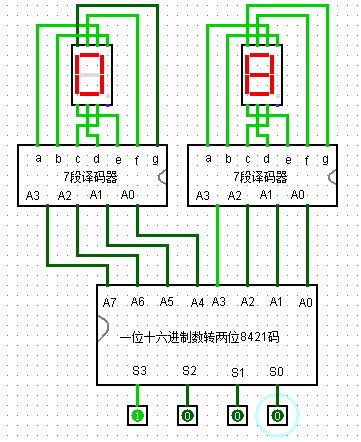


图2-11人数显示的电路

#### （4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路

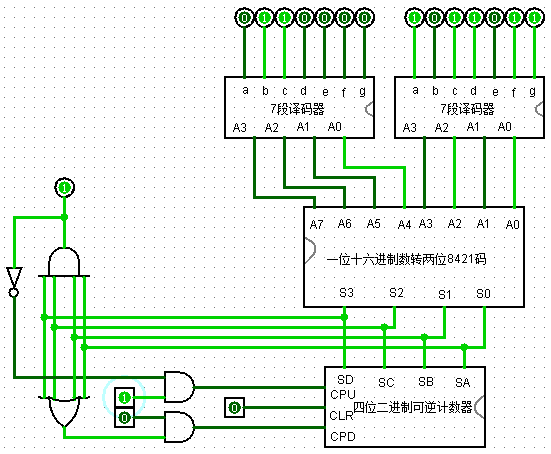


图2-12系统报警电路

#### （5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）测试电路

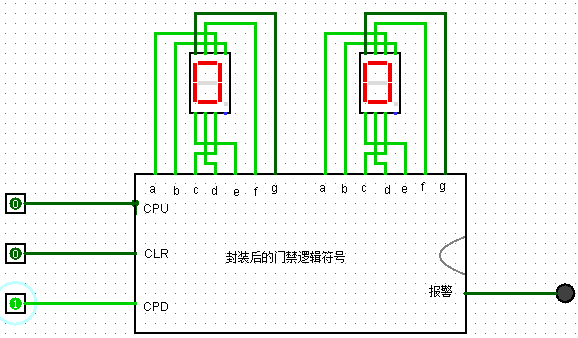


图2-13实验室门禁系统电路

7、实验后的思考

#### （1）这两次实验的难点你认为在哪些方面？

由于第一次实验没有经验，不仅准备工作不充分，报告也有偏差。但第一次实验比较简单，并没有遇到什么困难（除了报告，老师和助教太好了😭）。

第二次实验写了一上午，问题也遇到过，比如最开始写可逆计数器时，我发现电路没有问题，但不管怎么输入减数脉冲，都会变成累加计数。经过排查，我修改了D触发器为下降沿触发，成功解决这个问题。再有就是想找到最简表达式实在有点困难，我是想了又想，想到掉头发，时不时用它的非去代入，才能找到我认为的最简表达式。

不过说实话，第二次实验其实比第一次实验顺利多了，因为我已经知道了预习报告的大概套路，预习报告写好了，我的心就放下了，电路什么的问题不存在的。

#### （2）你是如何解决的？

看书啊，思考啊，和同学讨论。

#### （3）意见和建议

感觉预习报告有些地方有点多余，因为要么你把所有的检测结果都写出来（那就太多了不太现实），要么就挑个具有代表性的，这个有点儿难。