

组成原理大实验给分细则

近期有一些同学询问助教关于组成原理大实验的给分细则，这里写一个文档统一回复。大实验满分100，由起评分和扩展分构成。组成原理大实验分为四档A/B/C/D，起评分为60/70/80/80，下面介绍每一档的扩展分

A档——增添普通指令

分为四种指令，指令的语义请查看官方指令集文档

普通的R-type寄存器-寄存器/立即数运算指令(每条1分，封顶10分)

- SLLI
- SRLI
- SRAI
- SLL
- SRL
- SRA
- SLT
- SLTU
- XOR
- OR
- AND
- SLTI
- SLTIU
- XORI
- ORI
- ANDI

转载指令(不对齐访存，需要对数据进行处理，每条2分)

- LB
- LH
- LBU
- LHU
- SB
- SH

跳转指令(每条2分)

- BNE
- BLT
- BGE
- BLTU
- BGEU
- JALR

验收

自己编写汇编指令测试

B档——增加CSR寄存器与中断控制

CSR寄存器介绍

除了通用寄存器之外，RISCV内核还包含一部分特殊功能的寄存器，用于标记处理器状态，称为CSR寄存器。这些CSR指令用于处理异常和中断，以及保存其它的处理器特征。

实现如下CSR寄存器(一个1分)

名称	功能	CSR编号
mcycle	周期计数器的低32位	0xb00
mcycleh	周期计数器的高32位	0xb80
mstatus	机器状态寄存器	0x300
mie	机器模式中断使能寄存器	0x304
misa	机器模式指令集架构寄存器	0x301

具体这些寄存器的功能，请参考[这篇博客](#)以及[这篇博客](#)或参考官方文档

实现如下CSR指令(要求处理数据冒险)

- CSRRS
- CSRRC
- CSRRWI
- CSRRSI
- CSRRCI

验收要求

要求可以通过外设查看CSR寄存器的值，和实验中查看通用寄存器的值类似，为了减少编码长度，可以给CSR寄存器重新编号

C档-增加cache(只要求仿真)

cache的基本概念

参考计算机组成原理教材

实验要求

实现直接相联的数据cache，cache大小和cache尺寸由自己确定，main_mem请调用赛灵思分布式存储器IP核

由于vivado例化的存储器最多只能有3个cycle延时，请在vivado memory IP核输出端口增加一个状态机，使得直接访问main_mem的延时至少为10 cycle

验证

助教提供测试数据验证，要求实现 `Quicksort.S` 中全部指令，仿真结果7号寄存器读取有序值，或者 `main_mem` 中全部指令

D档-分支预测目标缓存设计

基本概念

分支预测目标缓存相当于一个直接相连的cache表，表的每一项是一个key-value对，key是分支指令的PC，value是分支目标地址。根据PC低位查找分支目标缓存，如果命中则认为会跳转，修改PC到缓存中的目标地址

基本流程

1. 查找分支目标缓存
2. 命中，转到3，不命中，转到7
3. 修改PC为缓存目标地址
4. 进入ID段计算跳转地址
5. 进入EX段判断是否跳转
6. 跳转则预测正确，否则将分支目标缓存中对应项清零，本次预测结束
7. PC+4
8. 进入ID段计算跳转地址
9. 进入EX段判断是否跳转
10. 跳转则预测错误，修改分支目标缓存表项，否则预测正确，本次预测结束

验收

运行助教提供的 `BTB.S` 仿真并给助教检查

实验中用到的测试数据

由于C,D两档只需要对CPU核仿真检查，下面对给出的测试文件做一些说明，`.data`，`.inst` 分别为数据存储器中的值和指令存储器中的值，文本编辑器打开这两个文件，在文件头进行必要的修改并保存为 `.coe` 即可得到对应的coe文件，我们还提供了对应的汇编代码供调试使用。

`QuickSort` 下是C档的测试文件，`BTB` 下是D档的测试文件